

**ESCOLA TÈCNICA SUPERIOR
D'ENGINYERS DE TELECOMUNICACIÓ (UPC)**

**PROPAGACION DE ONDAS
MONOCROMATICAS EN GUIAONDAS
DIELECTRICAS PLANAS FORMADAS POR
MEDIOS NO LINEALES TIPO KERR:
APLICACION AL DISEÑO DE
DISPOSITIVOS LOGICOS**

Autor: V. Federico Dios Otín
Director: Fernando Canal Bienzobas

Barcelona, enero 1992

Capítulo 5 : Aplicación al diseño de dispositivos lógicos.

5.1 Introducción

Los medios dieléctricos no lineales, en los que los efectos característicos dependen del tensor de susceptibilidad $\chi^{(3)}$, han despertado un gran interés por su potencialidad en el procesado de las señales ópticas. A diferencia de los dispositivos electro-ópticos o acusto-ópticos, en los que la señal luminosa se modifica de alguna forma por la aplicación de una señal de naturaleza diferente, lo que se busca ahora es el control directo de luz con luz, mediante la interacción de dos o más señales en el seno del medio no lineal. Por otra parte se considera que los dispositivos híbridos, que utilizan procesos de conversión optoelectrónica, no serán suficientemente competitivos frente a los sistemas electrónicos de procesado digital.

La investigación se centra en dos grandes campos, como son las comunicaciones ópticas, concretamente en el área de conmutación, y la computación óptica, tanto analógica como digital. Desde el punto de vista de la naturaleza de los sistemas la óptica aporta grandes anchos de banda y un tipo de propagación de por sí no interferente. Frente a la microelectrónica tendrá ventajas en cuanto a la velocidad de transmisión y de operación, y permitirá además, y esto puede ser lo más importante, concebir sistemas que hagan uso de un paralelismo masivo [1, 2].

En los sistemas digitales tradicionales la velocidad máxima de operación viene determinada por diversos factores. En los procesadores el incremento de velocidad se ve limitado, por una parte, por la propia naturaleza de los dispositivos lógicos realizados en VLSI, pero también por los problemas de sincronismo de las señales, los cuales, ya ahora, imponen serios condicionantes en el diseño y fabricación a la hora de trazar las interconexiones en el sistema. Además, la disminución de la anchura de los pulsos, con el consiguiente aumento de su contenido espectral, obliga a utilizar terminaciones coaxiales de gran calidad para la conexión de los diferentes elementos. El problema que representa mejorar las conexiones entre los diferentes elementos, en

los actuales sistemas lógicos, y cómo puede constituir un serio obstáculo para la mejora global de los mismos -pese a los avances en las técnicas de fabricación de dispositivos semiconductores - se resume con claridad en [3].

La misma filosofía de diseño plantea también limitaciones prácticas. Debido al limitado número de interconexiones físicas que pueden establecerse se debe emplear más tiempo en transmitir información entre las diferentes partes del sistema. En definitiva, se está reduciendo el paralelismo en la transmisión a costa de incrementar el tiempo empleado. Esto es particularmente claro en los procesos de acceso a la memoria, que debe estar direccionada en alguna forma.

5.2 Consideraciones acerca de los sistemas de procesado óptico digital

La misma naturaleza de la radiación óptica permite enfocar los problemas de conmutación y procesado de las señales a partir de unos presupuestos diferentes de los que en microelectrónica son habituales. Las ventajas principales que se buscan con el empleo de elementos ópticos son, por un lado, disponer de puertas ultra-rápidas (0,1-1 ps.), y, por otro, ser capaces de hacer uso de un paralelismo masivo, aprovechando la no interferencia natural de los haces luminosos.

Son importantes las dificultades que deben salvarse para llegar a los futuros sistemas digitales ópticos, y, entre estas dificultades, no aparecen tan sólo las tecnológicas, relacionadas con la búsqueda de materiales adecuados o de fabricación, sino que también se precisa de un esfuerzo de imaginación, que permita escapar a los hábitos mentales o suposiciones implícitas que inconscientemente se adquieren por influencia de los sistemas electrónicos actuales. Aparentemente no existen dificultades insalvables que puedan abortar prematuramente tales sistemas ópticos. Dos de los problemas que se han señalado son el adecuado control del sincronismo de los pulsos y el elevado consumo de potencia de los dispositivos ópticos. Hay que decir sin embargo, que, frente a lo primero, se dispone del recurso a elementos tales como espejos y lentes, para ajustar los caminos ópticos de las señales, así como de un control fino de los índices de refracción en las guías de onda. En lo referente al consumo debe pensarse que, si bien pueden ser precisos elevados picos de potencia para el correcto funcionamiento de algunos dispositivos ópticos, la duración de los pulsos sería extraordinariamente reducida, y por tanto el consumo global comparable al de los sistemas electrónicos.

5.3 Puertas lógicas ópticas.

5.3.1 Características generales de las puertas

Un elemento esencial en los sistemas digitales es la puerta lógica. Ocurre que, así como en microelectrónica estos elementos resultan sencillos de desarrollar, en la tecnología de las señales luminosas se encuentran mayores dificultades. Quizá la razón deba buscarse en la característica no interferencial, apuntada con anterioridad, de los haces luminosos: mientras que dos flujos próximos de electrones tienden a interferirse mutuamente, dos haces de fotones viajan sin influencias recíprocas. Por ello es que, al contrario que en los sistemas electrónicos, en óptica es fácil la comunicación y difícil la conmutación.

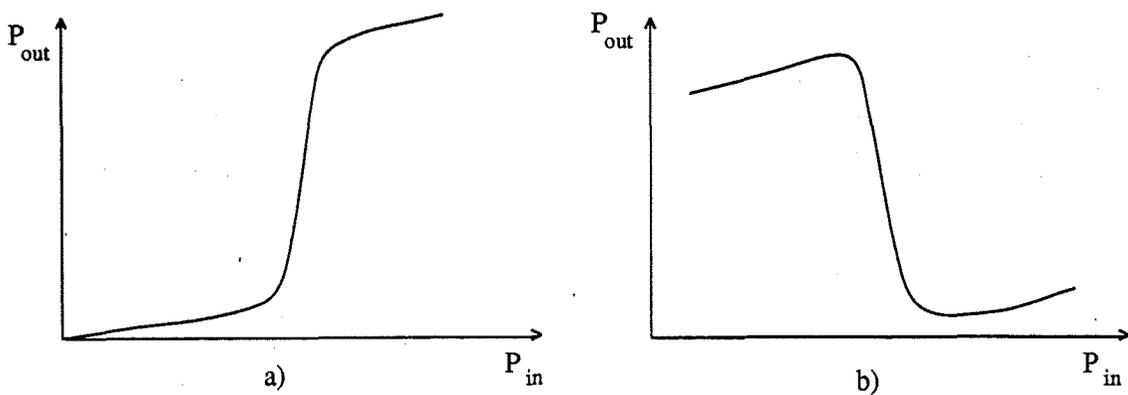


Figura 5.1: Curva de transmisión característica de una puerta lógica óptica no biestable a) no inversora b) inversora.

Para que un dispositivo trabaje correctamente como puerta lógica se precisan ciertas propiedades esenciales. Por una parte las magnitudes regulada y reguladora han de ser homogéneas. Esto es necesario para que la salida de la puerta pueda actuar a su vez como entrada a otra puerta conectada a continuación, y así sucesivamente. Es pues una condición necesaria para conseguir una *cascadibilidad* infinita. Por otro lado el comportamiento de la señal de salida debe ser binario dentro de unos márgenes aceptables. En la figura 5.1 se muestran las que serían curvas características de una puerta lógica (no biestable) en las dos versiones posibles. La magnitud que se regula en el dispositivo es la potencia luminosa.

Los parámetros que definen el funcionamiento del dispositivo son básicamente tres: el *fan-in*, que equivale al número de entradas independientes a la puerta; el *fan-out*, o número de salidas en paralelo que debe proporcionar, y el umbral (*threshold*), que da el número mínimo de entradas de valor alto tal que provoca la conmutación del dispositivo. Consideremos como ejemplo la característica no inversora mostrada arriba: si tomamos $\text{fan-in} = \text{fan-out} = 2$, que son los mínimos valores posibles, y $\text{umbral} = 1$, habremos realizado una función lógica OR; con los mismos valores de *fan-in* y *fan-out*, y con $\text{umbral} = 2$ el dispositivo se comportará según la función lógica AND. Utilizando la curva inversora realizaríamos, con esos mismos valores, las funciones NOR y NAND respectivamente. Todo ello se esquematiza en la figura 5.2.

Se asume que deberán utilizarse elementos activos que repongan las pérdidas a lo largo del sistema, a fin de posibilitar la *cascadibilidad* de las puertas. En este sentido podría pensarse en intercalar amplificadores ópticos, o en proporcionar una potencia adicional a la entrada, P_{BIAS} , tal que lleve al dispositivo cerca de la zona de conmutación. Con esta segunda opción el esquema de operación será el representado en la figura 5.3, para una puerta lógica AND.

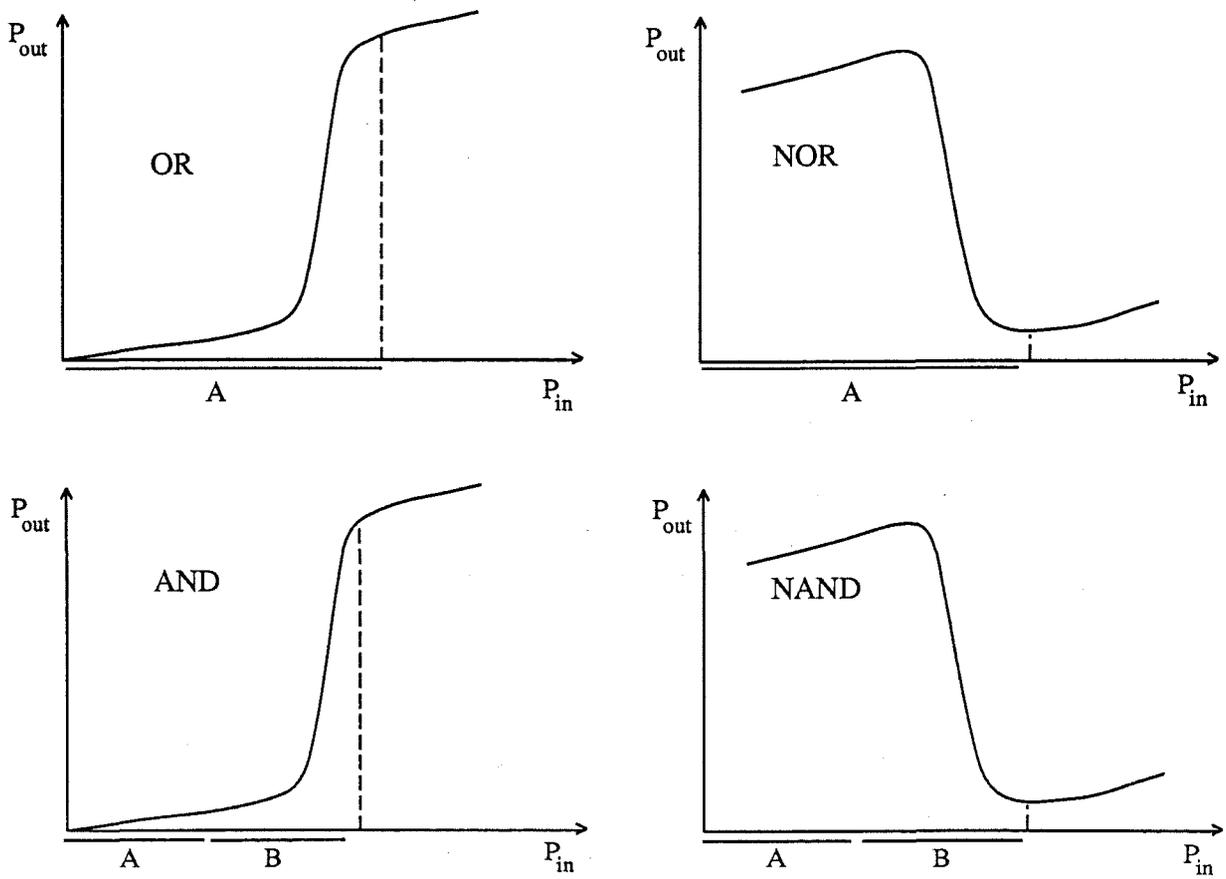


Figura 5.2 : Realización de las funciones lógicas.

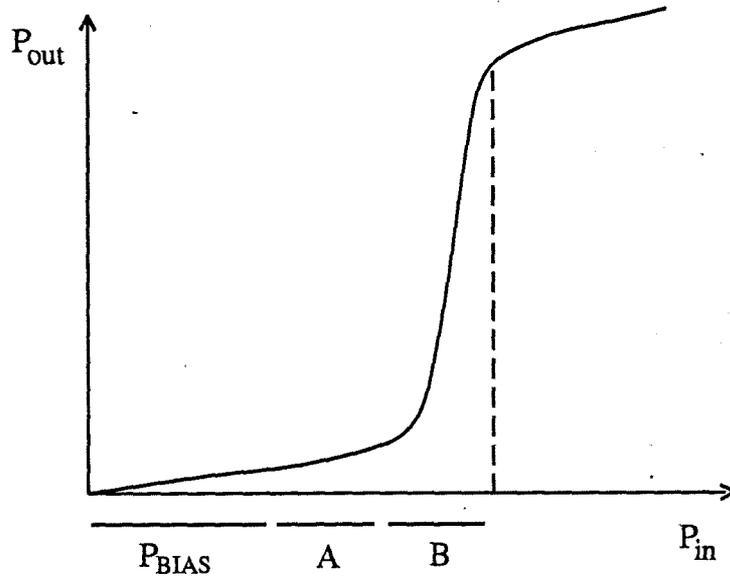


Figura 5.3 : Esquema de funcionamiento de una puerta lógica con entrada de señal de biasing.

5.3.2 Condiciones de trabajo de la puerta lógica

Veremos cuáles son las características necesarias para el correcto funcionamiento de estos dispositivos lógicos, que deben tenerse en cuenta en el proceso de diseño o de verificación de la puerta. En la figura 5.4 se representa la curva de transmisión de potencia para un dispositivo no inversor, con sus parámetros representativos.

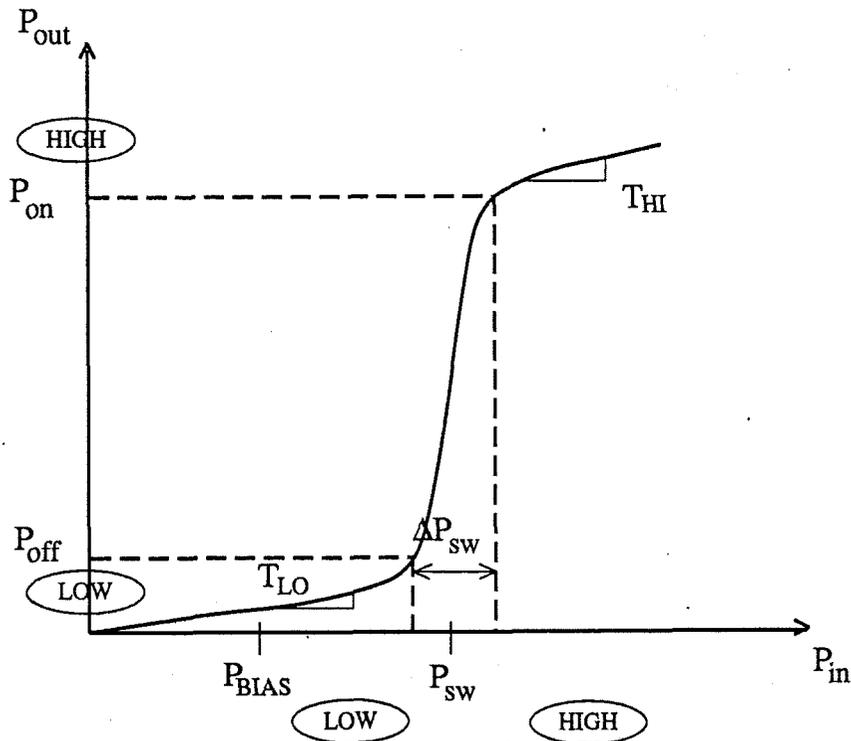


Figura 5.4 : Parámetros característicos de la curva de transmisión de un dispositivo lógico.

Se definen:

- P_{sw} , potencia de conmutación
- ΔP_{sw} , ventana de conmutación
- P_{off} , potencia de salida inmediatamente antes de la ventana de conmutación
- P_{on} , potencia de salida inmediatamente después de la ventana de conmutación
- P_{bias} , potencia de la señal de biasing
- T_{HI}, T_{LO} , valores de la transmisión incremental justo después y justo antes, respectivamente, de la ventana de conmutación
- $T_{sw} = P_{on} / P_{off}$, relación de conmutación
- $C_{sw} = (P_{on} - P_{off}) / P_{on}$, contraste de conmutación.

Además deben considerarse las pérdidas de potencia debidas a las interconexiones entre las diferentes puertas. Se define el parámetro de transmisión T_{SYS} , que da la fracción de potencia de salida de la puerta disponible para atacar otras puertas.

Las condiciones que deberán satisfacerse para que el dispositivo trabaje adecuadamente son [4]:

i) Cuando una puerta conmuta el incremento de la potencia de salida ha de ser capaz de provocar la conmutación en otra puerta idéntica conectada a continuación:

$$\Delta P_{LO \rightarrow HI}^{out}, \Delta P_{HI \rightarrow LO}^{out} > \Delta P_{SW} \quad (5.1)$$

ii) El valor de la potencia de *biasing* ha de ser tal que se cumplan las especificaciones de conmutación deseadas: un número de pulsos de valor alto mayor o igual al umbral debe producir la conmutación, y un número menor de pulsos de valor alto más el resto de valor bajo no debe producirla:

$$\begin{cases} P_{BIAS} + \Delta P_{n \text{ HI} \geq thr} > P_{SW} + \frac{\Delta P_{SW}}{2} \\ P_{BIAS} + \Delta P_{n \text{ HI} < thr} < P_{SW} - \frac{\Delta P_{SW}}{2} \end{cases} \quad (5.2)$$

iii) Los márgenes de variación de la potencia de salida en cualquiera de los dos estados han de ser suficientemente pequeños:

$$T_{HI}, T_{LO} \ll 1 \quad (5.3)$$

Estas tres condiciones permiten relacionar mediante inecuaciones los parámetros característicos de la puerta. De la primera condición se llega a la expresión

$$fanout < \frac{T_{SW} C_{SW}}{\sigma_{SW}} T_{SYS} \quad (5.4)$$

que impone una limitación al número de puertas en paralelo conectables a la salida de cada una. Otra inecuación surge de la consideración de que P_{BIAS} , tomada como el punto central del intervalo que se define en (5.2), no puede resultar negativa. Se llega entonces a:

$$fanin < \frac{fanout}{T_{SYS}} - (thr - \frac{1}{2}) \frac{C_{SW}}{1 - C_{SW}} \quad (5.5)$$

donde

$$P_{BIAS} = P_{SW} - \frac{T_{SYS}}{fanout} \left[fanin P_{OFF} + (thr - \frac{1}{2})(P_{ON} - P_{OFF}) \right] \quad (5.6)$$

Por último, la acotación de las transmisiones incrementales de la puerta se realiza en base a la consideración de que las variaciones en la potencia de salida no deben producir a la larga una conmutación indeseada. Eso daría lugar a una cascada de errores en el sistema. Se demuestra que ello se consigue si se cumple:

$$\frac{fanin}{fanout} < \frac{1}{T_{SYS} T_{HI|LO}} \quad (5.7)$$

5.3.3 Módulo de interconexión óptico

Hay todavía otra consideración a hacer respecto al diseño de un sistema lógico, y es la siguiente: es deseable poder realizar configuraciones flexibles a partir de un número mínimo de tipos diferentes de dispositivos. Sin ser una condición esencial esto favorece enormemente la simplicidad del sistema y reducirá los costes de fabricación. Huang propuso una configuración básica con cuatro puertas AND y una puerta OR [5], tal y como se representa en la figura 5.5

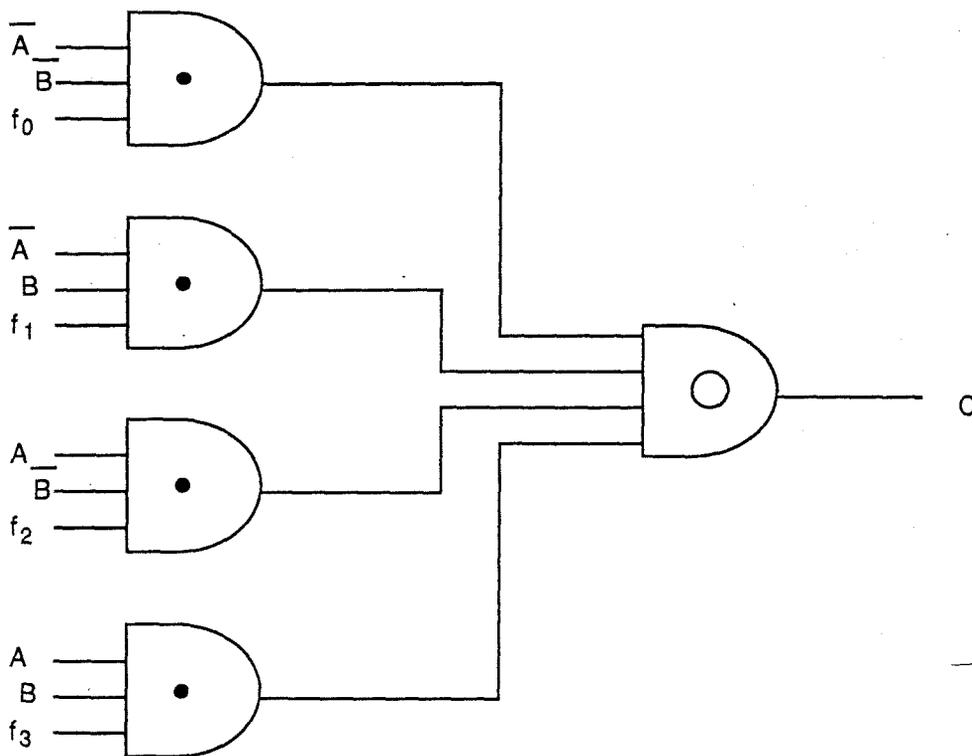


Figura 5.5 : Bloque lógico elemental. Las señales de control permiten configurarlo para obtener cualquier función lógica.

A y B son las variables de entrada, de las que debe disponerse también de sus negadas; f₀, f₁, f₂ y f₃ son señales constantes que configuran el bloque. C es la señal de salida. Es fácil comprobar que cualquier función lógica elemental puede realizarse con esa configuración, eligiendo adecuadamente los valores de las señales f_i :

f ₀	f ₁	f ₂	f ₃	función
0	0	0	1	AND
1	1	1	0	NAND
0	1	1	1	OR
0	1	1	0	XOR
1	0	0	0	NOR

Por la forma en que está concebido el dispositivo se observa que nunca habrá más de una salida activa a un tiempo de las cuatro que proceden de las puertas AND. Esto posibilita, pensando en señales ópticas, eliminar la puerta OR, ya que su función se realizará implícitamente al tomar C como la salida conjunta de las cuatro puertas anteriores. Esto sería el equivalente óptico a las técnicas de lógica cableada que se utilizan en algunas familias lógicas en electrónica. Se consigue así un diseño general a partir de un único tipo de dispositivo.

La necesidad de disponer de las variables negadas a la entrada de cada bloque lógico obliga a generar simultáneamente las dos salidas C y \bar{C} , a fin de ser capaces de regular adecuadamente los siguientes bloques. La solución inmediata consiste en unir dos bloques lógicos, formando una célula lógica elemental, tal como se muestra en la figura 5.6.

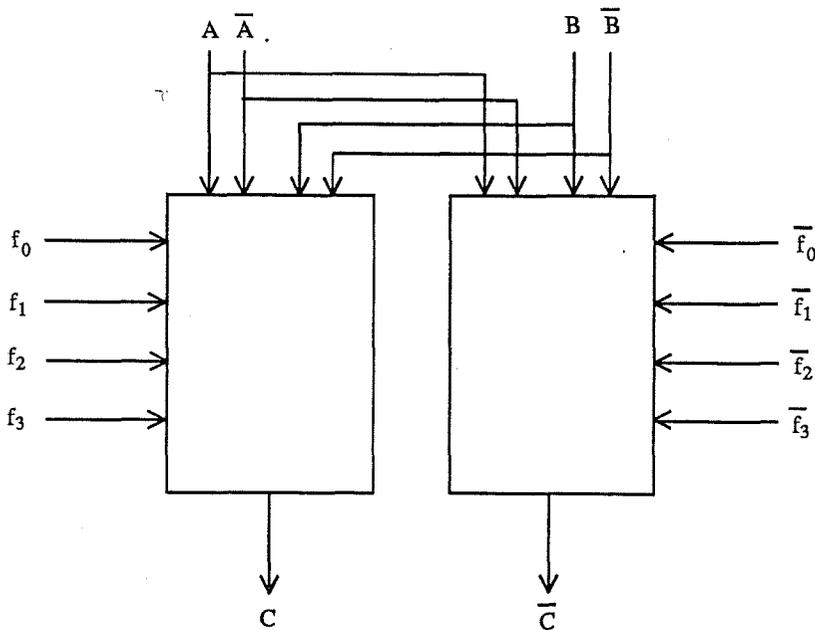


Figura 5.6 : Dos bloques lógicos forman una célula lógica elemental.

Por fin, dos células lógicas pueden agruparse entre sí, formando un módulo básico de interconexión, donde A y B (con \bar{A} y \bar{B}) serían las señales de entrada, y C y D , (con \bar{C} y \bar{D}) las de salida.

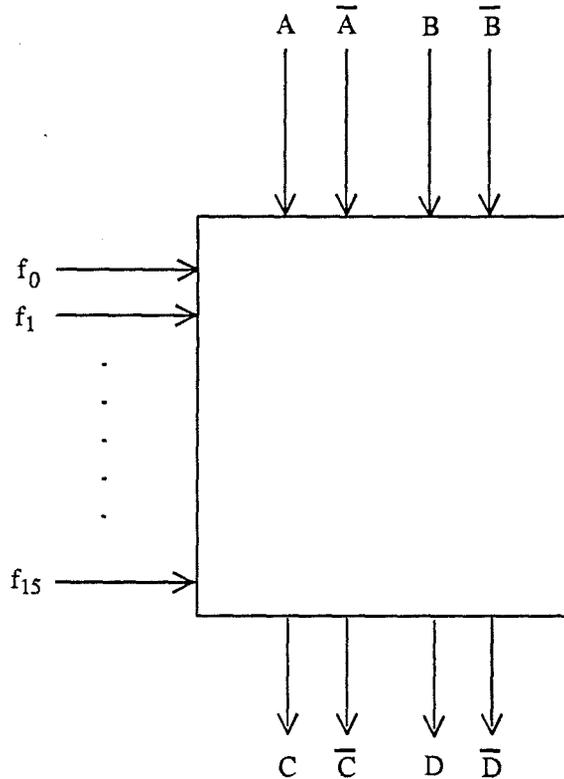


Figura 5.7 : *Dos células lógicas forman un módulo básico de interconexión. Cualquier relación entre las variables de entrada, A y B , y las de salida, C y D , puede programarse mediante las señales de control f_i .*

En resumen, un módulo básico programable de interconexión puede realizarse con dieciseis puertas AND. Cada puerta lógica precisa de una señal de control f_i . Como ésta es una señal constante el sistema podría diseñarse de manera que ella sea la que aporte la mayor parte de potencia a la puerta, en forma de señal de *biasing* (figura 5.3). Las características que se precisan para cada puerta serán: fan-in = 3, fanout = 8, umbral = 2. (Obsérvese que en realidad el fan-in sería igual a nueve, pero como no puede haber más de tres señales activas a un tiempo a la entrada de cada puerta el fan-in efectivo resulta igual al valor indicado).

5.4 Utilización del acoplador direccional no lineal como puerta lógica

5.4.1 Esquemas de operación

El NLDC, analizado en el capítulo anterior, presenta características singulares que pueden dar pie a su empleo como puerta lógica. El esquema de operación básico sería el que se muestra en la figura 5.8 a. La potencia de entrada incide sobre una de las ramas del acoplador, y su salida se espera en la misma rama para el caso de potencias altas (mayores que la potencia crítica), o en la contraria, para pequeñas potencias. Disponiendo una unión en Y a la entrada se obtiene una primera versión de puerta lógica AND (figura 5.8 b).

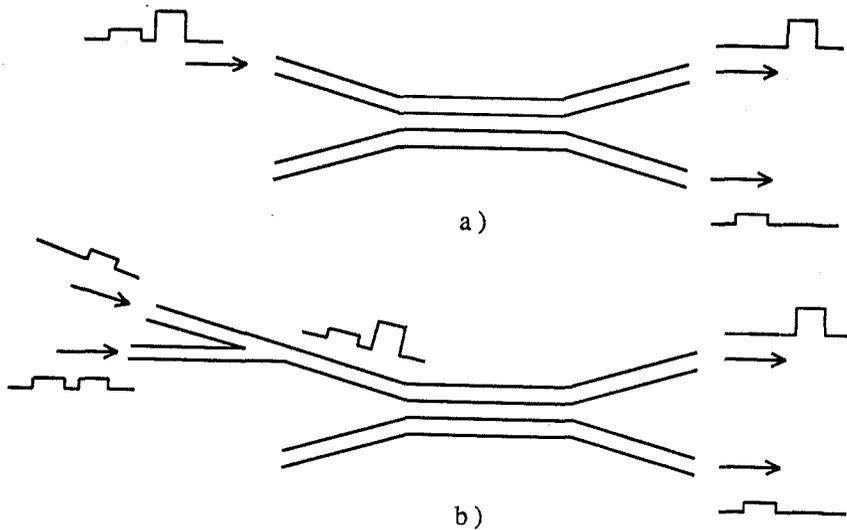


Figura 5.8 : Esquema de operación básica del acoplador direccional no lineal trabajando como puerta lógica AND.

En la figura 5.9 se muestra la curva de transmisión de potencia del dispositivo para uno de los casos analizados en el capítulo anterior. Se ha tomado una longitud de propagación igual a la longitud de acoplo lineal del dispositivo, porque es la que permite una transición típica como la que se muestra en la figura 5.1 a. Desafortunadamente la característica entrada-salida del dispositivo no reproduce con la necesaria perfección el perfil requerido para un dispositivo binario: por un lado la transmisión incremental en el estado alto es próxima a la unidad, y la ventana de conmutación es también demasiado grande.

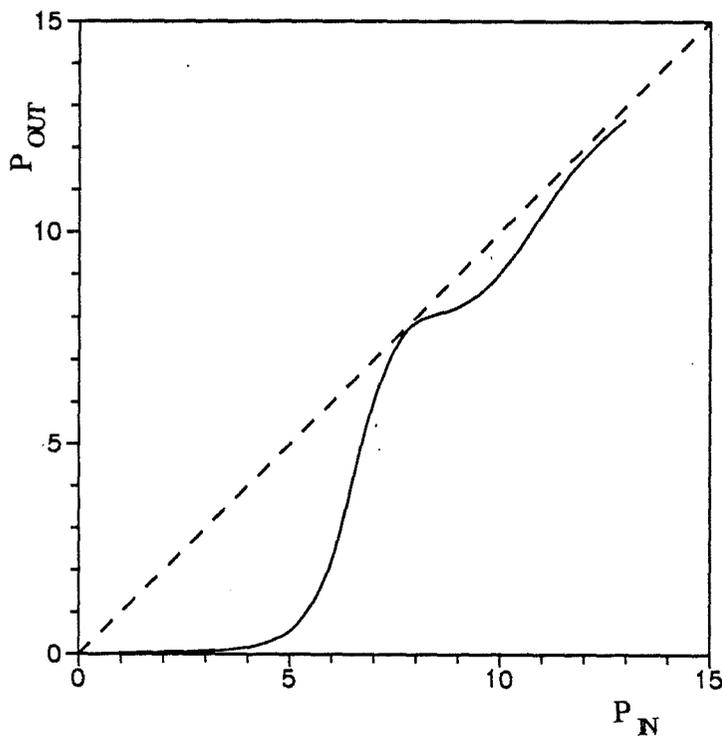


Figura 5.9 : Curva de transmisión de potencia del NLDC en la configuración básica. Se tomó la entrada y la salida en la misma rama (la única inicialmente excitada).

Un modo alternativo de utilización se muestra en la figura 5.10. Una señal constante de polarización, P_{POL} , se introduce por una de las ramas del acoplador, de modo que sobrepase la potencia crítica del dispositivo. Dicha señal aparecerá en la

misma rama a la salida. En la otra rama incide otra señal de potencia P_s , con $P_s \ll P_{POL}$. Cabe esperar que para pequeños valores de P_s el comportamiento de las señales en el acoplador no experimente cambios significativos. Sin embargo para valores de P_s por encima de un cierto valor se puede producir un cambio brusco en el encaminamiento de la potencia de polarización, tal como se esquematiza en la figura 5.10 c. Un comportamiento de ese estilo puede dar lugar a un esquema eficaz de realización de una puerta lógica, donde la señal de polarización hace además el papel de potencia de *biasing*, aportando la mayor parte de la potencia, y la señal de menor potencia P_s ejerce el control de la puerta.

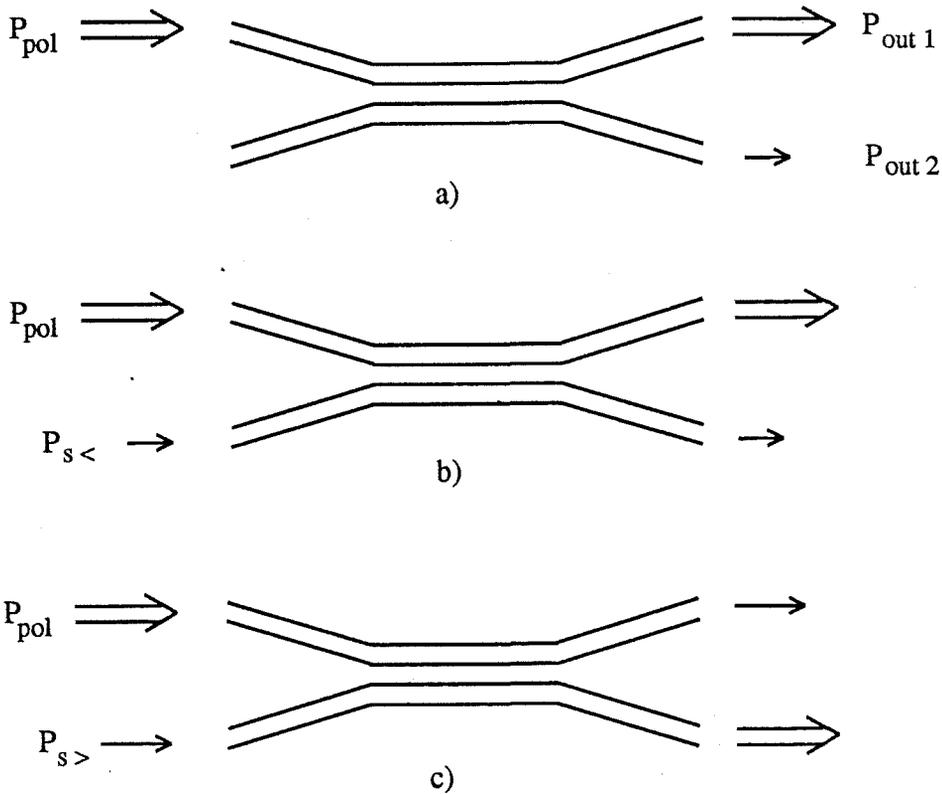


Figura 5.10 : Esquema de operación mejorado con el acoplador direccional no lineal trabajando como puerta lógica . La excitación se realiza por ambas ramas.

La pregunta que debemos hacernos es si hay razones que nos permitan esperar un tipo de respuesta como el que se ha descrito.

5.4.2 Tipos de excitación en el NLDC

Al analizar el comportamiento general del dispositivo se vió cómo hay varios factores que determinan el intercambio de potencia entre las ramas de un acoplador no lineal. Por un lado influyen la cantidad total de potencia inyectada y el desfase inicial entre los dos super-modos de menor orden de la estructura, y, por otro, la relación inicial de potencia que transporta uno y otro modo.

Consideremos primeramente el esquema de operación más sencillo en el que la totalidad de la señal se inyecta en una única rama (figura 5.8). En este caso hacemos trabajar al acoplador en régimen subcrítico mientras la cantidad total de potencia inyectada sea pequeña (menor que la potencia crítica) y, consecuentemente, se produce un intercambio periódico de potencia durante la propagación. Eligiendo adecuadamente la longitud del acoplador se obtiene un nivel bajo (LOW) a la salida de esa misma rama. Para un valor elevado de potencia en la señal se sobrepasa el punto crítico, y toda ella queda confinada en la guía de entrada, obteniéndose el valor alto (HIGH) a la salida.

Conviene observar que en todo este proceso se están manteniendo constantes las condiciones iniciales de excitación, en lo que se refiere a la proporción de potencia inicial entre los dos supermodos, y al desfase relativo inicial entre ellos. Los valores que tenemos son $U_0 = P_0(0) - P_1(0) = 0$ y $\theta_0 = -(\phi_0(0) - \phi_1(0)) = 0$, puesto que se está realizando la suma de los dos super-modos en fase para dar como resultado el modo fundamental de la guía de entrada. Utilizaremos el concepto de plano de excitación, que se introdujo en el capítulo anterior: recordemos que se definieron las curvas de potencia crítica en función del parámetro γ , que establecía una medida normalizada de la potencia transportada inicialmente por cada uno de los dos modos excitados. En este caso ése es un valor inalterado para cualquier valor de potencia de entrada ($\gamma = 0$). Asimismo permanece constante el desfase entre los dos super-modos ($\theta_0 = 0$): todo ello equivale a un movimiento vertical sobre el plano de excitación, tal como se representa en la figura 5.11.

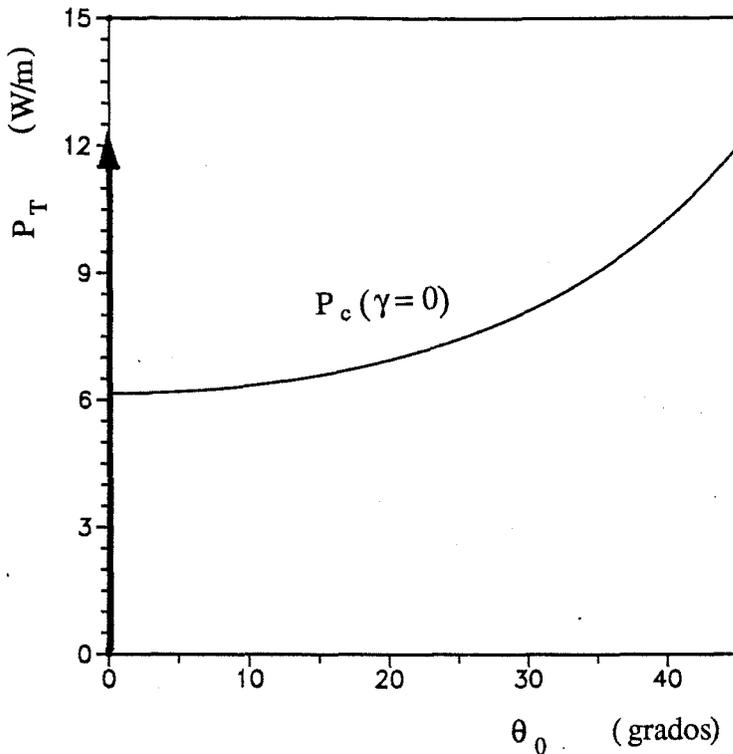


Figura 5.11 : Trayectoria en el plano de excitación $P - \theta_0$ para obtener la conmutación de potencia según el esquema de operación básico del acoplador direccional no lineal (vid. fig. 5.8).

A la vista de las curvas de potencia crítica existen sin embargo otros movimientos en el plano de excitación para pasar del régimen subcrítico al supercrítico, o viceversa. Todos ellos pasan por excitar simultáneamente ambas guías. Estudiaremos el comportamiento del dispositivo para los dos casos más representativos, siguiendo el esquema de operación que se describió en la figura 5.10: una de las ramas es excitada con una señal de potencia P_{POL} , tal que lleva el dispositivo al régimen supercrítico (polarización); después intentamos salir de ese estado mediante una señal de menor potencia, P_s , inyectada en la otra rama.

Tomaremos, para los ejemplos que siguen, uno de los acopladores con que se trabajó en el capítulo anterior, el que denominamos FNLC-3 (vid. figs. 4.12 y 4.13).

i) γ variable, θ_0 constante.

Consideremos en primer lugar el caso en que ambos super-modos son excitados inicialmente en fase. Esto se consigue cuando la señal de potencia P_s en la segunda rama está, bien en fase, o bien en contrafase, con la señal de polarización. En el primer caso un aumento progresivo de la potencia en la segunda rama equivale a una mayor proporción de potencia asociada al super-modo simétrico ($\gamma > 0$); en el caso de introducir la señal en contrafase el aumento de potencia P_s se traduce en un aumento de la potencia transportada por el modo antisimétrico ($\gamma < 0$). En cualquiera de los dos casos, y, asumiendo que $P_{POL} \gg P_s$, ocurre que el punto de excitación es lentamente variable, y lo que varía más rápidamente es el parámetro γ . Como consecuencia se desplaza progresivamente la curva de potencia crítica asociada al problema. Las curvas de la figura 5.12 muestran las curvas de transmisión de potencia para la segunda guía en esas situaciones. La longitud de propagación en el dispositivo se tomó igual al periodo de acoplo para el caso lineal en ambos casos (105 μm).

Para el caso en que la señal de pequeña potencia entra en fase con la señal de polarización el parámetro γ aumenta, por lo que el valor de potencia crítica asociado al mismo disminuye. Como consecuencia no se produce variación en el estado de funcionamiento del acoplador, que permanece en régimen supercrítico, y la mayor parte de la potencia queda confinada en la primera guía.

En el segundo caso ocurre el fenómeno opuesto: γ disminuye, y, consecuentemente, crece el valor de la potencia crítica. Esto provoca una transición brusca al régimen subcrítico, con el consiguiente intercambio entre las ramas del acoplador. En la figura 5.13 se representa la evolución del estado del dispositivo en ambos casos en función de las variaciones de la potencia P_s de la señal en la segunda rama.

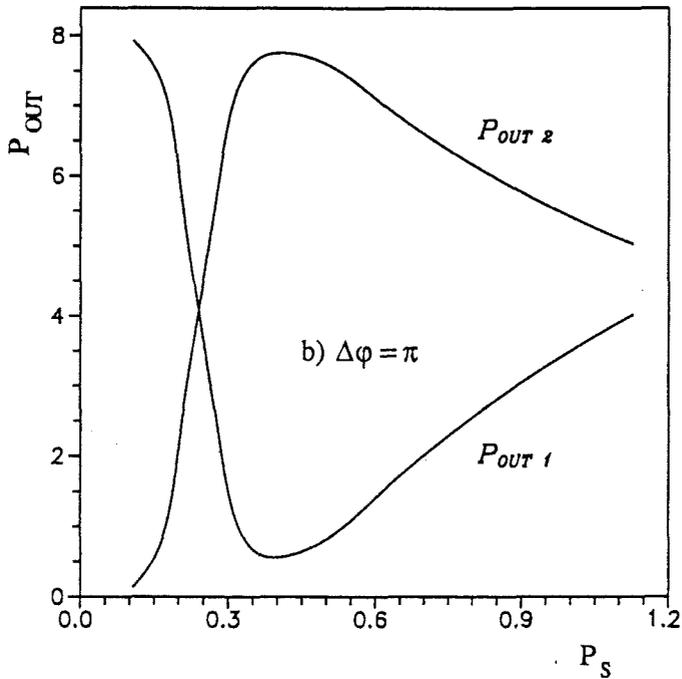
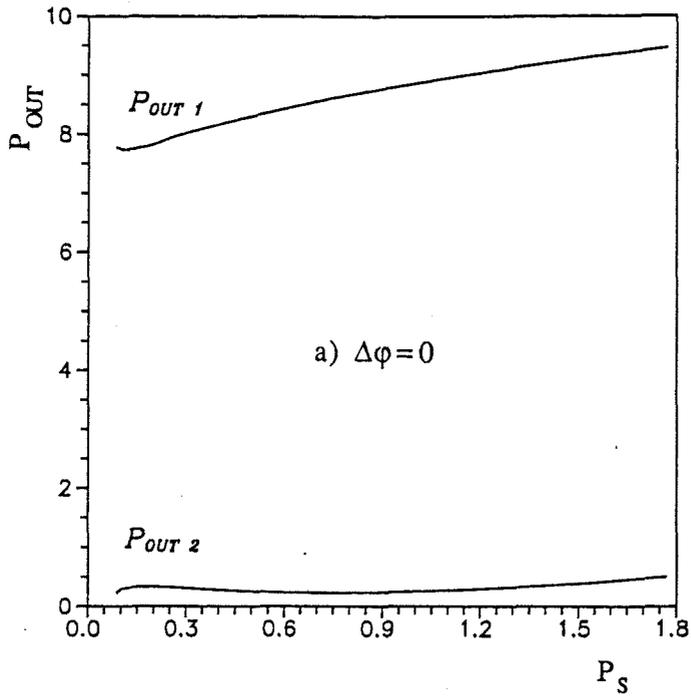


Figura 5.12 : Potencia de salida por cada una de las ramas del acoplador en el esquema de operación mostrado en la fig. 5.10. La excitación por la segunda rama se realiza de forma tal que el desfase inicial entre los super-modos del dispositivo permanece nulo. Se tomó una longitud de propagación igual al periodo de acoplo lineal.

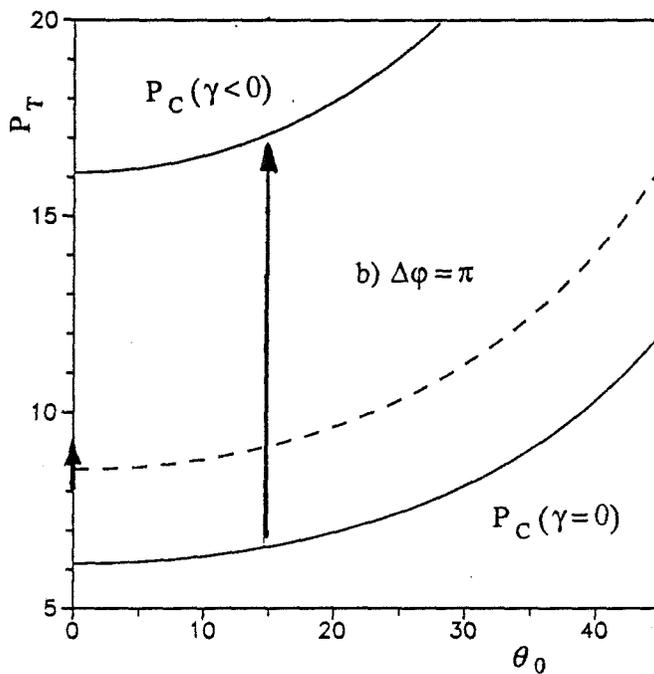
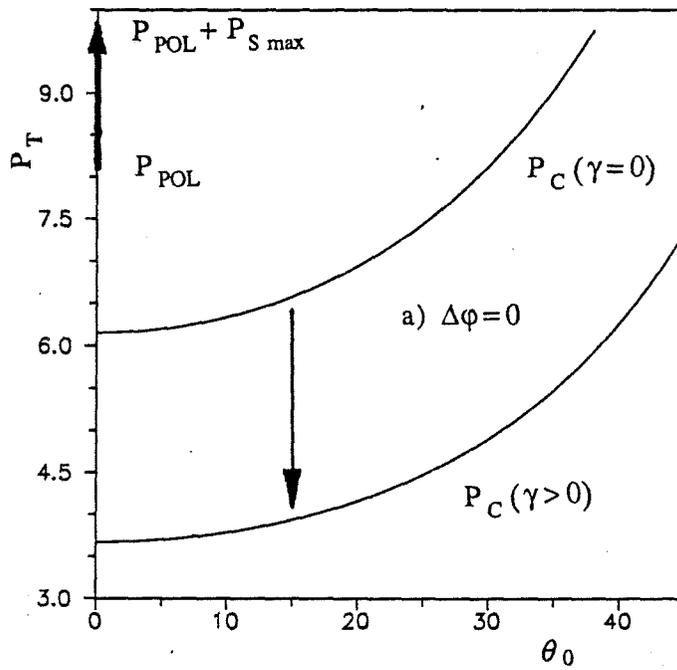


Figura 5.13 : Movimientos en el plano de excitación para los dos casos mostrados en la figura anterior. Cuando la señal por la segunda rama está en contrafase con la señal de polarización se produce la transición al régimen subcrítico.

ii) θ_0 variable, γ constante.

Otro caso de interés ocurre cuando la señal de control en la segunda rama incide con un desfase de $\pi/2$ respecto a la señal de polarización. Puede comprobarse que en este caso un aumento progresivo de la potencia de la señal de control P_s se traduce en un desplazamiento progresivo del desfase inicial entre los dos super-modos del acoplador. Si ambas guías del dispositivo están suficientemente alejadas no se produce variación apreciable en la cantidad de potencia que transportan inicialmente ambos modos y γ permanece aproximadamente igual a 0. La figura 5.14 muestra la curvas de transmisión de potencia en la segunda rama para este caso. Las variaciones en el estado del dispositivo se muestran en la figura 5.15, donde se comprueba que el desfase progresivo en la excitación de los super-modos provoca la transición del régimen supercrítico al subcrítico.

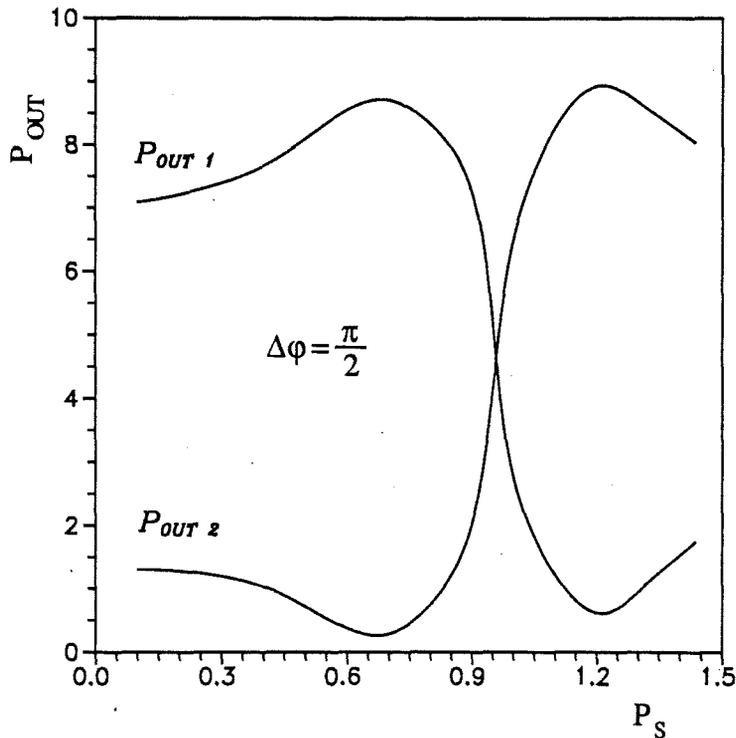


Figura 5.14 : Curvas de transmisión para γ constante.

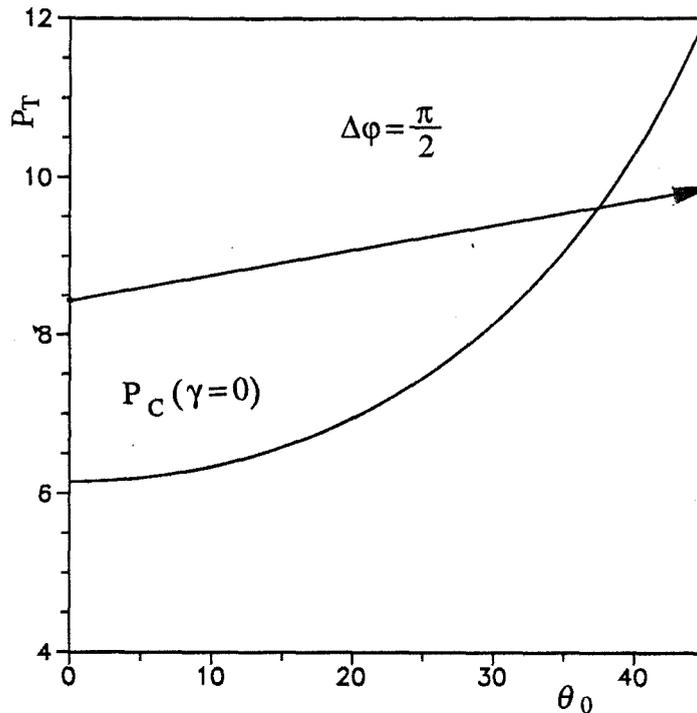


Figura 5.15 : Movimiento en el plano de excitación con γ constante.

De los casos analizados se comprueba la posibilidad de diseñar una puerta lógica eficiente a partir del esquema de operación propuesto (introduciendo la señal de control con un desfase de $\pi/2$, por ejemplo). Una ventaja muy importante de este modelo, a diferencia del modelo básico, la constituye el hecho de que se consigue una doble respuesta útil, por cada una de las ramas del acoplador direccional, esto es, se obtienen simultáneamente la función AND y su negada (NAND). Ello es posible porque con el esquema de operación presentado no se precisan grandes variaciones en la potencia global para producir la conmutación de la puerta, y ésta se utiliza más eficientemente.

Volviendo al módulo de interconexión que se explicó en una sección anterior, puede comprobarse que con una puerta de estas características no sería preciso duplicar

la célula básica para disponer de las señales negadas. Esto tiene consecuencias importantes:

en primer lugar en cuanto a la disminución del número de elementos precisos para su fabricación (la mitad del número de puertas y la mitad del número de señales de control, que pasan de dieciseis a ocho);

en segundo lugar, en cuanto a la relajación de las características computacionales de las puertas: el *fanout* pasa de ocho a cuatro, con lo que no se requiere un comportamiento binario tan depurado. Por contra se precisaría ahora de un limitador a la salida de las señales que constituyen la salida negada de cada conjunto de cuatro puertas AND.

Haremos unos cálculos orientativos para valorar la utilidad del esquema propuesto.

5.4.3 Evaluación de las características de la puerta

Tomemos la curva de respuesta correspondiente al último caso analizado, en el que la señal de control se hace incidir con un desfase de $\pi/2$ respecto a la señal de polarización. Los valores que toman algunos de los parámetros definidos en la sección 5.3.2 son:

$$P_{OFF} = 1,4 \text{ (W/m)}$$

$$P_{ON} = 7,0$$

$$P_{SW} = 0,96$$

$$\Delta P_{SW} = 0,2$$

con fan-in = umbral (thr) = 2, y fan-out = 4. Las condiciones en que se resumirá el correcto funcionamiento de la puerta son finalmente (tomando $P_{BIAS} = 0$):

$$\Delta P (n^{\circ} \text{ HI's} = 2) > 1,08 \text{ W/m}$$

$$\Delta P (n^{\circ} \text{ HI's} < 2) < 0,86 \text{ W/m}$$

que se pueden re-escribir:

$$2 \Delta P_{HI} > 1,08$$

$$\Delta P_{HI} + \Delta P_{LO} < 0,86$$

Por otra parte los valores que la misma puerta proporciona como potencias de las señales HI y LO serán:

$$\Delta P_{HI} = \frac{P_{ON} T_{SYS}}{fanout} \quad \text{y} \quad \Delta P_{LO} = \frac{P_{OFF} T_{SYS}}{fanout}$$

Con todo ello se puede comprobar que la curva de transmisión propuesta resulta útil si se cumple que las pérdidas de transmisión entre dos puertas consecutivas se mantienen en el margen de $0,31 < T_{SYS} < 0,34$.

5.5 Consideraciones finales

Lo anteriormente visto muestra las posibilidades de utilización de los dispositivos no lineales, realizados con técnicas de óptica integrada, en el campo de la computación óptica digital. El que puedan llevarse a la práctica tales esquemas, y que resulten competitivos frente a los dispositivos electrónicos, está condicionado en gran parte a la obtención de medios no lineales con las características de no linealidad y transparencia adecuados. A este respecto se describió sucintamente en el capítulo primero cuál es el estado actual de las investigaciones en este terreno.

Quedan sin embargo algunas cuestiones importantes por comentar relacionadas directamente con la aplicación propuesta, y que, de una forma u otra, aparecerán siempre que se trate de sistemas ópticos de computación digital. Uno de esos aspectos hace referencia a la interferencia y suma de pulsos binarios: no resulta inmediato proceder a la suma de pulsos binarios ópticos, de la misma forma que no lo es tampoco en la tecnología electrónica. En nuestro caso corremos el riesgo de que se produzcan interferencias destructivas indeseadas, de manera que dos pulsos HIGH den lugar a un pulso LOW, o que sea interpretado como tal. Existen varias posibilidades genéricas de generar correctamente la potencia suma de dos pulsos independientes, tales como utilizar modos diferentes de las guías de onda, polarizaciones ortogonales, o hacerlos incidir separadamente en el dispositivo, si ello es posible. Por último queda la propuesta de desarrollar un sumador de pulsos.

La última cuestión a señalar está relacionada con la anterior, y atañe directamente a la viabilidad del diseño presentado: ¿es posible controlar exactamente el desfase relativo entre dos señales independientes que han de incidir en el mismo dispositivo?. En nuestro caso deberíamos asegurar que el desfase entre la señal de

control del dispositivo y la señal de polarización sea de $\pi/2$. No es viable proceder a un cálculo previo de los caminos ópticos que han de recorrer las señales a lo largo del sistema, puesto que las tolerancias de los diversos parámetros implicados en el proceso harían variar la fase esperada tras recorrer unas pocas puertas. En todo caso tal intento debería ir acompañado de un proceso continuado de verificación y corrección. Esto obligaría a desarrollar un dispositivo comparador-corrector de fase. La otra posibilidad es sincronizar la fase mediante inyección de señal en el diodo laser. Es sabido que la fase de la señal de salida en el diodo depende de la diferencia de frecuencias entre la señal del diodo en emisión libre y la señal inyectada [6]. Esta sería la alternativa a considerar, ya que es posible incidir en los diodos que generan la señal de polarización, situados a la entrada de cada una de las puertas, y obtener así una precisión interferométrica de la fase, sin que, por el mínimo espacio recorrido hasta la puerta, aquella tenga posibilidad de variar.

5.6 Conclusiones

En este capítulo se ha mostrado una posible aplicación del acoplador direccional no lineal como puerta lógica óptica. Se señalaron previamente las características computacionales que debían cumplirse para la realización de un módulo programable de interconexión.

La utilización del plano de excitación, que se presentó en el capítulo cuarto, ha hecho posible obtener una buena comprensión del comportamiento del acoplador direccional cuando se excita por ambas ramas simultáneamente, según los diversos esquemas de operación.

Debe señalarse que sólo se mostraron algunas de las posibilidades que ofrece el dispositivo. De hecho deben existir otras alternativas de utilización, variando el punto de polarización o la longitud de la zona de acoplo. Una buena revisión de algunos de los posible esquemas aparece en [7].

A lo largo de todo este trabajo sólo se ha tratado con acopladores simétricos. Recientemente han aparecido otras propuestas en las que se juega también con la asimetría inducida por el propio campo entre ambas ramas, debida a la utilización de medios con diferente coeficiente de no linealidad [8,9].

Se han señalado las dificultades intrínsecas que pueden aparecer al intentar llevar a la práctica éstos u otros esquemas de utilización. En gran medida se resumen en la alta sensibilidad del acoplador direccional a los desfases relativos entre las diferentes señales que intervienen en el proceso de conmutación. Sin duda un objetivo del mayor interés sería la de buscar puntos de polarización del dispositivo, o geometrías alternativas, tales que se muestren insensibles a la fase de las señales de control [10].

REFERENCIAS

- [1] M.Murdocca. "Digital optical computing: some advances". *Int. J. Optoelectronics* **5**, 2 (1990) 191.
- [2] A.D.Fisher. "Spatial light modulators: functional capabilities, applications and devices". *Int. J. Optoelectronics* **5**, 2 (1990) 125.
- [3] V.M.Egorov, E.G.Kostsov. "Integral optical digital computers". *Appl. Opt.* **29**, 8 (1990) 1178.
- [4] M.E.Prise, N.Streibl, M.M.Downs. "Optical considerations in the design of digital optical computers". *Opt. Quantum Electron.* **20** (1988) 49. Para dispositivos biestables véase también P.Wheatley, J.E.Midwinter "Operating curves for optical bistable devices". *IEE Proc.* **134 J**, 6 (1987) 345.
- [5] A.Huang. "Architectural considerations involved in the design of an optical digital computer". *Proc. IEEE* **72**, 7 (1984) 780.
- [6] A.E.Siegman. "Lasers" University Science Books, Mill Valley (CA) 1986. Cap. 29.
- [7] A.T.Pham, L.N.Binh. "All-optical modulation and switching using a nonlinear-optical directional coupler". *J.Opt.Soc.Am. B* **8**, 9 (1991) 1914.
- [8] D.R.Rowland. "All-optical devices using nonlinear fiber couplers". *J.Lightwave Technol.* **9**, 9 (1991) 1074.
- [9] C.C.Yang. "All-optical ultrafast logic gates that use asymmetric nonlinear directional couplers". *Opt. Lett.* **16**, 21 (1991) 1641.

- [10] M.N.Islam. "Ultrafast all-optical logic gates based on soliton trapping in fibers".
Opt. Lett. **14**, 22 (1989) 1257.