



Universitat Ramon Llull

TESI DOCTORAL

Títol	Control de l'escintil·lador SPD del calorímetre d'LHCb
Realitzada per	M ^a del Mar Roselló Canal
en el Centre	Enginyeria i Arquitectura La Salle
i en el Departament	Electrònica
Dirigida per	Xavier Vilasís Cardona

***A tots els que quan em veuen
el primer que em pregunten és què hi
haurà per sopar...i al cap de 5 segons
de respondre diuen: -Podré repetir?-.***

Abstracte

En les planes que teniu a continuació trobareu descrites l'electrònica i la gestió de la placa de control de l'SPD. SPD són les sigles corresponents a *Scintillator Pad Detector*, part del calorímetre d'LHCb de l'accelerador LHC.

L'LHC és un accelerador orientat a estudiar els constituents de la matèria on LHCb n'és un dels detectors. El calorímetre és aquella part del detector destinada a mesurar l'energia de les partícules que el travessen. En el nostre cas l'SPD discrimina entre partícules carregades i no carregades contribuint així en les decisions del calorímetre.

En l'electrònica de l'SPD trobareu diferenciades dues parts: l'electrònica en contacte directe amb el subdetector (*Very Front End*, VFE) i l'electrònica de gestió de l'SPD (la *Control Board*, CB). L'objectiu d'aquesta tesi és la descripció d'aquesta darrera així com la integració de l'SPD en el sistema de control del calorímetre.

El VFE realitza un primer processat de les dades del detector determinant un nivell digital el qual indica si s'ha rebut una partícula carregada o no. La CB és l'encarregada en canvi de la monitorització i el control del sistema SPD: és capaç d'enviar dades de configuració als VFE i a la vegada en monitoritza el correcte funcionament.

Veureu que el document es troba organitzat en 5 parts. A la primera part trobareu descrites les característiques principals del calorímetre, les seves funcions i la seva estructura. La part segona, tercera i quarta són dedicades íntegrament a la CB: a la part 2 tenim descrit el hardware, a la part 3 el sistema de control i a la quarta part hi trobarem comentats els diferents tests i proves realitzades tan sobre el hardware com amb el sistema de control. Finalment a la cinquena part hi trobarem resumits els objectius aconseguits amb el nostre disseny i les aportacions d'aquest en la globalitat de l'experiment.

Abstract

In the next pages you will find described the electronics and management of the SPD. SPD stands for Scintillator Pad Detector which is part of the LHCb calorimeter of the LHC accelerator.

LHC is an accelerator oriented to study the matter constitution and LHCb is one of the detectors designed for this challenge. The LHCb part oriented to measure the particles energy is the calorimeter. The SPD is designed to discriminate between charged and neutral particles contributing in the calorimeter decisions.

In the SPD electronics description we can distinguish between two parts: the electronics in contact with the subdetector (Very Front End, VFE) and the electronics in charge of the SPD management (the Control Board, CB). The goal of this thesis is the description of the last and also the integration of the SPD with the calorimeter control system.

The VFE captures the data from the detector and makes a first digital decision depending on if the particle detected is charged or not. The CB is in charge of the monitoring and control of the SPD system: is able to send configuration data to the VFE and also monitors parameters to assure a proper behaviour.

You will see that the document is divided in 5 parts. In the first, you will find described the calorimeter, its functionalities and its structure. Part 2, part 3 and part 4 are fully dedicated to the CB: in part 2 we will find the CB hardware, in part 3 the control system and finally in part 4 the different tests performed with the hardware and the control system. The document ends with part 5 where the main objectives of this work are summarized and also the contribution of the SPD design in the LHCb project.

Abstracto

En las páginas que tenéis a continuación encontraréis descrita la electrónica y la gestión de la placa de control del SPD. SPD son las siglas correspondientes a Scintillator Pad Detector, parte del calorímetro de LHCb del acelerador LHC.

LHC es un acelerador orientado al estudio de los constituyentes de la materia donde LHCb es uno de los detectores. El calorímetro es aquella parte del detector destinada a medir la energía de las partículas que lo atraviesan. En nuestro caso el SPD discrimina entre partículas cargadas y neutras contribuyendo así a las decisiones del calorímetro.

En la electrónica del SPD encontraréis diferenciadas dos partes: la electrónica en contacto directo con el detector (*Very Front End*, VFE) y la electrónica de gestión del SPD (la *Control Board*, CB). El objetivo de esta tesis es precisamente la descripción de esta última parte así como la integración del SPD en el sistema de control del calorímetro.

El VFE realiza un primer procesado de los datos del detector determinando un nivel digital el cual indica si la partícula detectada está cargada o no. La CB es en cambio la encargada de la monitorización y el control del sistema SPD: es capaz de enviar datos de configuración a los VFE y a la vez monitorizar su correcto funcionamiento.

Veréis que el documento se encuentra organizado en 5 partes. En la primera parte encontraréis descritas las características principales del calorímetro, sus funciones y su estructura. La segunda parte, la tercera y la cuarta están plenamente dedicadas a la CB: en la parte 2 tenemos descrito el hardware, en la parte 3 el sistema de control y en la cuarta encontraremos los diferentes tests y pruebas realizadas sobre el hardware y el sistema de control. Finalmente en la quinta parte tenemos resumidos los objetivos conseguidos con nuestro diseño y las aportaciones de este en la globalidad del experimento.

Índex

Part 1. El calorímetre d'LHCb.

Pàg. 1

- 1.1. CERN i el projecte LHC. Pàg. 3
- 1.2. LHCb, les seves parts. Pàg. 5
- 1.3. Descripció del calorímetre i del trigger de nivell 0. Pàg. 6
- 1.4. SPD, Scintillator Pad Detector. Pàg. 11

Part 2. El hardware de l'SPD.

Pàg. 19

- 2.1. L'electrònica de l'SPD. Pàg. 21
 - 2.1.1. La placa de VFE. Pàg. 22
 - 2.1.2. La placa LVPS. Pàg. 24
- 2.2. L'electrònica de la CB. Pàg. 25
 - 2.2.1. El hardware de la CB. Pàg. 27
 - 2.2.1.1. Senyals de la backplane i característiques. Pàg. 27
 - 2.2.1.1.1. 3U backplane.
 - 2.2.1.1.2. 6U backplane.
 - 2.2.1.2. El bus SPECS. Pàg. 30
 - 2.2.1.3. L'enllaç de la CB als VFE i LVPS. Pàg. 33
 - 2.2.1.3.1. Comunicacions I²C.
 - 2.2.1.3.2. Transmissió síncrona del senyal de reset.
 - 2.2.1.3.3. Transmissió del senyal de rellotge de la CB cap als VFE.
 - 2.2.1.4. La distribució del senyal de rellotge dins la CB. Pàg. 39
 - 2.2.1.5. El càlcul de la multiplicitat de l'SPD i el link òptic. Pàg. 42
 - 2.2.1.6. Regulació de l'alimentació i monitorització de temperatura. Pàg. 45
 - 2.2.2. La FPGA de la CB. Pàg. 47
 - 2.2.2.1. Funcionalitats de la FPGA. Pàg. 48
 - 2.2.2.2. Comandes de la FPGA i control d'estat. Pàg. 50
 - 2.2.3. Disseny de la CB. Pàg. 50
 - 2.2.3.1. Disseny multicapa. Pàg. 51
 - 2.2.3.2. Connectors. Pàg. 51
 - 2.2.3.2.1. Backplane.
 - 2.2.3.2.2. SPECS mezzanine.
 - 2.2.3.2.3. Optical mezzanine.
 - 2.2.3.2.4. Connexió amb VFE i LVPS.
 - 2.2.3.2.5. ISP de la FPGA.
 - 2.2.3.2.6. Sortides de rellotge.
 - 2.2.3.3. Panell frontal. Pàg. 57

Part 3. El control de l'SPD.

Pàg. 61

- 3.1. El sistema de control d'LHCb. Pàg. 63
 - 3.1.1. Filosofia i objectius del sistema ECS d'LHCb. Pàg. 63
 - 3.1.2. Arquitectura de l'ECS. Pàg. 64
- 3.2. Definició del hardware de l'SPD en l'ECS. Pàg. 69
- 3.3. Control jeràrquic i màquines d'estat de l'SPD. Pàg. 74
- 3.4. Inicialització del subsistema SPD. Pàg. 81
- 3.5. Definició d'alertes a l'SPD. Pàg. 82

Part 4. Testos i resultats.

Pàg. 85

- 4.1. Prototips previs al disseny definitiu de la CB. Pàg. 87
- 4.2. El sistema de test de la CB de l'SPD. Pàg. 87
- 4.3. Integritat del senyal de rellotge. Pàg. 90
- 4.4. Testos de les comunicacions de l'SPD. Pàg. 95
 - 4.4.1. Test de l'enllaç òptic. Pàg. 96

- 4.4.2. Testos dels enllaços I²C.
- 4.5. Test de la cadena d'acceleradors d'LHC.

Pàg. 97
Pàg. 99

Part 5. Conclusions.

Pàg. 101

- 5.1. I tot plegat...
- 5.2. I d'ara en endavant?

Pàg. 103
Pàg. 104

Referències.

Part 1.
El calorímetre d'LHCb

Tot i que l'objectiu d'aquesta tesi és descriure l'electrònica i el control de l'SPD hem de situar primer la nostra feina dins del marc de l'experiment LHC.

L'experiment està orientat a l'estudi dels constituents de la matèria, obviarem però tots els detalls que entrin en el camp de la física de partícules i ens centrarem en les característiques i les descripcions funcionals dels equips d'instrumentació.

Així doncs aquesta primera part consta d'un primer apartat en el que explicarem quin és l'objectiu del CERN i del projecte LHCb dins de l'experiment LHC (apartat 1.1). Un segon apartat explicant l'estructura i les parts de LHCb (apartat 1.2), un tercer apartat en el que veurem el funcionament general i les diferents parts del calorímetre (apartat 1.3) i finalment una descripció detallada de l'SPD (apartat 1.4).

1.1. CERN i el projecte LHC.

Les sigles CERN identifiquen el Centre Europeu per a la Recerca Nuclear fundat el 1954 i que es troba situat a l'extrem sud-oest del llac Lemán a cavall entre Suïssa i França [1].

Es tracta d'un gran laboratori on científics de tot el món es reuneixen per discutir sobre les diferents partícules que constitueixen la matèria i les forces que les mantenen unides. El CERN existeix bàsicament per a donar a aquests científics les eines necessàries (acceleradors i detectors) per a poder continuar les seves discussions.

Mitjançant els acceleradors, els físics donen velocitat a les partícules i les fan col·lisionar les unes amb les altres. Aquesta energia alliberada en les col·lisions és captada pels detectors per tal que després els físics la puguin estudiar i interpretar completant així els seus estudis teòrics.

Un petit exemple d'accelerador el teníem gairebé tots fins fa poc a casa nostra. El tub de raigs catòdics d'un televisor complia les característiques bàsiques de qualsevol dels acceleradors del CERN. Un filament dins del tub del nostre antic televisor actuava de font de partícules. Quan el filament s'escalfava alliberava electrons degut a l'augment d'energia, aquests electrons eren accelerats i guiats al llarg del tub per un camp electromagnètic generat per grans bobines. La pantalla del televisor, actuava de detector de partícules, fent-les visibles com un dels punts que configuraven la imatge en la pantalla del nostre vell televisor!

LHC (*Large Hadron Collider*) és el nou accelerador que actualment està gairebé a punt per entrar en funcionament. L'LHC es troba instal·lat en un gran túnel circular de 27 km de perímetre enterrat a una profunditat d'entre 50 i 150 metres. La secció del túnel és d'uns 3 m de diàmetre i es troba revestit de formigó.

El feix de partícules (hadrons) és injectat a LHC després de ser accelerat per una cadena d'acceleradors secundaris (veure figura 1.1). Un cop dins de LHC, els 2 feixos de partícules viatgen en sentits oposats per dos tubs separats en els quals existeix el buit. Tan sols en quatre punts, on s'instal·la l'instrumental dels 4 experiments principals que constitueixen LHC, és on aquest dos feixos es fan col·lisionar.

Aquests 4 experiments principals o detectors són:

- ATLAS,
- CMS,
- ALICE
- i LHCb.

ATLAS i CMS són dos detectors genèrics. LHCb i ALICE són de propòsit específic.

LHCb (*Large Hadron Collider Beauty*) és el detector en el qual el nostre grup ha invertit treball i esforços [1].

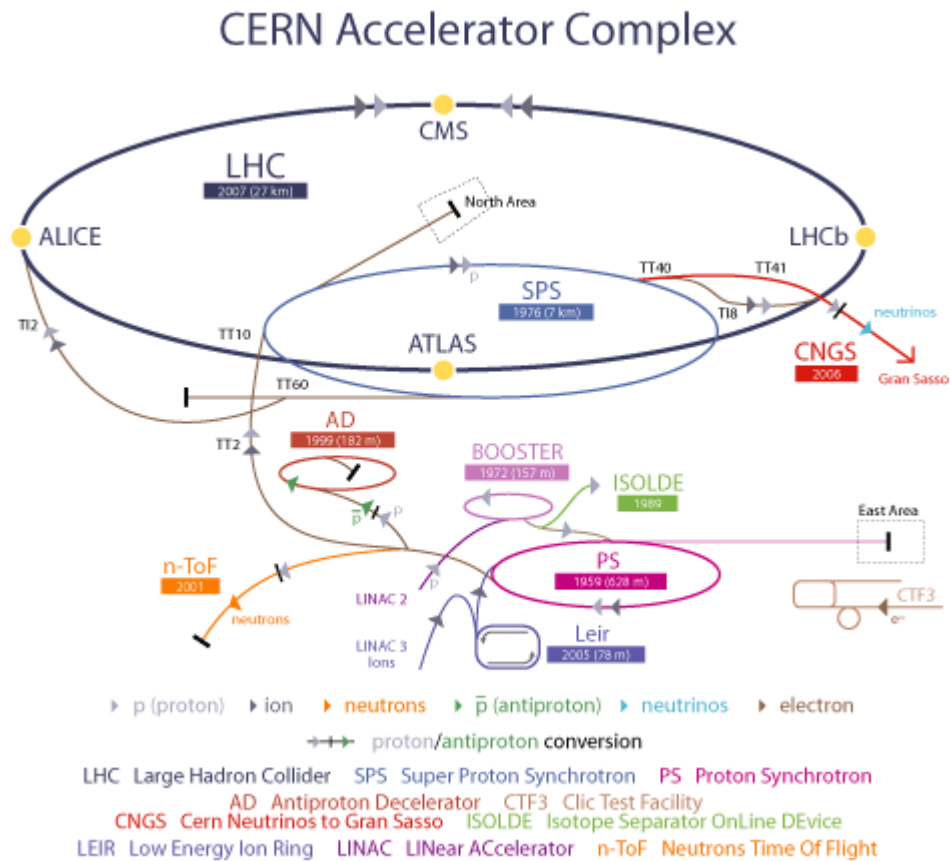


Figura 1.1. Imatge de la cadena d'acceleradors que injecten partícules a LHC (anell gran). Sobre LHC, podem veure els punts que representen els 4 detectors principals [2].

Què pretén trobar LHCb?

Quan l'univers fou creat, l'energia es transformà en partícules de matèria i antimatèria. Durant un breu període de temps, existí un equilibri perfecte o simetria entre matèria i antimatèria. L'Univers, però, s'expandí, una sèrie de canvis desencadenaren canvis dràstics en la seva composició, de manera, que les partícules adquiriren la seva massa característica i algun fenomen féu que es diferenciés la matèria de l'antimatèria produint-se així una asimetria entre elles.

LHC accelerarà les partícules fins que les condicions siguin similars a les que hi havia a l'Univers quan aquest es va crear. Les mesures portades a terme per LHCb han de permetre als físics explicar perquè la Natura va donar preferència a la matèria enfront de l'antimatèria.

Els especialistes en la matèria haurien de poder extreure d'aquestes mesures les diferències entre la matèria i l'antimatèria i donar així resposta a preguntes del tipus on va anar a parar l'antimatèria durant l'origen de l'Univers. Concretament volen confirmar la presència d'una partícula anomenada bosó de 'Higgs' l'existència de la qual donaria resposta a preguntes d'aquest tipus ja que, en cas d'existir, és aquella partícula que els models teòrics creuen que dona massa a la resta.

Totes aquestes conclusions creuen poder-les treure de l'estudi d'una partícula anomenada 'beauty quark' o 'b quark'. Per atrapar-la LHCb ha dissenyat un sofisticat sistema de subdetectors construïts un darrera l'altre al llarg de 20 m.

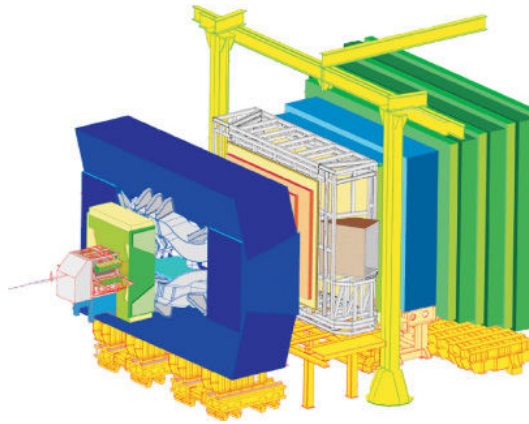


Figura 1.2. Imatge del detector LHCb i els diferents subdetectors que l'integren.

En el següent apartat veurem una ràpida descripció d'LHCb i els diferents subdetectors que l'integren.

1.2. LHCb, les seves parts.

LHCb està format per diferents subdetectors (veure figura 1.3) [3], cadascun dels quals, estarà especialitzat en l'anàlisi d'un aspecte diferent del que passa en les col·lisions. En conjunt, el detector LHCb proporcionarà informació sobre la trajectòria, la identitat, el moment i l'energia de cada partícula produïda en les col·lisions. Tots els detalls sobre la seva implementació els podem trobar a [4].

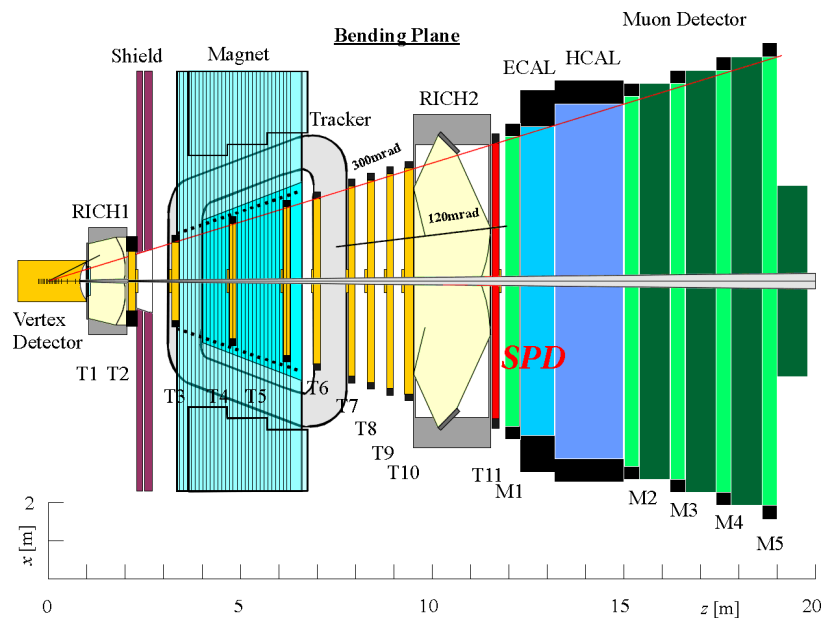


Figura 1.3. Estructura d'LHCb. Format per diferents subdetectors l'un darrere l'altre al llarg de 20 metres. A la imatge podem veure el nom de cadascun d'ells i l'escala del dibuix.

És precisament en la part anomenada SPD (indicat en vermell a la figura 1.3), *Scintillator Pad Detector*, (veure figura 1.3) en la que es centra l'electrònica desenvolupada pel

nostre grup de recerca. Es tracta d'un detector basat en una pantalla de material escintil·lador l'excitació del qual permet mesurar l'energia de les partícules carregades que el travessen.

L'SPD és part del calorímetre d'LHCb; el calorímetre és aquella zona del detector dedicada a mesurar l'energia de les partícules que el travessen. L'SPD concretament, discrimina entre partícules carregades i no carregades. Tots els detectors del calorímetre, igual que l'SPD, estan basats en pantalles de materials escintil·ladors.

Tot i que tal com hem dit el nostre objecte d'interès és l'SPD, anem a acabar aquest apartat amb un ràpid cop d'ull a la resta de parts que integren LHCb.

El detector LHCb fa col·lisionar dos protons a una energia de 7 TeV cadascun en el seu centre de masses. Està format, primer de tot prop del punt d'intersecció, per un subdetector de vèrtex i un sistema de *tracking* pel seguiment de les partícules (veure figura 1.3). Un gran iman d'unes 4 Tesles, permet corbar la trajectòria de les partícules amb l'objectiu de calcular-ne el moment.

Abans i després de l'iman trobem els comptadors de RICH (*Ring Imaging Cherenkov*) encarregats de mesurar la velocitat de les partícules a partir del que es coneix com efecte Cherenkov.

El calorímetre format per dos parts diferents: (ECAL, CALorímetre Electromagnètic, i HCAL, CALorímetre Hadrònic); és l'encarregat de la mesura de l'energia i l'SPD forma part precisament de l'ECAL. Al final de tot de la cadena hi trobem el detector de muons ja que són les partícules que més triguen a desintegrar-se i per tant les que aconseguiran arribar al final del detector.

Les característiques de l'accelerador fan que en aquest es produeixi una col·lisió (*bunch crossing*) cada 25ns, és a dir, té una freqüència de funcionament de 40MHz. Aquesta elevada freqüència de successió dels esdeveniments, fa necessària l'existència d'un sistema de selecció o *trigger*. El calorímetre proporciona al detector LHCb el *trigger* (dades de dispar) per electrons i hadrons. El calorímetre electromagnètic (ECAL) permet identificar grans deposicions locals d'energia però el sistema ha de poder distingir quin tipus de partícula les ha generat. És en aquest punt, en el nivell més baix (més ràpid) de *trigger* on intervenen el *PreShower* (PS) i l'SPD.

Un màxim local d'energia pot haver estat produït per un fotó, un electró o un hadró. Per seleccionar les partícules electromagnètiques s'usa el PS exigint una mínima quantitat de senyal en la zona que es correspongui al màxim local de l'ECAL. Per a la identificació dins del grup de partícules electromagnètiques, distinció entre partícules carregades i fotons, s'usa l'SPD. Tota aquesta informació provinent del PS i l'SPD s'utilitza en el calorímetre per a determinar quines col·lisions han produït partícules l'anàlisi de les quals pugui ser interessant. El calorímetre és doncs un element clau en el nivell més baix del *trigger* que ha de poder processar esdeveniments a un ritme de 40MHz. Si no fos així, el sistema no podria assumir el gran flux de dades que es produiria ni tampoc emmagatzemar-les en temps real, per això, és important aquest primer filtratge o *trigger* de nivell 0 realitzat per hardware.

Els sensors que utilitzen els diferents subsistemes són de naturaleses molt diferents: trobem des de *microstrips* de silici, detectors de ionització gasosa o planxes metàl·liques d'efecte escintil·lador que permeten mesurar l'energia dipositada per les partícules quan aquestes topen amb el material en qüestió.

Tots els elements del calorímetre electromagnètic utilitzen tècniques similars: materials escintil·ladors acoblats a fotodetectors per mitja de fibres òptiques.

1.3. Descripció del calorímetre i del *trigger* de nivell 0.

L'objectiu principal de l'electrònica del *trigger* de nivell 0 (L0) i per tant del calorímetre és de reduir el flux de dades de 40MHz a un flux de 1MHz amb un temps de latència no superior a 4µs [5]. Posteriorment l'HLT (*High Level Trigger*) reduirà el flux de dades a 2KHz utilitzant les informacions rebudes de tot el detector. L'evolució constant de la capacitat de càlcul dels processadors així com l'augment progressiu de la capacitat de les memòries, ha fet

possible que l'experiment es construeixi només amb un sol nivell de *trigger* per hardware¹: el *L0 trigger*.

El sistema hardware que constitueix aquest primer nivell de *trigger* (*L0*) s'anomena electrònica de *Front End* (FE). El *L0* es troba íntegrament dissenyat a nivell hardware i actua de forma síncrona amb el rellotge de 40MHz de l'experiment. L'HLT en canvi, es troba implementat a nivell de software i corre asíncronament en el que s'anomena una 'granja' de PCs amb 16000 CPUs interconnectades.

A la figura 1.4 tenim un esquema de l'arquitectura de l'electrònica de *Front End* del *trigger* d'LHCb. A la part superior de la imatge (en color rosa) podem veure el que s'anomena l'electrònica de *Front End*, és a dir, aquella electrònica en contacte directe amb el detector. Només en el cas de de PS i SPD, l'electrònica de *Front End* es troba dividida en dues parts: el que s'anomena el VFE (*Very Front End*) i les plaques de *Front End* pròpiament dites. Els VFE alberguen el fotomultiplicadors que capten la llum generada en les col·lisions amb el material escintil·lador del detector i en fa un primer processat amplificant i digitalitzant els senyals passant-los seguidament a les plaques de *Front End*.

Els senyals processats pels VFE són bufferitzats pel primer nivell de *trigger* (*L0*, en verd a la figura 1.4) i finalment es suprimeixen les dades no rellevants (*zero suppression*) per tal de limitar la càrrega dels diferents enllaços de dades i són formatejades abans de ser passades al sistema d'adquisició de dades o *triggers* de nivell alt (part inferior de la figura 1.4).

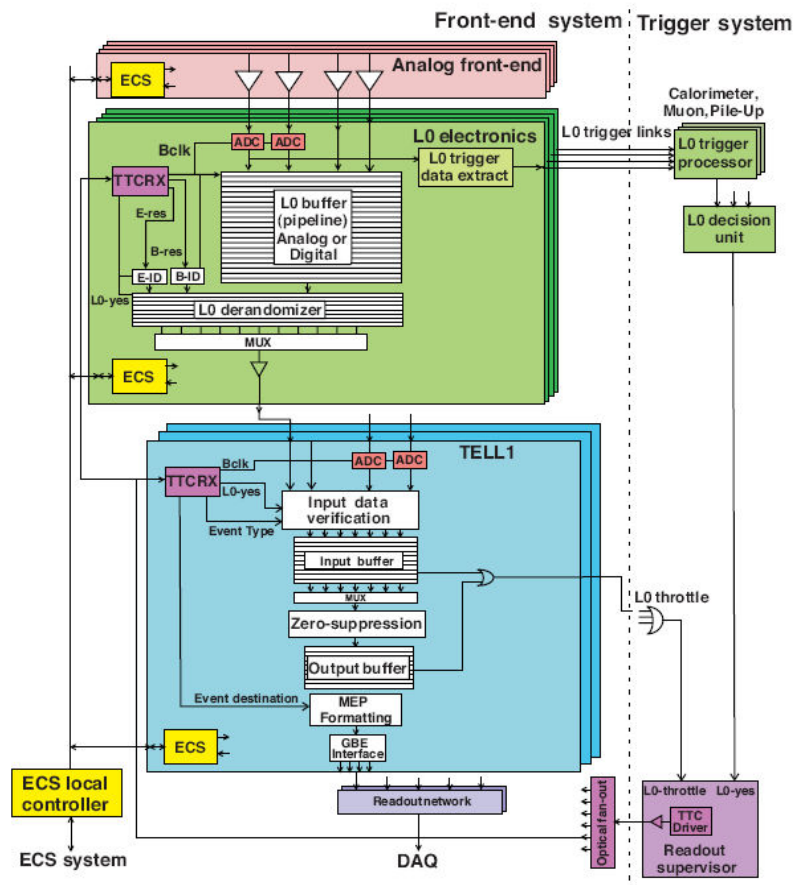


Figura 1.4. Representació de l'electrònica de *Front End* i la seva interacció amb els nivells de *trigger* i d'adquisició de dades del detector.

¹ Cal destacar que recents estudis plantegen la possibilitat que les noves millores del detector actual (*LHCb upgrade*) s'implementin directament adquirint dades a 40MHz sense cap tipus de *trigger* per hardware.

Així doncs, l'electrònica de nivell 0 (de la qual en formen part l'SPD i el PS) és l'encarregada de generar decisions que permetin reduir el flux de dades de 40 a 1MHz. L'electrònica de VFE ha de ser capaç de subministrar dades als processadors del nivell 0 de *trigger* en perfecte sincronització amb el rellotge del sistema (*Bunch Crossing Clock*).

El sistema d'adquisició de dades (DAQ) es defineix com la implementació física del *trigger* de nivell alt utilitzant la 'granja' compartida de CPUs.

Com a darrera part de la descripció general de l'arquitectura de l'electrònica de *Front End* cal destacar el paper de l'ECS (*Experiment Control System*) i del TFC (*Time Fast Control*).

L'ECS és el nivell més alt del control de tot l'experiment. Totes les parts de l'electrònica de *Front End* i tots els subsistemes relacionats hi han d'estar connectats d'alguna manera. Des de l'ECS es portarà a terme la configuració del sistema així com la monitorització dels diferents paràmetres que faci falta mentre el detector estigui en funcionament. Tant el *trigger* com el sistema DAQ estan sota el control de l'ECS el qual es basa en una estructura altament distribuïda tal com descriurem a la part 3 d'aquest document.

El TFC [6] és l'eix vertebrador de la distribució de senyals de sincronització per l'electrònica de *Front End*. El TFC és el responsable de mantenir la sincronització amb els *bunch crossing* (col·lisions del feix) d'LHC i assegurar a més a més que totes les plaques de *Front End* es trobin sincronitzades les unes amb les altres. És l'encarregat doncs de la distribució de senyals de rellotge i de control de sincronització.

L'electrònica de *Front End* es troba tota ella en una caverna vora el túnel en el punt de col·lisió del feix a uns 100m sota terra (figura 1.5). Per no introduir retards addicionals, els equips relatius al sistema TFC es troben també localitzats a la caverna. Molts dels PCs de control (tal com veurem a la part 3) es troben també a prop dels equips que controlen. A la superfície hi trobem tan sols la 'granja' de CPUs i l'anomenada *Control Room* (sala de control, figura 1.6); és el lloc des d'on és controlat l'experiment sencer i monitoritzat pel personal adequat. A la *Control Room* s'hi troben estacions de treball i monitors que visualitzen permanentment informació sobre [7]:

- Estat dels components crítics de l'electrònica de *Front End* i el sistema DAQ.
- Estat dels sistemes d'alt voltatge dels diferents subdetectors.
- Les diferents alertes del sistema de control.
- L'estat general de l'accelerador LHC.

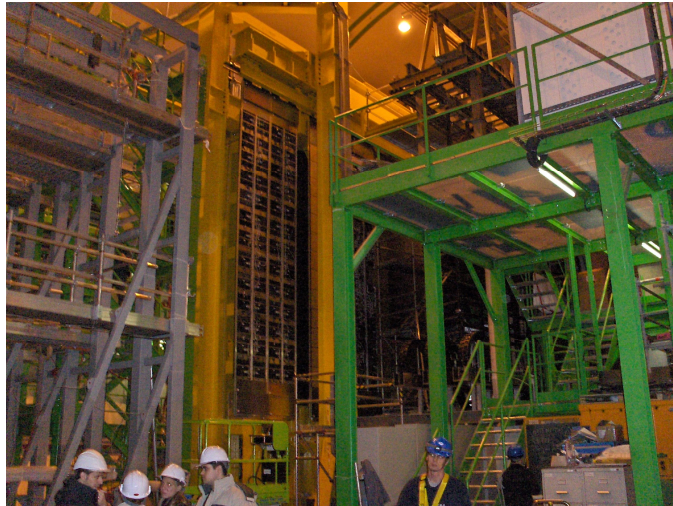


Figura 1.5. Imatge de la caverna d'LHCb.



Figura 1.6. Imatge de la sala de control d'LHCb.

Una vegada descrita l'arquitectura general de l'electrònica de *Front End*, podem entrar ja més en detall en com es troba reflectida aquesta arquitectura en el *trigger* de nivell 0 del calorímetre.

L'objectiu del calorímetre és identificar partícules que dipositen alts nivells d'energia en ell. Tal com ja avançàvem els 4 subdetectors que l'integren són en aquest ordre (veure figura 1.7) [8]:

- SPD: Scintillator Pad Detector.
- PS: Preshower.
- ECAL: Electromagnetic Calorimeter.
- HCAL: Hadronic Calorimeter.

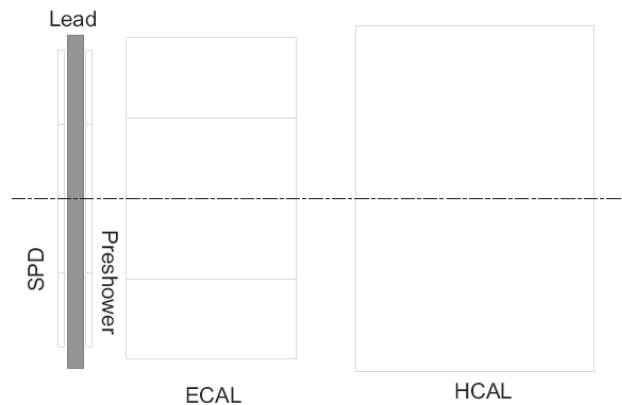


Figura 1.7. Vista lateral de l'esquema del calorímetre d'LHCb. La línia horitzontal central representa el feix.

L'SPD identifica partícules carregades i permet diferenciar entre electrons i fotons. El PS es troba just després d'una pantalla de plom i identifica partícules electromagnètiques. L'ECAL mesura l'energia de les partícules electromagnètiques i finalment trobem l'HCAL que mesura l'energia dels hadrons.

Les cel·les dels tres primers detectors segueixen la mateixa geometria i ho podem veure representat a la figura 1.8. Les cel·les de la zona central mesuren $4 \times 4 \text{ cm}^2$, $6 \times 6 \text{ cm}^2$ a la zona mitja i $12 \times 12 \text{ cm}^2$ en la zona més externa, aquesta granularitat ve determinada per la precisió que es vol assolir en la mesura en cada zona. La mida de les cel·les és proporcional a la distància que es troben del vèrtex de manera que el nombre total de cel·les és de 5952. L'HCAL en canvi, conté només 1468 cel·les de dos tipus: de $13 \times 13 \text{ cm}^2$ i de $26 \times 26 \text{ cm}^2$. Més detalls sobre la geometria dels detectors els podem trobar a la referència [8].

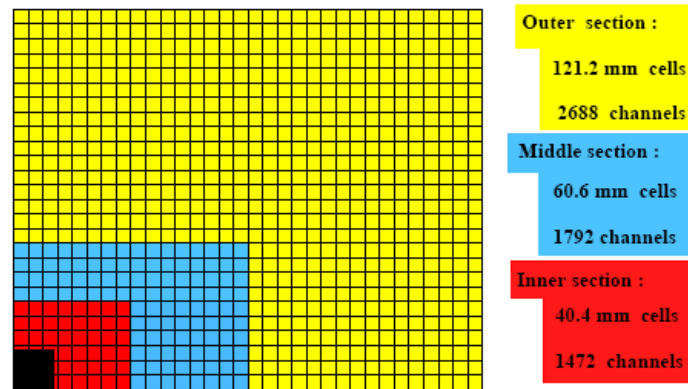


Figura 1.8. Imatge d'una quarta part del detector on podem veure representades les tres mides de cel·les descrites en el paràgraf anterior.

A la figura 1.9 podem veure la relació del calorímetre amb la resta del sistema de *trigger* de nivell 0. El funcionament del calorímetre és el que es descriu a continuació.

Una primera selecció de partícules altament energètiques es porta a terme a terme a les plaques de *Front End*. La placa de *Front End* és la mateixa per HCAL i ECAL per una banda i per PS i SPD per una altra (però no les plaques d'*Analog Front End* o VFE). La informació dels *Front Ends* és enviada a la *Validation Card* (figura 1.9 i figura 1.10) la qual barreja les informacions rebudes dels *Front Ends* per tal de determinar quin és el tipus de partícula detectat. La mateixa placa suma també els nivells d'energia dipositats a l'ECAL per tal d'enviar aquesta informació a les següents etapes. Una operació semblant, el càlcul de la multiplicitat de l'SPD, s'haurà de fer també amb les dades processades pel sistema SPD/PS.

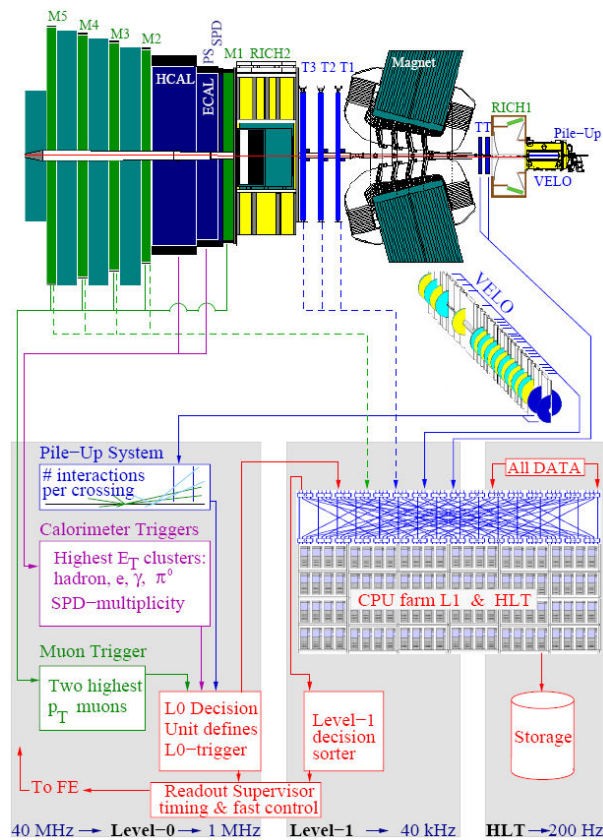


Figura 1.9. Imatge del detector i correspondència amb les diferents parts del *trigger*.

És important tornar a destacar que l'electrònica de *Front End* del calorímetre de l'SPD i PS es troba en els 2 casos dividida en dues parts: l'electrònica de VFE (o també anomenada

analog Front End) que és la part en contacte amb el detector i després l'electrònica de *Front End* (FE) pròpiament dita on PS i SPD comparteixen placa i ECAL i HCAL també; en aquests darrers no existeix l'electrònica de VFE i es fa tot el processat directament a les plaques de *Front End*.

La figura 1.10 ens serveix per acabar de situar físicament aquestes plaques. A d'alt de tot de la figura hi tenim representada la part corresponent a les plaques de VFE de cada subdetector (o en els que no en tenen com ECAL i HCAL, simplement el fotomultiplicador i la seva base). Aquestes plaques es troben a una distància d'uns metres metres (en el cas de l'SPD els cables tenen una longitud de 22 o 29 m) de les plaques de *Front End* de SPD/PS i de ECAL/HCAL; aquestes darreres es troben situades en xassís o *racks* en una plataforma a la part alta del detector. La *Validation Card* recull les dades dels subdetectors del calorímetre i es troba també situada en aquests mateixos xassís. A partir d'aquest punt la comunicació amb la placa que realitza la decisió final del *trigger* de nivell 0 és a través d'enllaços òptics cap a l'anomenada *Level 0 Decision Unit* (LODU) que es troba a les barraques de la caverna a una distància d'uns 80m dels xassís on es situen les plaques de FE.

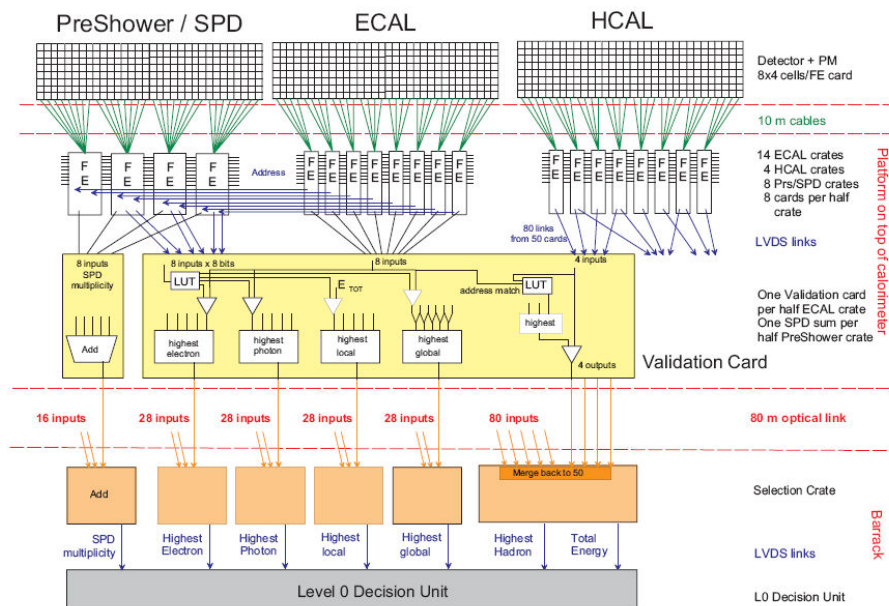


Figura 1.10. Vista general del sistema de *trigger* del calorímetre.

El nostre grup de recerca en col·laboració amb el departament d'Estructura i Constituents de la Matèria (ECM) de la Universitat de Barcelona s'ha fet càrrec de la part corresponent a l'SPD del calorímetre. Concretament el grup ha dissenyat la part d'electrònica de VFE de l'SPD i la seva placa de control la qual es troba també situada en els mateixos xassís que les plaques de FE, que no han estat dissenyades pel grup sinó pel grup col·laborador en el calorímetre d'LHCb de la universitat Blaise Pascal de Clermont-Ferrand.

En el següent apartat farem una descripció funcional detallada de tot el sistema de l'SPD i tota la infraestructura relacionada.

1.4. SPD, Scintillator Pad Detector.

A hores d'ara ja tenim clar quin és el funcionament general del calorímetre i els seus objectius. Ens manca però una descripció més acurada del sistema de l'SPD per tal de poder situar correctament la feina del nostre grup.

El detector de l'SPD està format per un material plàstic escintil·lador (Bicron 408) el qual produeix llum quan és travessat per una partícula carregada. Aquesta llum és recollida per unes fibres també escintil·ladores (Kuraray Y11) que condueixen la llum fins a uns fotomultiplicadors de 64 canals. Cada placa de VFE de l'SPD té allotjat un d'aquests

fotomultiplicadors, tal com es pot veure a la figura 1.11 serà necessari un total de 100 plaques de VFE (100 fotomultiplicadors) per a cobrir tot el detector.

El sistema està format per 3 plaques que a la part 2 d'aquest document descriurem detalladament:

- La placa de VFE de l'SPD [9]: tal com hem comentat aquesta placa processarà el primer senyal analògic subministrat pels fotomultiplicadors. Aquest senyal serà integrat en aquestes plaques per un ASIC [10] i comparat amb uns llindars programables a través de l'ECS per tal d'obtenir tan sols un nivell digital. Les dades digitals dels comparadors s'enviaran a través d'un enllaç diferencial a les plaques de FE del PS.
- La placa LVPS (*Low Voltage Power Supply*): es tracta d'una placa de reguladors de baix voltatge per tal de poder alimentar les plaques de VFE de l'SPD.
- La placa CB (*Control Board*): placa de control situada també en els xassís del calorímetre i que centralitza la connexió de LVPS i VFE amb el sistema ECS i TFC. La placa CB s'ocuparà també del càlcul de la multiplicitat de l'SPD, dada que com veurem a la part 2 s'enviarà a la *Selection Board* (situada a les barraques de la caverna) a través d'un enllaç òptic.

Tot i que el grup ha treballat en aquestes tres plaques, el tema d'aquesta tesi és tan sols la placa de control (CB) de l'SPD així com la connexió de l'SPD a l'ECS i el seu control.

Les CBs són bàsicament la interfície de l'SPD amb el sistema de control de l'experiment: l'ECS. Així doncs, la CB ha d'estar comunicada amb els VFEs i les plaques LVPS per tal que aquestes darreres puguin rebre i enviar dades a l'ECS. Les plaques de VFE i LVPS es troben ambdues molt a prop del detector, concretament en caixes metàl·liques a la part alta i baixa del detector. Les CBs en canvi es troben en els *racks* de les plaques de FE ja que en allà és on arriba la comunicació amb l'ECS a través de la *backplane* d'aquests *racks*.

Els *racks* són estructures metàl·liques semblants a un armari on a cada filera s'estableix una connexió a través del que s'anomena la *backplane*. Cada filera pren el nom de *crate* i té connexions o *slots* per connectar 21 plaques a la *backplane*.

Aquests *racks* es troben situats en una plataforma per sobre del detector, això fa que la distància a cobrir entre les CBs i els VFEs o les plaques LVPS requereixi cables de longitud de 22 o 29m aproximadament en funció de si els darrers es troben situats a la part alta o baixa del detector.

Així doncs la placa LVPS alimenta els VFEs (veurem a la part 2 que també centralitza la monitorització de temperatures d'aquests) i tots dos queden connectats a la CB. Per una altra banda les dades digitals de sortida dels VFE (multiplexades en un enllaç LVDS², *Low Voltage Differential Signaling*) han d'arribar fins a les plaques de FE del PS les quals es troben als *racks* de les CB i a les mateixes *crates*.

A través de la *backplane* de la *crate*, les dades de *trigger* obtingudes pel FE del PS retornen de nou a la CB la qual en fa el càlcul de la multiplicitat (consisteix en determinar el número de cel·les col·lisionades per partícules carregades en un *bunch crossing*, en definitiva ja que es tracta de dades digitals sumarem el número de '1' en les dades d'un mateix cicle); el resultat de la multiplicitat és enviat des de la CB cap a la *Selection Board* (es troba a les barraques de la caverna) a través d'un enllaç òptic. Totes aquestes comunicacions seran descrites en detall a la part 2, ara de moment, ens podem situar amb la figura 1.11 on en groc podem veure la part pròpiament de l'SPD i en color salmó la part de PS.

² Tecnologia diferencial per a la transmissió de dades digitals.

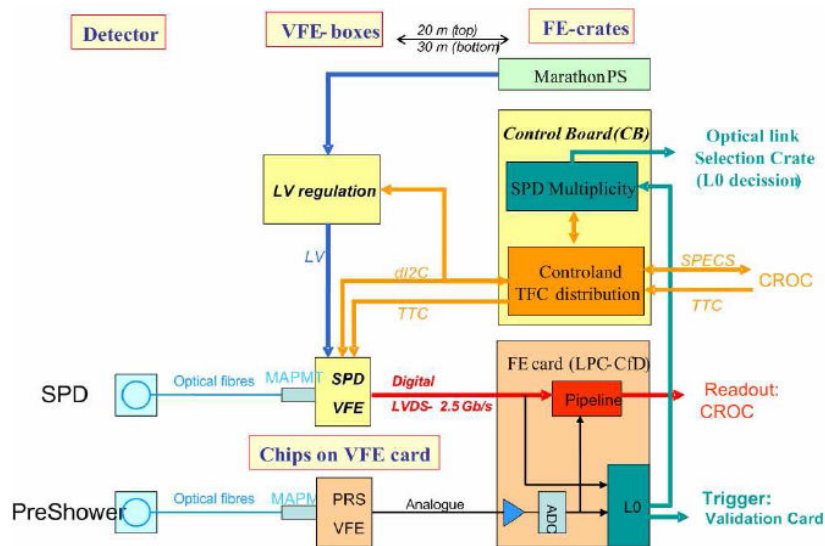


Figura 1.11. Esquema de comunicacions entre SPD i PS. Cada franja vertical de la figura indica una situació física diferent de l'electrònica: el detector, les caixes de VFEs i finalment les crates amb els FEs i les CBs.

A la figura 1.11 podem veure en taronja comunicacions de la CB amb una nova placa no anomenada fins ara: el CROC (*Card Read-Out Control*); aquesta placa gestiona la distribució de l'ECS i els senyals de TFC al llarg de tota la crate. El CROC es troba doncs a les crates dels FEs i les CBs.

Cada CB disposa de 8 enllaços I²C diferencials per tal de connectar-hi VFEs o plaques LVPS. Tot i així a l'hora de repartir les connexions tal com veurem a continuació s'ha respectat la mateixa distribució de plaques seguida pel PS.

A la plataforma de sobre del detector (figura 1.12) hi trobem 8 racks, la meitat dels quals orientats a gestionar una meitat del detector i l'altra meitat pels altres. Cada meitat se la coneix amb el nom de costa C i costat A. Tal com comentàvem en paràgrafs anteriors cada rack està format per varies crates (o fileres) amb 21 slots (punts de connexió de plaques a la backplane de la crate), una d'aquestes crates és la que ocupen PS i SPD, vegeu la figura 1.13.

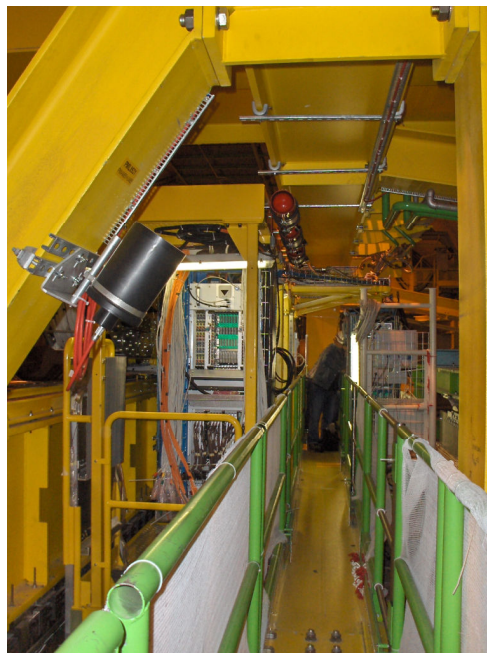


Figura 1.12. Plataforma a sobre el detector on es troben els racks.

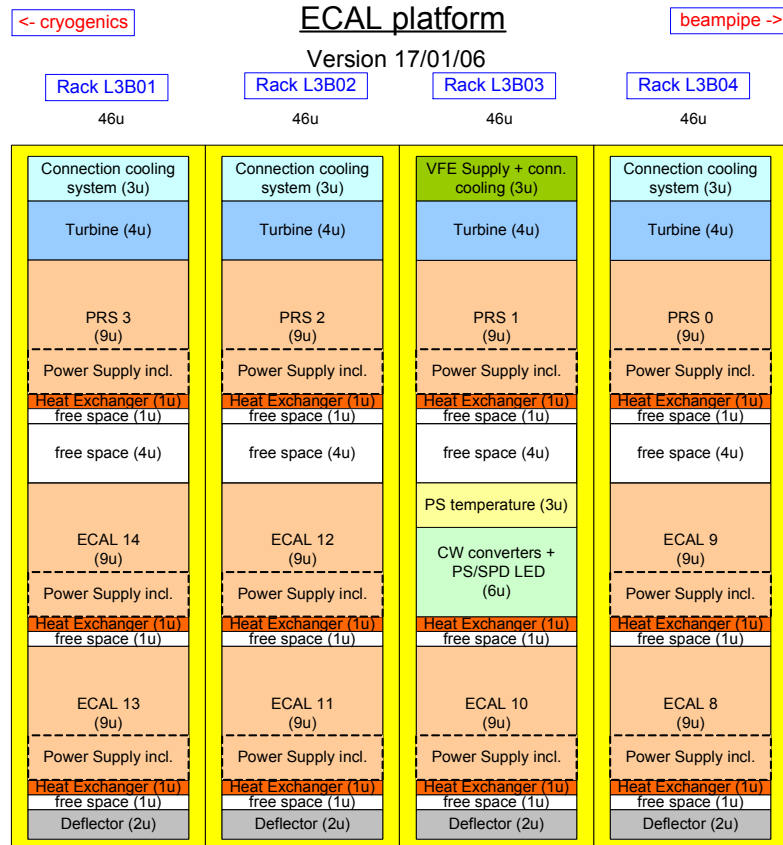


Figura 1.13. Esquema dels quatre racks del calorímetre de la side C on una de les crates de cada rack és ocupada per FE del PS, 2 CB i un CROC (crates PRS0, PRS1, PRS2 i PRS3) [11].

Cada crate està gestionada per una placa de CROC situada just al mig i que divideix la crate físicament en dues meitats. En cadascuna d'aquestes meitats hi tindrem una CB que anirà connectada als VFEs de l'SPD que envien dades als mateixos FE veïns a la CB en qüestió en aquella mitja crate (figures 1.14 i 1.15).

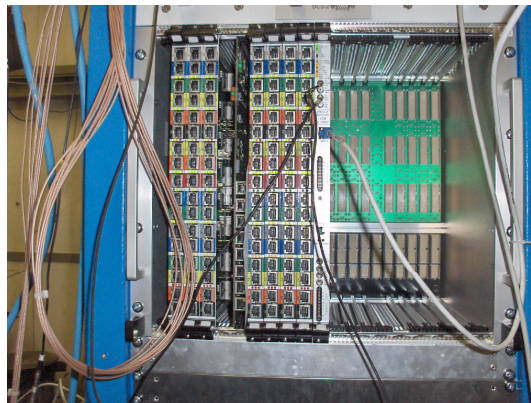


Figura 1.14. Fotografia d'una de les crates de SPD-PS encara amb la meitat sense plaques (cada crate té 21 slots).

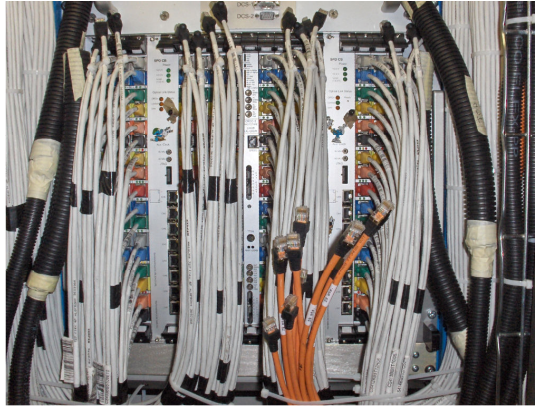


Figura 1.15. Fotografia d'una *crate* SPD-PS amb plaques. Les CB es distingeixen fàcilment ja que a la imatge no estan encara cablejades. Al vell mig de la *crate* podem diferenciar també la placa de CROC.

Després d'aquest ball de sigles i noms recapitem: tenim 8 *racks* amb una *crate* cadascun destinada al sistema SPD-PS amb 2 CBs per *crate*. Això ens dóna un total de 16 CBs.

A la figura 1.16 podem veure un esquema complet del sistema, fixem-nos que hi ha mitges *crates* que controlen 7 VFEs (que es corresponen amb els FE de la mateixa mitja *crate*) i en canvi en tenim que en controlen només 4. Serà en les CB que controlen 4 VFEs on aprofitarem per connectar també 4 plaques de LVPS ja que en total se'n requereixen 16 per alimentar els 100 VFEs. Com podem observar a la figura 1.16, no tots els 21 *slots* d'una *crate* queden ocupats ja que com a màxim hi tenim 17 plaques connectades.

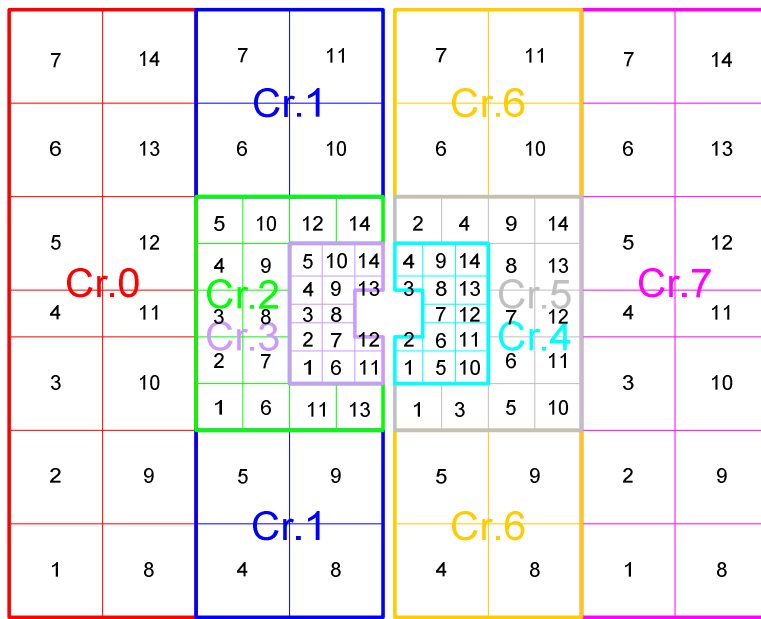
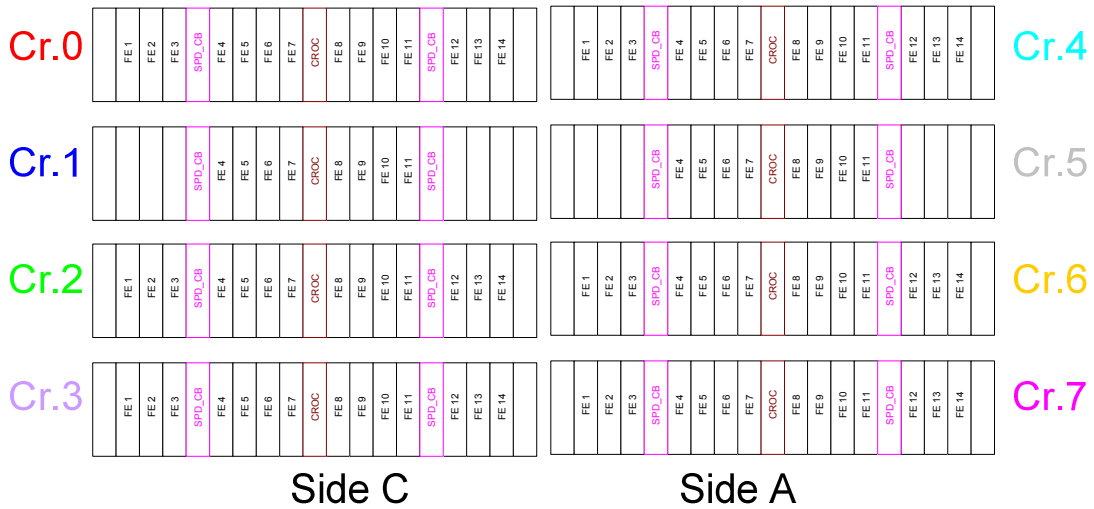


Figura 1.16. Esquema del detector i els diferents grups de cel·les (observem com la densitat de cel·les augmenta al apropar-nos al vèrtex). Cada grup de colors representa els grups de cel·les processades per una mateixa crate, el número de l'interior es correspon amb el número de FE corresponent dins la crate. Cada CB situada en una mitja crate tindrà controlats els SPD VFEs corresponents als PS veïns a la crate. Les CB situades a les crates 1 i 6 controlaran també 4 plaques LVPS.

En darrer lloc per acabar aquest apartat ens hem de plantejar si les dosis de radiació que es produiran a la caverna poden afectar o no la nostra electrònica. La CB es troba relativament allunyada de la zona crítica en quan a nivells de radiació, tal com ja sabem els racks es troben situats a la part alta del detector; tot i així és recomanable l'ús de components qualificats de tolerants a radiació per tal de garantir-ne la correcta funcionalitat al llarg del temps i seguir també algunes recomanacions de disseny tal com descriurem a continuació. Algunes recomanacions i anotacions sobre el tema així com llistes de components prèviament testejats en laboratoris sota efectes de radiacions ionitzants les podem trobar a [6], la web oficial sobre l'electrònica d'LHCb.

La ionització d'una partícula genera un tipus d'efectes anomenats SEE (*Single Event Effects*); el nivell d'energia dipositat durant la ionització pot ser tal que afecti el funcionament d'alguns dispositius. Tot i que el ventall d'efectes SEE és molt ampli, anem a comentar només aquells que podrien afectar a la nostra electrònica de la CB.

Uns dels SEE més importants són els anomenats SEE permanents els quals poden ser destructius per l'electrònica. El més conegut és SEL (*Single Event Latchup*) el qual pot tenir lloc en tecnologies CMOS quan es produeix una deposició important d'energia ionitzant en una part sensible del circuit. El resultat pot ser fins i tot gairebé un curt circuit en les línies d'alimentació provocant així un fort pic de corrent que podria destruir el dispositiu afectat. A la part 2 del document veurem que un dels components utilitzats (un deserialitzador LVDS) pot ser sensible a aquest efecte i per tant l'haurem de protegir tot i que la possibilitat que aquest esdeveniment es doni a la CB és inferior a una vegada per any segons els estudis [6].

Un altre tipus d'efectes SEE que poden afectar la CB, són els SEE estàtics els quals a diferència dels anteriors no són destructius. Es produeixen quan un o més bits d'informació emmagatzemats per un dispositiu lògic són sobreescrits degut a l'acumulació de càrrega generada després de l'esdeveniment ionitzant; en aquest cas s'anomenen SEU (*Single Event Upsets*) i poden afectar en el nostre cas les informacions emmagatzemades en les FPGAs que hi haurà a la CB. Per aquest motiu, s'ha fet necessari que el disseny dels firmwares de les FPGAs segueixin tècniques de redundància per a l'emmagatzematge de dades conegudes amb el nom de *triple voting*.

Tota l'electrònica de la CB ha estat dissenyada sempre utilitzant components testejats en laboratoris especialitzats i que per tant figuraven a les llistes de components recomanats que podem trobar a [12].

Part 2.
El hardware de l'SPD

Vista ja l'estructura del sistema SPD/PS i les seves connexions amb la resta del calorímetre podem entrar ja en les diferents parts que integren l'electrònica de l'SPD (apartat 2.1) i centrar-nos seguidament amb la placa de control del sistema la qual és el tema d'aquesta tesi.

Dividirem l'anàlisi de l'electrònica de la placa de control CB (apartat 2.2) en tres parts:

- Les parts que integren el hardware de la CB (apartat 2.2.1).
- Funcionalitats del firmware de la FPGA de la CB (apartat 2.2.2)
- Consideracions en el disseny de la placa (apartat 2.2.3).

2.1. L'electrònica de l'SPD.

Recordem primer de tot que la funció primordial del subsistema SPD és diferenciar entre partícules neutres o partícules carregades.

Analitzat el sistema complet de l'SPD podem diferenciar 3 parts tal com ja hem comentat a la part 1 del document (figura 2.1):

- L'electrònica de primera línia: integrada per aquella part de l'SPD en contacte directe amb el detector. Es basa en la placa de VFE encarregada del primer tractament del senyal provinent dels fotomultiplicadors per a fer la diferenciació de partícules i el posterior enviament del resultat cap als xassis de plaques de *Front End* del PS.
- El sistema d'alimentació de baix voltatge pels VFE: format per l'anomenada placa LVPS. Aquesta placa s'encarrega no només de donar les tensions necessàries als VFE sinó que també de rebre els senyals provinents de les sondes de temperatura dels VFE.
- I en darrer lloc trobem la part de l'electrònica encarregada del control dels VFE i de les plaques LVPS: es tracta de la CB la qual haurà de centralitzar i canalitzar totes les dades i informacions tant des del sistema de control cap a l'electrònica de SPD com des de l'electrònica cap al sistema de control del calorímetre.

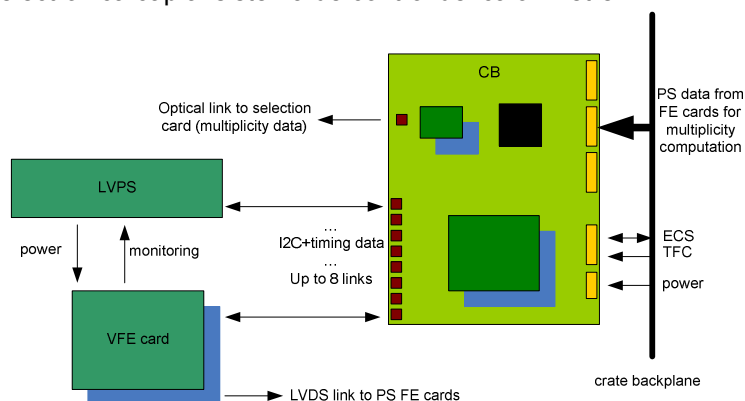


Figura 2.1. Parts integrants del subsistema SPD.

Del darrer punt en parlarem vastament en la resta d'apartats, per tant ara anem a fer una breu descripció tant de les funcions com de les parts que integren la placa de VFE i la placa LVPS.

2.1.1. La placa de VFE.

El senyal lluminós dels escintil·ladors és captat per fotomultiplicadors multiànode de 64 canals (R7600-M64 de Hamamatsu [13]) de tal manera que cada placa de VFE processa el senyal de 64 canals.

El fotomultiplicador converteix el pols de llum en un pols de corrent el qual és processat per un ASIC [10] especialment dissenyat per aquest propòsit. El primer objectiu de l'ASIC és doncs convertir el pols de corrent, proporcional a l'energia dipositada per la partícula detectada, en un nivell de tensió proporcional a aquesta energia mitjançant la integració del pols de corrent. No és però l'única funció de l'ASIC, aquest ha de ser capaç també d'evitar l'apilament produït per esdeveniments consecutius. Aquest apilament és degut a que el nivell de senyal proporcional a l'energia dipositada té una forma decreixent amb una constant de temps comparable a la freqüència d'interacció de les partícules en el detector. Aquest apilament de senyal podria produir una mesura errònia ja que el nivell de tensió obtingut proporcional a l'energia es veuria desplaçat per la suma de les cues de les exponencials dels esdeveniments anteriors.

La solució adoptada per al disseny de l'ASIC la podem veure a la figura 2.2 . Consisteix en un circuit discriminador de polsos que, mitjançant una arquitectura commutada de dos subcanals, permet integrar el senyal durant el màxim temps disponible sense afegir temps morts degut a la descàrrega del condensador de l'integrador; així doncs, cada branca del circuit és activa durant un període mentre l'altra s'està recuperant. Seguidament per cada canal es fa la correcció de l'apilament mantenint el senyal en un circuit de *Track & Hold* i restant un percentatge del senyal de l'esdeveniment anterior. En darrer lloc un comparador amb un nivell de llindar programable decideix si l'esdeveniment actual és degut o no a una partícula carregada, per tant, la sortida de cada canal de l'ASIC és un valor digital.

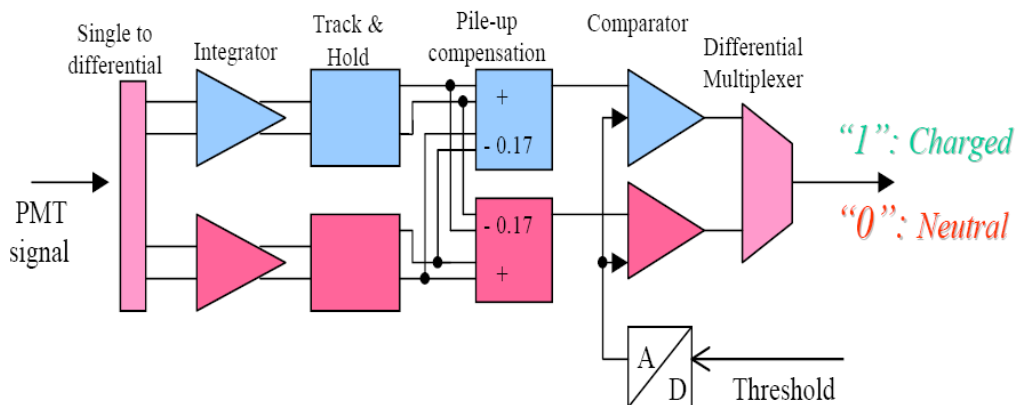


Figura 2.2 . Estructura d'un canal del circuit discriminador de polsos [14] [15].

El disseny final de l'ASIC ha estat fet amb tecnologia BiCMOS de $0,8\mu\text{m}$. La seva arquitectura és completament diferencial per tal de maximitzar la relació senyal soroll.

Cada ASIC disposa de 8 canals complets (és a dir 16 subcanals), per tant, cada placa de VFE (connectada a un fotomultiplicador de 64 canals) conté 8 ASICs. Però, a part de l'ASIC, la placa de VFE alberga també altres components (figura 2.3):

- Serialitzadors LVDS per tal de poder enviar les dades serialitzades cap a les plaques de *Front End* del PS.
- Una unitat de control basada en la FPGA APA300 d'Actel.
- La part de recepció del rellotge de l'experiment el qual s'haurà de dividir entre dos per a obtenir el rellotge necessari per a cada subcanal.
- i conversors digital-analògics per a obtenir els diferents senyals de referència que requereixen els ASICs.

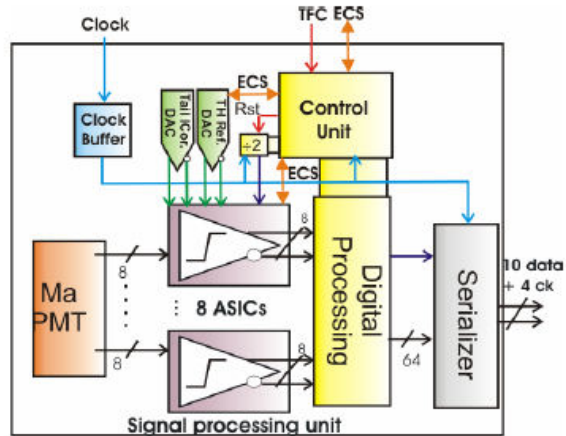


Figura 2.3 . Diagrama funcional de la placa de VFE [16].

Degut a la limitació de l'espai disponible per a l'electrònica del VFE, el disseny d'aquest, es va haver de dividir en tres plaques les quals es munten sobreposades i es troben en unes caixes a la part alta i la part baixa del detector (figura 2.4).

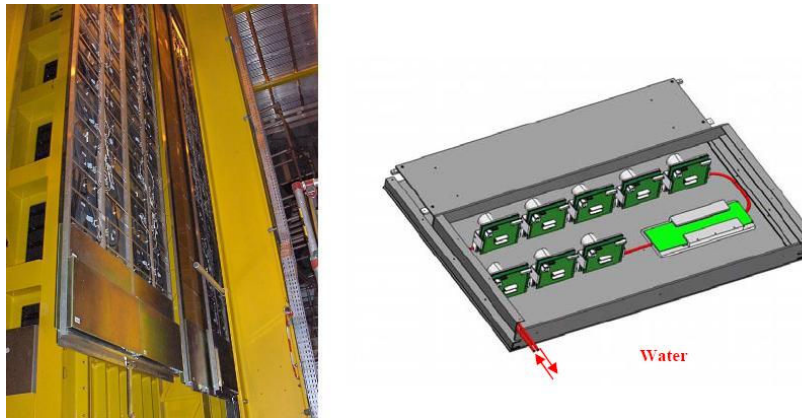


Figura 2.4. Caixes metàl·liques a la part baixa del detector. A la dreta de la imatge podem veure amb detall el muntatge dels VFE dins la caixa metàl·lica.

Les tres plaques en les que es divideix el disseny del VFE les tenim detallades a continuació:

- Placa amb la base pel fotomultiplicador ('a' de la figura 2.5).
- Placa amb tota l'electrònica analògica com per exemple els ASICs ('b' de la figura 2.5).
- Placa amb la part digital, la unitat de control ('c' i 'c'' de la figura 2.5, a 'c'' podem veure la part posterior d'aquesta placa d'on surt el connector de dades LVDS cap al PS).

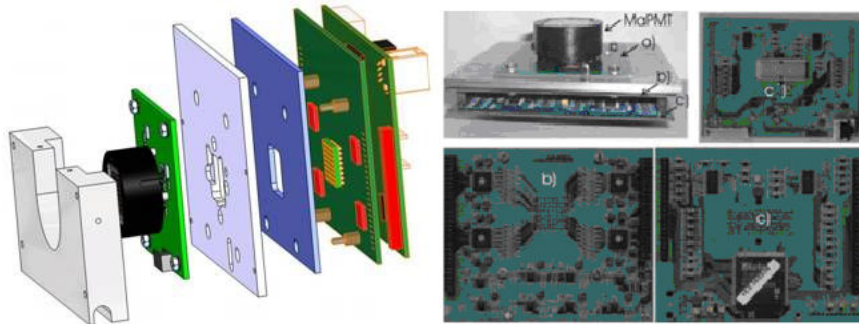


Figura 2.5. Imatge de les tres plaques que integren el VFE ('a' base pel fotomultiplicador, 'b' part analògica i 'c' part digital).

Els senyals d'alimentació de baix voltatge per al funcionament de les parts analògiques i digitals és subministrat a través de la placa LVPS la qual es troba a les mateixes caixes metàl·liques que els VFEs.

En darrer lloc destacar que la placa de VFE queda connectada a través de línies diferencials amb la CB per tal de minimitzar l'efecte del soroll. Aquesta darrera com veurem amb més detall, és l'encarregada de subministrar-li el senyal de rellotge, un enllaç de dades diferencial seguint el protocol I²C així com una línia exclusiva dedicada únicament a la transmissió de senyals de sincronisme.

2.1.2. La placa LVPS.

Tal com hem comentat anteriorment, LVPS (*Low Voltage Power Supply*), és la placa encarregada de subministrar el baix voltatge als VFE ja que aquests requereixen múltiples nivells la qual cosa dificulta tan per motius d'espai com per dissipació de potència instal·lar reguladors en el propi VFE.. La seva funcionalitat no és només aquesta sinó que a més a més disposa d'una petita unitat de control implementada amb una FPGA (APA150) la qual li permet mantenir una monitorització de les temperatures dels VFE, d'ella mateixa i de les tensions i els corrents dels reguladors (figura 2.6).

El seu disseny es basa en la utilització dels reguladors CERN-ST resistents a radiació [17]. Aquests mateixos reguladors són els utilitzats a la CB per a regular la tensió provinent de la *backplane* on queda connectada la CB.

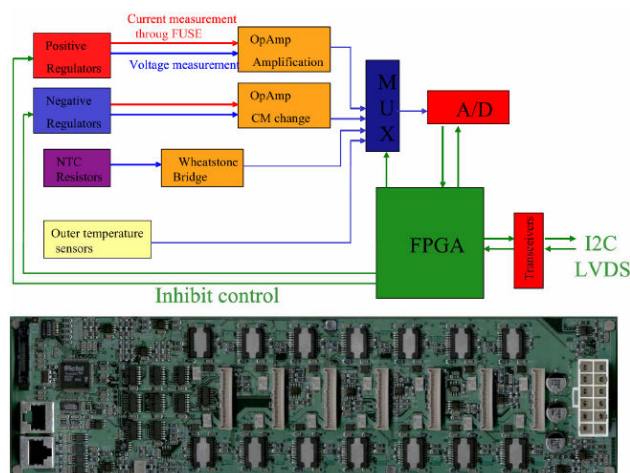


Figura 2.6. Diagrama funcional de la placa LVPS on la FPGA centralitza la monitorització de temperatures, tensions i corrents. La placa tal com podem veure a la fotografia, pot alimentar fins a 7 VFEs.

La placa LVPS també disposa d'una connexió amb la CB amb igual característiques que la dels VFEs. Aquesta connexió té en aquest cas dos objectius bàsics:

- Permet posar en marxa i parar la placa LVPS i per tant podem controlar remotament l'alimentació dels VFE.
- La connexió permet monitoritzar les diferents tensions, corrents i temperatures des del sistema de control del calorímetre.

2.2. L'electrònica de la CB.

Per a l'anàlisi del disseny de la CB és important destacar les seves quatre funcionalitats bàsiques:

- La CB és el pont o punt d'accés entre tota l'electrònica de l'SPD (CB, VFE i LVPS) i el sistema de control (ECS, *Experiment Control System*) del calorímetre. Des d'aquest punt de vista la CB actua de interfície entre els diferents protocols utilitzats per cada part o component amb accés al ECS.
- La CB ha de fer arribar el rellotge de l'experiment als VFE. La CB haurà d'introduir en aquest rellotge el retard adequat per tal de poder compensar les diferents latències de l'electrònica degut a la diferència de camins.
- La CB ha de calcular la multiplicitat de l'SPD per tal de trobar el número de cel·les de l'SPD les quals han detectat una partícula carregada durant un cycle de rellotge. Aquesta multiplicitat és utilitzada a la *Selection Board* (SB) per poder contribuir així en les decisions del *trigger* de nivell 0.
- La CB haurà de descodificar diferents senyals de sincronisme i de inicialització els quals arriben a la CB a través d'un canal de dades paral·lel anomenat canal B.

Aquestes quatre funcions defineixen parts molt clares a la CB tal com podem veure en el diagrama de la figura 2.7.

A la part inferior de la figura podem veure representada en verd la part de l'electrònica que captura el bus SPECS (*Serial Protocol for the Experiment Control System*) i reparteix les dades transmèses per aquest protocol entre els components amb connexió a l'ECS.

En vermell, tenim el camí que segueix el rellotge de l'experiment per arribar a totes aquelles parts que el requereixen, entre d'altres tal com detallarem més endavant, als VFEs i a la part encarregada del càlcul de la multiplicitat.

En rosa, podem veure la descodificació del canal B necessària per tal de poder fer arribar al VFE tots els senyals de sincronisme.

Finalment, en groc, tenim el càlcul de la multiplicitat la qual es calcula a partir de les dades serialitzades que arriben del *Front End* dels PS i és enviada a la SB utilitzant un enllaç òptic.

Una FPGA APA300 d'Actel [18] s'encarrega de dues d'aquestes funcions: el càlcul de la multiplicitat i la descodificació del canal B, informació del qual, serà enviada als VFEs utilitzant una línia diferencial síncrona anomenada TFC³ (*Time Fast Control*) en el diagrama de la figura 2.7.

Tots els senyals tant d'entrada com de sortida de la CB són completament diferencials per tal de minimitzar els efectes del soroll acoblat i s'intenta, dins del possible, que les dues

³ En aquest cas TFC, tot i tenir el mateix nom que el sistema encarregat de la distribució dels senyals de rellotge i sincronització a l'experiment, identifica tan sols la línia diferencial que passa aquest tipus d'informació des de la CB cap al VFE.

línies diferencials segueixin camins paral·lels. D'aquesta manera a la vegada que minimitzem els efectes del soroll acoblat, podem disminuir també el nivell de radiació electromagnètica que tendirà a compensar-se el d'una línia diferencial amb l'altra. Tots els senyals diferencials de la CB utilitzen nivells LVDS⁴ (*Low Voltage Differential Signaling*).

La connexió de la CB amb la resta de plaques del subsistema SPD es realitza única i exclusivament a través de 8 canals amb connectors RJ45 indicats en blau a la figura 2.7 i que es troben situats a la part frontal.

La connexió de la CB amb la resta del calorímetre es realitza a través de la *backplane* (part posterior de la CB a la dreta de la fotografia de la figura 2.8) deixant a part l'enllaç òptic amb la SB que també surt de la part frontal de la CB (part esquerra de la fotografia de la figura 2.8).

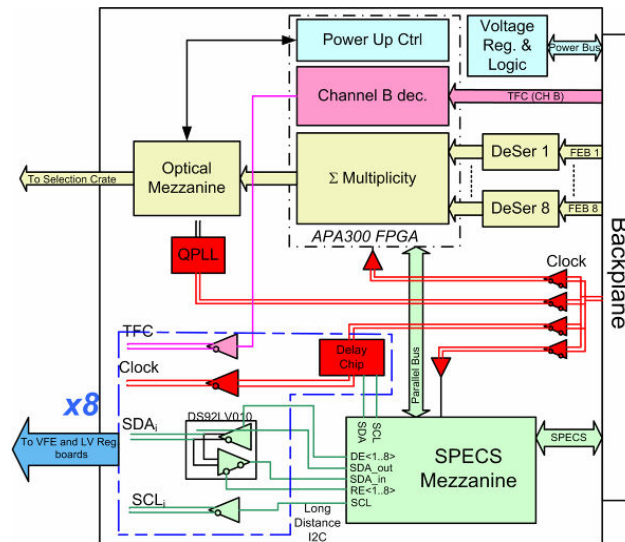


Figura 2.7. Diagrama funcional de la CB.

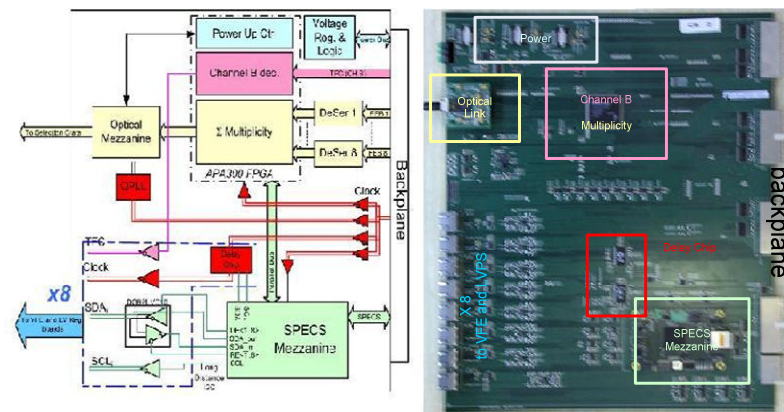


Figura 2.8. Imatge real de la CB sobreposada als blocs del diagrama funcional.

En els següents subapartats farem un estudi detallat de tot el hardware utilitzat en la implementació de cadascuna d'aquestes parts (apartat 2.2.1), així com el firmware de la FPGA encarregada de la descodificació del canal B i el càlcul de la multiplicitat (apartat 2.2.2) i en darrer lloc parlarem de les diferents consideracions i tecnologies utilitzades en el disseny físic de la CB (apartat 2.2.3).

⁴ LVDS és una tecnologia diferencial ($\pm 350\text{mV}$) per a la transmissió de dades que es destaca per una baix consum de potència i que permet velocitats de fins a $3,125\text{Gbps}$ [19].

2.2.1. El hardware de la CB.

El disseny hardware de les diferents parts de la CB ha estat en general poc flexible des del punt de vista que aquesta s'havia d'adaptar a la ja existència d'unes comunicacions fixades, uns connectors i fins i tot a uns determinats components testejats sota radiació. Així doncs la placa ha de portar a terme totes les funcionalitats descrites però sempre sota unes condicions ja preestablertes per l'estructura del calorímetre. A [20] podem trobar descrits tots els detalls del hardware de la CB així com del seu control.

Com en vist ja en la primera part del document, les CB han d'estar situades a les *crates* del calorímetre les quals es troben situades a la part alta del detector. La CB queda doncs connectada a aquestes *crates* mitjançant la seva *backplane*, la qual no deixa de ser una estructura de connexions per tal de poder comunicar i alimentar totes les plaques d'una *crate*. Els diferents senyals de la *backplane* els veurem per començar a l'apartat 2.2.1.1.

En segon lloc a l'apartat 2.2.1.2 veurem el bus SPECS dissenyat específicament per a l'ECS de l'experiment. Dedicarem gran part d'aquest apartat a conèixer l'SPECS *mezzanine*, una petita placa resident sobre la CB la qual ens simplificarà la descodificació del bus SPECS⁵.

Les comunicacions amb els VFEs i les plaques LVPS, seran tractades a l'apartat 2.2.1.3 seguit del disseny del sistema distribuïdor de rellotge (apartat 2.2.1.4), una de les parts més delicades en el disseny hardware de la CB degut a les llargues distàncies que ha de recórrer abans no arriba als VFE.

A l'apartat 2.2.1.5 veurem les diferents parts implicades en el càlcul de la multiplicitat destacant en aquí la presència de la *Optical mezzanine*, una petita placa també resident a la CB que en aquest cas facilita la connexió amb l'enllaç òptic per tal de poder enviar el resultat de la multiplicitat cap a l'exterior de la CB. L'enllaç òptic és l'única connexió de la CB amb una placa que no forma part del subsistema SPD que no es fa a través de la *backplane*.

En un darrer subapartat, 2.2.1.6, parlarem de la manera com la CB obté la tensió d'alimentació així com de la monitorització de la temperatura, en aquest cas només de la CB.

2.2.1.1. Senyals de la *backplane* i característiques.

Les *crates* del calorímetre, tenen unes mesures estàndards de 9U d'alçada. L'U és una unitat estàndard per a mesurar l'alçada de *crates* que es correspon a 44,45mm, per tant el *crate* té una longitud total d'uns 40cm. D'aquesta manera, la *backplane* disposa de diversos *slots* on quedaran connectades les diferents plaques que conformen l'electrònica de *Front End* del calorímetre.

La CB es troba connectada al mateix *rack* del PS a través de la *backplane* que està dividida en dues parts, una de dimensions 6U i l'altra de dimensions 3U [21].

A través de la *backplane* 3U, la CB obté el senyal de rellotge, l'alimentació, el bus SPECS i les dades del canal B. En canvi per la *backplane* 6U arribaran a la CB les dades provinents del PS pel càlcul de la multiplicitat (veure figura 2.9).

⁵ El protocol SPECS i l'SPECS *mezzanine* estan desenvolupats pel grup col·laborador a LHCb del LAL (*Laboratoire de l'Accélérateur Linéaire*) d'Orsay.

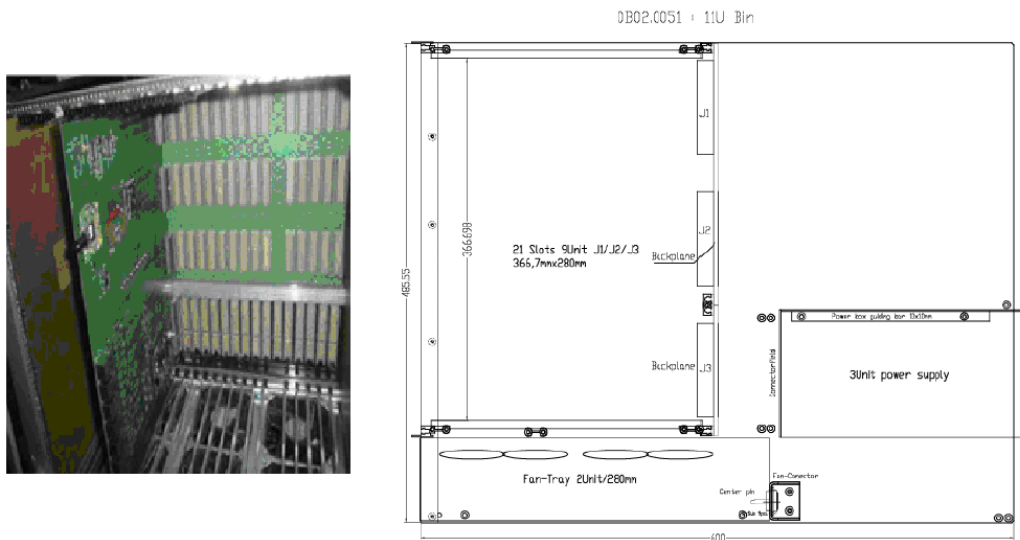


Figura 2.9. A la fotografia podem veure una de les *crates* sense muntar en el que es diferencia la 6U *backplane* dels diferents *slots* (3 connectors superiors) i la 3U *backplane* (2 connectors de la part inferior). En l'esquema de la dreta podem veure les dimensions que es correspondrien a una placa per tal d'encaixar en una *crate* 9U. En l'esquema J1 i J2 es correspondria a la part 6U i J3 a la part 3U.

La *backplane* utilitza connectors HM (*Hard Metric*) de 2mm que assegurin una correcta subjecció de la placa, els connectors de la CB són connectors femella en angle recta dels quals donarem més detalls de les seves característiques a l'apartat 2.2.3.

2.2.1.1.1. 3U *backplane*.

La 3U *backplane* està constituïda per 2 connectors HM anomenats *TOP* i *BOTTOM* de la 3U *backplane*. El connector *BOTTOM* està orientat únicament a les diferents tensions d'alimentació de les quals, en el cas de la CB, agafarem només la tensió de 5V i la regularem dins la mateixa placa per tal d'obtenir els nivells de 2,5V i de 3,3V que utilitzen els diferents components.

Per l'altre connector, el *TOP*, arriben els senyals de comunicació i sincronització amb el sistema tots utilitzant nivells LVDS (figura 2.10):

- Els senyals del bus SPECS. Són els senyals de comunicació amb el bus de l'experiment, podem veure els 5 parells de senyals indicats amb color fúcsia a la figura 2.10, es corresponen:
 - Al senyal de rellotge de mestre cap a esclau del bus SPECS.
 - Al senyal de rellotge d'esclau cap a mestre del bus SPECS.
 - Al senyal de dades de mestre cap a esclau del bus SPECS.
 - Al senyal de dades d'esclau cap a mestre del bus SPECS.
 - I un darrer parell de senyals diferencials per a resetejar la comunicació.
- Els senyals del canal B. Són 9 bits de dades que els utilitza el sistema TFC per tal de transmetre senyals de sincronització a diferents nivells als subsistemes. Podem veure indicats els 9 parells de senyals LVDS en blau turquesa sobre la figura 2.10.
- L'identificador d'*slot*. Es corresponen a 4 bits (unipolars) que identifiquen de manera unívoca el número d'*slot* que ocupa la placa en qüestió dins de la *crate*. Aquests 4 bits aniran connectats directament cap a la *SPECS mezzanine* tot i que ella també disposa de petits microinterruptors per tal de configurar-ne la posició dins de la *crate*. Els podem veure en marró a la figura 2.10.
- I el rellotge de l'experiment. Senyal extremadament important ja que és el senyal de rellotge a partir del qual ha de funcionar tota l'electrònica de l'SPD i al qual dedicarem

una atenció especial en el disseny de la seva distribució i tractament. El tenim indicat en blau fosc a la figura 2.10.

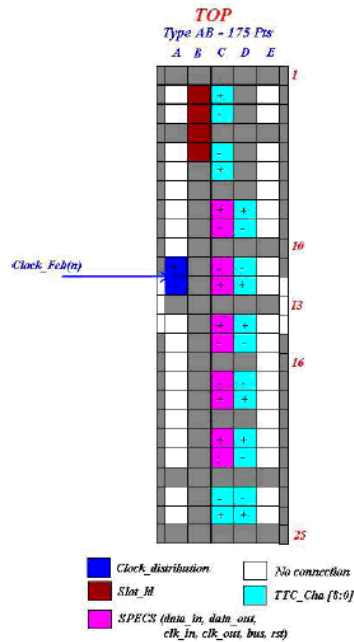


Figura 2.10. Ubicació dels diferents senyals sobre un dels connectors HM de la 3U backplane.

2.2.1.1.2. 6U backplane.

La 6U *backplane* està formada per 3 connectors HM d'iguals dimensions anomenats *TOP*, *MIDDLE* i *BOTTOM* de la 6U *backplane*. Per ells arriben multiplexades en el temps de 21 línies a 3 les dades de *trigger* del PS, a través d'un enllaç LVDS punt a punt, per tal de fer el càlcul de la multiplicitat.

Per la *backplane* arriben 8 canals de PS a la CB però, segons la situació de la CB dins les *crates* del calorímetre, només en 4 o 7 d'aquests canals hi ha realment un PS connectat i per tant dades. Per cada canal el que es rep són 3 parells de dades serialitzades més un parell pel rellotge de la serialització; les dades contenen els 7 bits de dades que utilitzarem per al càlcul de la multiplicitat més un identificador de 8 bits de l'esdeveniment a que es corresponen les dades, la resta de bits no contenen res.

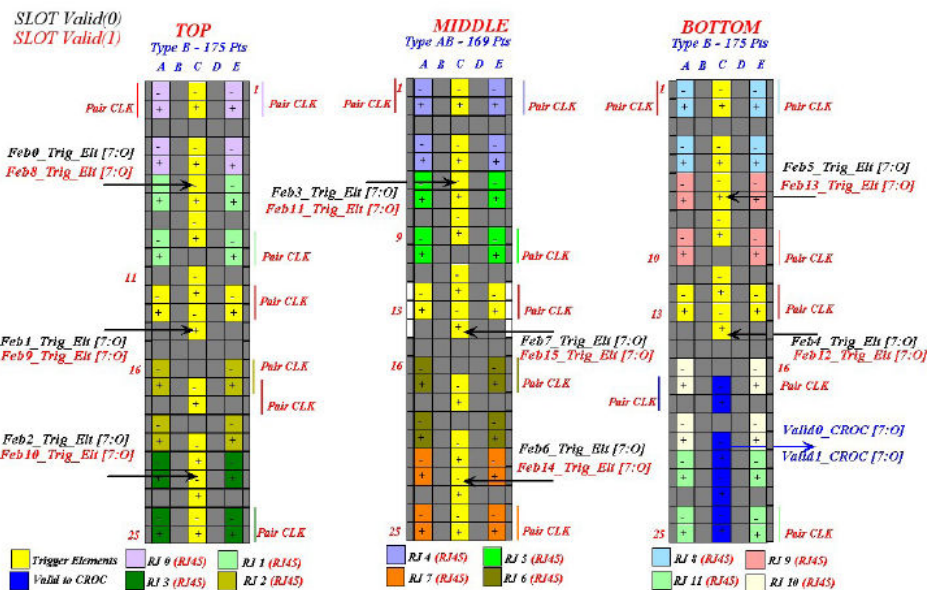


Figura 2.11. Senyals en els 3 connectors HM de la 6U backplane.

A la figura 2.11 podem veure en groc els 4 parells que es corresponen a cadascun dels 8 canals de PS connectats a la backplane. Per cada connector arriben 3 canals menys pel connector BOTTOM que sols n'arriben 2.

Pel connector MIDDLE, concretament per la posició 'C10', arriba un senyal anomenat *FAULT*. Es tracta d'un senyal en alta impedància que qualsevol placa connectada al rack pot conduir a nivell baix en cas de detecció d'un pic de corrent degut a un *SEL*⁶ (*Single Event Latchup*), d'aquesta manera la resta de plaques connectades al rack i amb components sensibles a aquest fet podrien també desactivar l'alimentació de la part sensible a aquest fenomen evitant-ne així el seu mal funcionament.

2.2.1.2. El bus SPECS.

El bus SPECS (*Serial Protocol for the Experiment Control System*) és un bus sèrie utilitzat adoptat com a bus oficial per a la comunicació amb les crates a LHCb que funciona amb una configuració mestre multi-esclau. El protocol utilitza paraules de 10 bits les quals es transfereixen a una velocitat de 1Mbytes/s (correspondria a una taxa de 10Mbits/s). El bus SPECS arriba a la CB per la backplane a través del CROC.

Tal com hem vist a l'apartat anterior (apartat 2.2.1.1.1), el bus necessita 4 parells de senyals LVDS per a funcionar:

- Dos parells per les dades (un en cada sentit: MS_SDA i SM_SDA).
- Dos parells pel rellotge (un en cada sentit: MS_SCL i SM_SCL).

Tot i que admet configuracions punt a punt, aquesta tan sols ens interessaria en les primeres etapes de test. Així doncs, per tal de poder connectar doncs les plaques de la crate ens interessa una configuració tipus bus remot com la que podem veure a la figura 2.12.

⁶ *SEL*: És un esdeveniment que genera la pèrdua de funcionalitat d'un element degut a un pic de corrent generat per radiació. Es tracta d'un fenomen poc freqüent en el cas de l'electrònica de *Front End*. En el cas de les 16 CB hi ha la possibilitat de que passi tan sols una vegada per any [22].

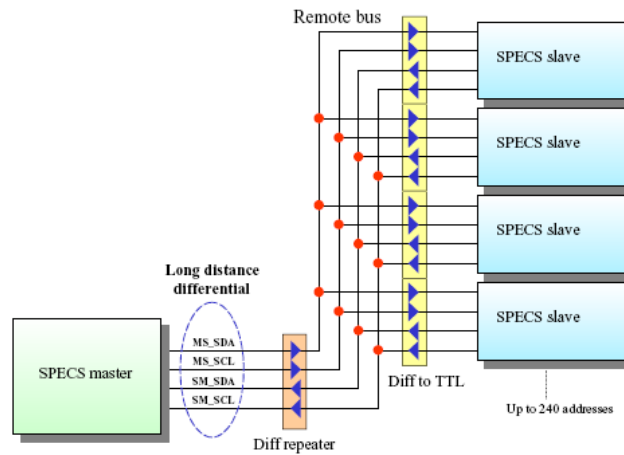


Figura 2.12. Configuració amb més d'un esclau de l'SPECS en forma de bus remot [23].

Les informacions transmeses pel bus consistiran bàsicament en dades encapsulades que després els esclaus distribuïran cap a les diferents parts de l'electrònica de *Front End* i *Very Front End* a través d'enllaços I²C, JTAG o busos paral·lels i a l'inversa. Les trames que utilitza el protocol [23] són de longitud variable en funció de l'objectiu i utilitzen una condició d'inici i d'acabament que és igual a la del bus I²C: la línia de dades fa una transició quan el rellotge es troba a nivell alt. D'igual manera les línies de rellotge estan només actives durant les etapes de transferència de dades i es mantenen a nivell alt quan les línies de dades es troben en repòs (figura 2.13).

Les trames estan constituïdes per una capçalera en la que hi trobem l'adreça de l'esclau així com subadreces corresponents a les diferents parts de l'electrònica amb les que després connectarà l'esclau a través de les seves sortides de tipus I²C, JTAG o busos paral·lels. Després de la capçalera podem trobar fins a 256 bytes de dades i finalment la trama acaba amb una cua amb bits de redundància per a la detecció d'errors (figura 2.13).

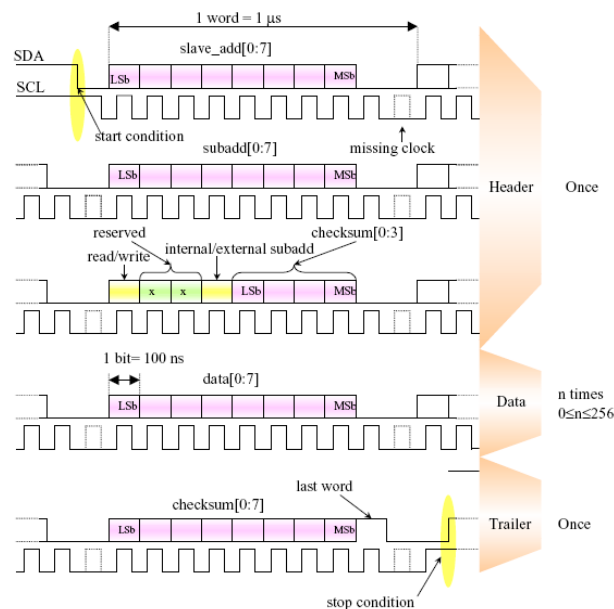


Figura 2.13. Format de les trames del bus SPECS [23].

Podem observar també a la figura 2.13 com un cycle perdut de rellotge separa unes paraules de les altres dins de la trama. Aquest cycle perdut de rellotge facilita l'anàlisi de la trama amb l'oscil·loscopi.

Tot i així el format d'aquestes trames és completament transparent a l'usuari del bus SPECS si per la seva descodificació i codificació utilitzem alguna de les interfícies estàndards per a l'ECS a LHCb. Dues opcions es plantegen a l'hora d'escollir l'esclau adequat per la CB:

- Utilitzar l'esclau SPECS: consisteix en implementar el firmware de l'esclau en una FPGA a la CB.
- Utilitzar l'SPECS *mezzanine*: petita placa que ja conté l'esclau SPECS i que residirà a la CB (veure figura 2.14).

En el cas de la CB es va optar per la segona opció ja que quan es va prendre la decisió en la placa no hi havia d'haver cap FPGA i l'opció d'utilitzar l'SPECS *mezzanine* permetia dedicar esforços en el disseny d'altres parts de l'SPD.

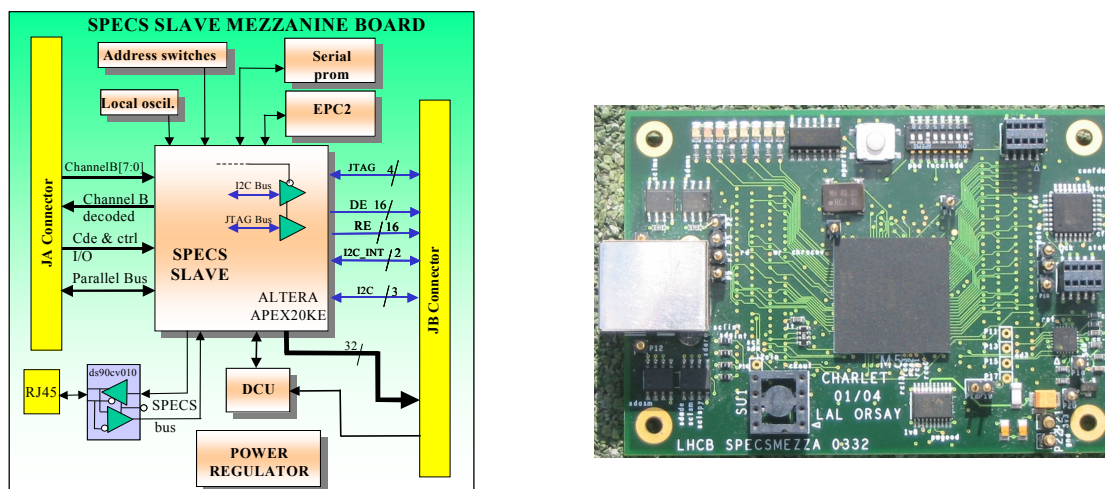


Figura 2.14. Esquema de l'SPECS *mezzanine* i imatge.

L'SPECS *mezzanine* desenvolupada pel grup de treball del LAL (*Laboratoire de l'Accélérateur Linéaire* d'Orsay) ens proporciona la connexió amb el bus SPECS i a més ens permet connectar fins a 16 busos I²C o JTAG per a connexions a llarga distància així com un bus I²C a curta distància i un bus paral·lel (figura 2.14) [24]. Podrem utilitzar també bits disponibles per a entrades o sortides configurables els quals ens serviran per resetejar alguns components de la CB.

La placa queda fixada a la CB utilitzant dos connectors FX8-120S-SV de HIROSE (JA i JB de la figura 2.14). Les senyals del bus SPECS les traçarem des de la *backplane* fins als pins adequats en aquests connectors després de convertir de nivells LVDS a CMOS o si no, en primeres proves de test, es pot accedir també a través d'un connector RJ45 disponible a la *mezzanine* que permet connectar-la a la placa del mestre del bus SPECS directament amb una enllaç punt a punt [24].

La conversió de senyals de nivells LVDS a CMOS i a l'inversa es fa a tota la CB utilitzant l'integrat DS92LV010, aquest integrat disposa a més a més de senyals per habilitar la conversió en un sentit o en l'altre [25].

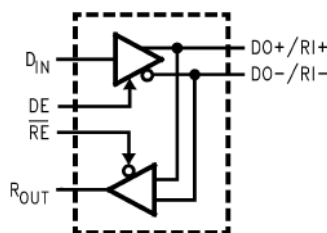


Figura 2.15. Diagrama funcional de l'integrat DS92LV010 [25] el qual actua de transceptor LVDS-CMOS a la CB.

Quan l'SPECS mezzanine és qui realitza l'escriptura al bus, necessita 'espia' el senyal de rellotge que viatge dels esclaus cap al mestre per tal de saber que el bus es troba lliure en aquell moment i que no l'està utilitzant cap altre esclau. Per aquest motiu la línia de rellotge de sortida es troba constantment escoltada per l'SPECS *mezzanine* a través del seu pin d'entrada SCL_SLAVE_SPY (veure figura 2.16). Quan detecti que el bus està lliure llavors pot ocupar el bus i habilita la conversió de CMOS a LVDS del rellotge de sortida (SPECS_CL_OUT) activant el senyal SDA_SLAVE_DE per donar sortida tant al rellotge com a les dades cap al bus SPECS (figura 2.16).

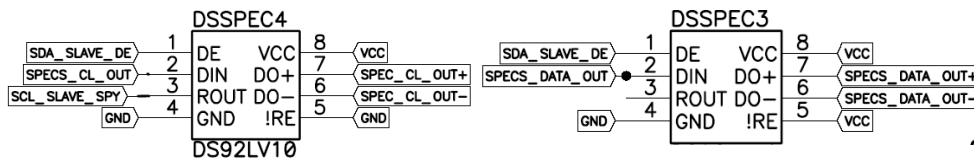


Figura 2.16. La *mezzanine* espia el senyal de rellotge constantment (!IRE sempre actiu a DSSPEC4). Quan SCL_SLAVE_SPY detecta que el bus es lliure, habilita la sortida dels transceptors LVDS-CMOS activant el senyal SDA_SLAVE_DE (DE a DSSPEC3 i DSSPEC4).

De la connexió de l'SPECS *mezzanine* amb la resta de parts: els VFE, les plaques LVPS i la FPGA de la CB; en parlarem als següents apartats.

2.2.1.3. L'enllaç des de la CB als VFE i LVPS.

La comunicació entre la CB i les diferents plaques de VFE i LVPS es fa a través dels 8 canals amb connectors RJ45 amb els quals es troba equipada la CB. Aquest tipus de connector permetrà la utilització de cables tipus *Ethernet* per aquests enllaços simplificant així el muntatge, ja que hem de tenir present que la CB es troba en les *crates* del calorímetre a la part alta del detector i en canvi els VFEs i les plaques LVPS es troben en caixes a una distància variable entre 20 i 30 metres en funció de si es troben muntades a la part alta o baixa del detector.

En aquest enllaç fet amb 4 parells de cables podem diferenciar 3 tipologies de senyals les quals utilitzen totes nivells LVDS (veure figura 2.17):

- Dos parells de cables són utilitzats en la comunicació I²C diferencial (nivells LVDS) per a la transmissió de dades de configuració i monitorització entre CB i les plaques de VFE o LVPS. Es correspondria als dos parells verds de la figura 2.17.
- Un parell de cables és utilitzat per a la transmissió de senyals de reset entre la FPGA de la CB que descodifica el canal B i els VFE. Aquest parell es correspondria al parell rosa de la figura 2.17.
- Un darrer parell de cables és utilitzat per a la transmissió del rellotge de l'experiment als VFE. Es correspondria al parell vermell de la figura 2.17.

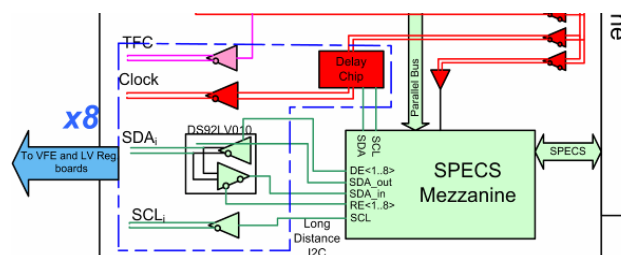


Figura 2.17. Detall de la part baixa de l'anterior figura 2.8 on podem veure els 4 parells de cables que s'utilitzen per enllaçar la CB amb els VFE o les plaques LVPS. Cada CB té 8 canals com el que es representa a la figura.

Com podem observar, no tots aquests senyals són utilitzats per les plaques LVPS però el disseny dels diferents canals de comunicació RJ45 de la CB es va decidir que fossin iguals per tal de flexibilitzar-ne el muntatge.

2.2.1.3.1. Comunicació I²C.

La comunicació de dades entre la CB i les diferents plaques connectades als 8 canals de sortida segueix un protocol I²C estàndard tot i que amb alguna petita modificació a nivell físic per tal de poder utilitzar senyals diferencials. Les plaques connectades als diferents canals actuaran d'esclaus de la comunicació i en canvi l'SPECS *mezzanine* situada a la CB actuarà de mestre.

L'SPECS *mezzanine* disposa de 4 senyals CMOS pel bus I²C: SDA_IN, SDA_OUT, SCL_IN i SCL_OUT. A més a més disposa de senyals per habilitar la comunicació en cadascun dels sentits (DE i RE) amb 16 busos I²C diferents, per tant podem arribar a treballar amb fins a 16 busos però mai a la vegada ja que els senyals de dades i rellotge (SDA i SCL) són únics.

Mitjançant els mateixos transceptors LVDS-CMOS utilitzats per a la conversió de nivells dels senyals del bus SPECS, convertirem els dos senyals de dades SDA_IN i SDA_OUT (un per cada sentit de la comunicació) amb els quals treballa l'SPECS *mezzanine* en un únic parell SDA bidireccional⁷ que utilitzarà nivells LVDS. El senyal de rellotge en canvi, deixarem que sempre el controli el mestre de la comunicació, en aquest cas l'SPECS *mezzanine*, i el convertirem a diferencial amb un transceptor que estarà sempre habilitat. El transceptor que convertirà els nivells de les línies SDA estarà controlat pels senyals que habiliten cadascun dels busos I²C de l'SPECS *mezzanine*: DE actiu en cas que escrigui l'SPECS *mezzanine* o RE actiu en cas que escriguin les plaques connectades a la CB (veure figura 2.18).

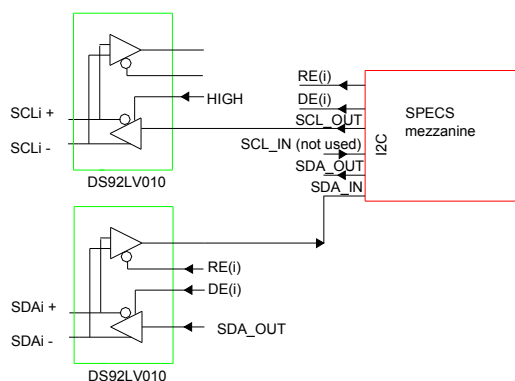


Figura 2.18. Connexions dels senyals I²C de la SPECS *mezzanine* per a busos de llarga distància als transceptors LVDS-CMOS.

La connexió de la figura 2.18 l'haurèm de repetir per a cadascun dels 8 canals RJ45 de connexió de la CB. A la figura 2.19 podem veure el diagrama de temps que es correspondria a un accés d'escriptura o un accés de lectura cap als VFE o les plaques LVPS.

⁷ Per tal de poder treballar amb un únic parell SDA bidireccional, la SPECS *mezzanine* haurà de ser configurada per tal de poder actuar en aquest mode. Per defecte si no, el senyal RE seria el negat de DE i no permetria realitzar correctament les lectures dels esclaus I²C produint-se així col·lisions en aquesta línia bidireccional.

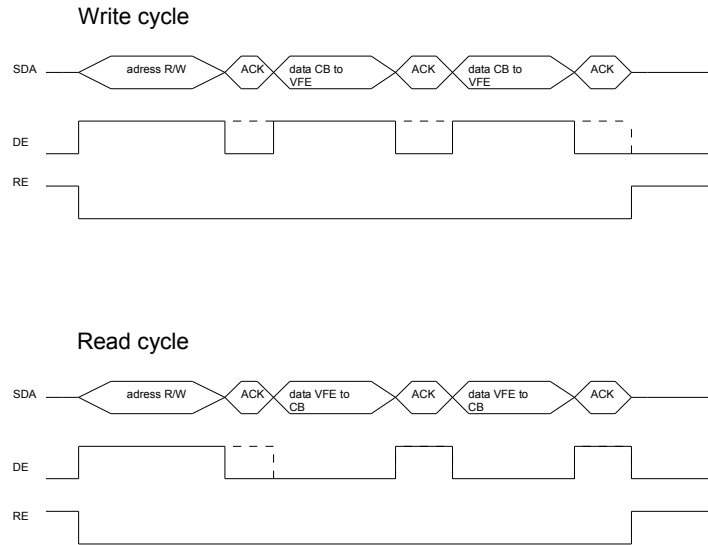


Figura 2.19. Escripció i lectura dels VFE o les plaques LVPS a través de l'SPECS *mezzanine* seguint el protocol I²C.

Cal notar que el senyal RE es manté sempre actiu encara que l'SPECS *mezzanine* sigui la que escriu al bus, això no serà pas un problema ja que com que disposa de dues línies de dades per SDA (SDA_IN i SDA_OUT) no hi haurà pas cap tipus de col·lisió al bus, simplement, la línia SDA_IN de la *mezzanine* estarà sempre escoltant la línia SDA diferencial tant si es tracta d'una operació de lectura com si es tracta d'una escriptura. El senyal DE en canvi, sí que ha de gestionar el sentit del bus per tal que l'esclau i el mestre no hi escriguin a la vegada.

Els VFE o la placa LVPS disposen ambdós d'una FPGA per la gestió d'aquesta comunicació I²C amb la CB la qual funciona a una velocitat 100Kbits/s igual que la resta de comunicacions I²C de la placa. A través d'aquesta comunicació el VFE pot executar una sèrie de comandes, rebre totes les dades per a configurar les tensions de fons d'escala dels convertors de senyal o informar del seu estat al sistema de control. En quan a la placa LVPS, la comunicació I²C permet monitoritzar totes les dades sobre les temperatures dels VFE (centralitzades per les plaques LVPS), monitoritzar els diferents nivells de tensió i corrent dels diferents canals d'alimentació de la placa i a més, permetrà posar en marxa i parar la placa LVPS.

2.2.1.3.2. Transmissió síncrona del senyal de reset.

Els VFE necessiten rebre bàsicament dos tipus de senyals de sincronització, per una banda el reset de tota la placa (el qual s'envia a través d'una comanda I²C) i per l'altre banda el nomenat reset de subcanal que reseteja un dels subcanals d'integració de l'ASIC cada vegada que es produeix un nou esdeveniment o *bunch crossing*, aquest es rep a través del sistema de TFC (*Time Fast Control*).

Per rebre aquestes comandes la FPGA descodifica provinents de la backplane els bits de canal B que arriben a la CB a través de la *backplane* 3U. Del canal B existeixen codificats 8 dels seus 9 bits tal com es mostra en l'esquema del *mapping* dels bits del canal B a la figura 2.20 [26].

Command	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
NOOP	0	0	0	0	0	0	L0 Event ID reset	Bunch-ID reset
L1 trigger	1	TYPE: 0: Reject 1: Physics 2-7: Reserved for future use			ID[1]	ID[0]		
Reset	0	1	Reserve	L1 ID reset	L1 reset	L0 reset		
CMD1 (calibration)	0	0	0	1	TYPE: 0: Default 1-3: Reserved for future use			
CMD2 (Reserve)	0	0	1	0	x	x		
CMD3 (Reserve)	0	0	1	1	x	x		

Figura 2.20. Mapping dels bits del canal B per a la descodificació de senyals de sincronisme.

Per a poder detectar quan s'ha de fer un *reset* de subcanal als VFE i descarregar el condensador de l'integrador, la FPGA de la CB descodifica el canal B i es fixa amb el bit de menys pes, el bit 0. La FPGA enviarà seguidament la comanda cap a tots els canals on hi hagi un VFE connectat a través de la línia diferencial nomenada TFC⁸ a la figura 2.18. Per a convertir el senyal CMOS de sortida de la FPGA en un senyal diferencial utilitzem el mateix transceptor DS92LV010 ja comentat anteriorment.

No és aquesta però l'única comanda que la CB necessitarà descodificar del canal B, en cas de procés de calibració (comanda CMD1 de la figura 2.20) la FPGA de la CB també enviarà una comanda al VFE a través de la línia TFC per tal que sàpiga que ha de treballar amb el patró de test enviat via la connexió I²C per a testejar l'enllaç LVDS amb els PS.

Tot i que només són dues les comandes que s'envien a través d'aquesta línia es varen preveure 8 bits per a la seva codificació, el primer bit d'aquestes comandes però és sempre '0' ja que la línia en repòs es troba a nivell alt.

Com que es tracta d'una línia de comandes síncrona a 40MHz que la FPGA del VFE descodificarà utilitzant el rellotge de l'experiment i que és transmesa a una distància d'entre 20 i 30m, es fa una compensació de la resposta del cable de les mateixes característiques que la que es fa pel senyal de rellotge i que comentarem detalladament en el següent apartat.

2.2.1.3.3. Transmissió del senyal de rellotge de la CB cap als VFE.

El rellotge de l'experiment arriba a la CB a través de la *backplane* 3U com ja hem comentat. Aquest rellotge ha de ser enviat cap als VFE però aplicant-hi el retard necessari per tal de poder sincronitzar correctament tota l'electrònica del SPD i compensar totes les possibles latències introduïdes en el calorímetre.

En el següent apartat (2.2.1.4) parlarem detalladament de la distribució del rellotge per la CB per tant ara ens centrarem només en veure com se li aplica el retard al rellotge i com aquest és transmès cap als VFE.

L'integrat utilitzat per a retardar el rellotge global de l'experiment és el CDC (*Clock Distribution Chip*), circuit integrat desenvolupat pel LAL i que mostra les següents característiques [27]:

- 1 canal d'entrada i 4 de sortida amb retard ajustable individualment en passos de 1ns fins a un màxim de 25ns (corresponent a un cicle del rellotge de l'experiment).
- Entrades i sortides diferencials.
- Interfície I²C per a programar els retards.
- Senyal de reset actiu per nivell baix que reinicialitza la màquina d'estats I²C.
- 5 bits baixos de l'adreça I²C configurables per hardware, la resta, el bit més alt i el següent de l'adreça, queden fixats internament a 1 i 0 respectivament.

⁸ Les sigles d'aquest senyal de la CB coincideixen amb les sigles del sistema de rellotge de l'experiment TFC, *Time Fast Control* ja que transmet informacions rebudes de manera síncrona a través d'aquest sistema.

Per a ajustar el retard dels 4 canals carreguem via la interfície I²C un registre de 24 bits (3 bytes I²C de dades) del qual ja donarem més detalls a la part 3 del document. Per aquesta comunicació I²C no s'utilitzen les mateixes sortides de l'SPECS *mezzanine* per a comunicar amb els VFEs sinó un bus I²C orientat a comunicacions a curta distància ja que no disposa dels senyals d'habilitació (DE i RE) vistos en el cas dels VFEs per convertir el senyal a diferencial. Com que es tracta d'un circuit amb 4 canals en necessitem 2 per CB per tal d'obtenir el rellotge pels 8 canals de sortida.

La part més important de la transmissió de rellotge cap als VFE és la compensació de la resposta del cable degut a la llarga distància a recórrer (fins a 30 metres) i la pèrdua de guany. El cable utilitzat és un cable de parells trenats *Ethernet* CAT 5e el qual haurem de caracteritzar per tal de determinar-ne la seva resposta i poder-la compensar adequadament. A la línia sincrona TFC també se li aplica una compensació similar a la del parell de senyals del rellotge.

En un primer moment el disseny proposat per a compensar la resposta del cable i la pèrdua de guany fou un filtre actiu amb l'amplificador AD8138 (figura 2.21) utilitzant un esquema molt similar al que es mostra en les notes d'aplicació del fabricant de l'integrat [28].

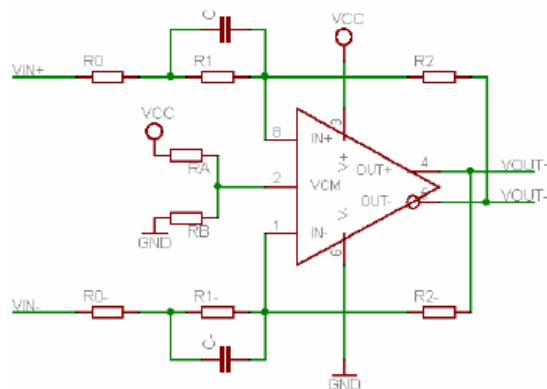


Figura 2.21. Amplificador AD8138 configurat com a filtre actiu.

Si calculem la funció de transferència del filtre de la figura 2.21 obtenim la següent expressió que es correspon a un filtre que dona més guany a altes freqüències (la qual cosa intuïtivament ja és el que busquem si pensem que molt probablement la resposta del cable que volem equalitzar és contrària a aquesta i estarà atenuant les components d'alta freqüència):

$$H(s) = \frac{R_2 \cdot (1 + R_1 \cdot s \cdot C)}{R_1 + R_0 \cdot (1 + R_1 \cdot s \cdot C)} = \left[\frac{(1 + R_1 \cdot s \cdot C) \cdot R_0 + R_1 - R_1}{R_1 + R_0 \cdot (1 + R_1 \cdot s \cdot C)} \right] \cdot \frac{R_2}{R_0} = \left[1 - \frac{R_1}{R_1 + R_0 \cdot (1 + R_1 \cdot s \cdot C)} \right] \cdot \frac{R_2}{R_0} = \text{Eq.2.1}$$

$$= \left[1 - \frac{R_1}{R_1 + R_0 + R_0 \cdot R_1 \cdot s \cdot C} \right] \cdot \frac{R_2}{R_0} = \left[1 - \frac{\frac{1}{R_0 \cdot C}}{s + \frac{1}{R_0 \cdot C} + \frac{1}{R_1 \cdot C}} \right] \cdot \frac{R_2}{R_0}$$

El resultat és molt similar al que obtindríem amb un filtre passiu però amb l'avantatge addicional de que podem ajustar el guany ja que la pèrdua de guany del cable és d'un factor 2. Les resistències indicades a la figura com R_A i R_B tan sols serviran per ajustar la tensió en mode comú. La resposta impulsional corresponent a la funció de transferència anterior seria si apliquem antitransformada de Laplace:

$$h(t) = \frac{R_2}{R_0} \cdot \left(\delta(t) - \frac{1}{R_0 \cdot C} \cdot e^{-t \left(\frac{1}{R_0 \cdot C} + \frac{1}{R_1 \cdot C} \right)} \right) \text{ Eq.2.2}$$

Per tal de caracteritzar la resposta del cable a compensar [29] injectarem al cable un tren de polsos de freqüència molt baixa per tal que a cada flanc tingui temps de completar un transitori complet i puguem caracteritzar bé la resposta. És important que el generador utilitzat tingui un ampli de banda molt superior a la freqüència del senyal que després circularà pel

cable, en el nostre cas 40MHz, per tal d'assegurar unes transicions del senyal d'entrada el més abruptes possible i tenir una caracterització del cable més fidel. Amb la màxima resolució possible, prendrem mostres del senyal transmès al final del cable i obtindrem així la resposta a una funció esglaió la qual ens permetrà deduir la resposta impulsional del cable. Aquesta caracterització s'hauria de repetir per les diferents longituds de cable, però per un cable de 29metres (des de les *crates* del calorímetre fins la part baixa del detector) la caracterització fou:

$$h(t)_{cable} = \delta(t) + 81,1471 \cdot 10^6 \cdot e^{\frac{-t}{1,3262 \cdot 10^{-8}}} \quad \text{Eq.2.3}$$

L'exactitud d'aquesta mesura és l'obtinguda amb la interpolació de totes les mostres. Aquesta però no és rellevant i l'únic que extraurem del resultat final és l'ordre de magnitud dels valors dels components de la xarxa equalitzadora.

La funció de transferència es correspondria si transformem la resposta impulsional:

$$H(s)_{cable} = \left[1 + \frac{81,1417 \cdot 10^6}{s + \frac{1}{1,3262 \cdot 10^{-8}}} \right] = \frac{81,1417 \cdot 10^6 + s + \frac{1}{1,3262 \cdot 10^{-8}}}{s + \frac{1}{1,3262 \cdot 10^{-8}}} \quad \text{Eq.2.4}$$

Si aquesta funció la invertim per trobar la funció de transferència de la xarxa de compensació i a més li donem el mateix format que l'eq.2.1 per tal de poder-les comparar obtenim:

$$\begin{aligned} H(s)_{compensació} &= \frac{s + \frac{1}{1,3262 \cdot 10^{-8}}}{s + \frac{1}{1,3262 \cdot 10^{-8}} + 81,1417 \cdot 10^6} = \frac{s + \frac{1}{1,3262 \cdot 10^{-8}} + 81,1417 \cdot 10^6 - 81,1417 \cdot 10^6}{s + \frac{1}{1,3262 \cdot 10^{-8}} + 81,1417 \cdot 10^6} = \text{Eq.2.5} \\ &= 1 - \frac{81,1417 \cdot 10^6}{s + \frac{1}{1,3262 \cdot 10^{-8}} + 81,1417 \cdot 10^6} \end{aligned}$$

Finalment comparant l'equació 2.1 i la 2.5 si deixem a part el guany per tal d'ajustar-lo independentment podem identificar el valor dels components de la xarxa de compensació:

$$\left[1 - \frac{\frac{1}{R_0 \cdot C}}{s + \frac{1}{R_0 \cdot C} + \frac{1}{R_1 \cdot C}} \right] = \frac{81,1417 \cdot 10^6}{s + \frac{1}{1,3262 \cdot 10^{-8}} + 81,1417 \cdot 10^6} \quad \text{Eq. 2.6}$$

$$\frac{1}{R_0 \cdot C} = 81,1417 \cdot 10^6 \quad \frac{1}{R_1 \cdot C} = \frac{1}{1,3262 \cdot 10^{-8}}$$

Tot i així hem de tenir present que els càlculs de la xarxa de compensació són aproximats ja que ni tots els cables tenen la mateixa longitud ni és un generador de polsos qui després injecta senyal al cable, per tant, s'ha de prendre com a valors orientatius a l'hora de fer el disseny de la xarxa.

Sobre la placa de la CB es va preveure un *layout* molt flexible per la implementació de la xarxa en el que tan sols hi havia els *pads* per posar els components però després aquests es podien curtcircuitar, deixar en circuit obert o posar condensadors o resistències segons convingués per tal de poder fer totes les proves necessàries amb la xarxa de compensació (veure figura 2.22).

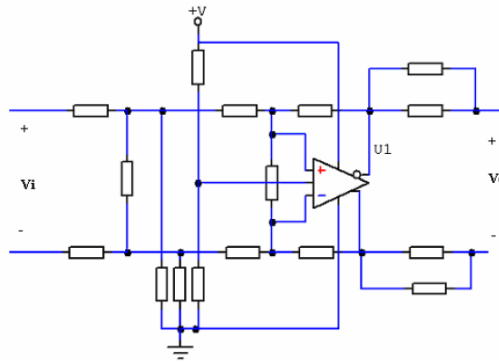


Figura 2.22. Esquemàtic implementat en el *layout* de la CB per a cadascun dels 8 canals a compensar.

En les proves prèvies però l'amplificador va mostrar no comportar-se com a tal, molt probablement degut a un *layout* poc compacte i potser amb asimetries entre la realimentació de la pota inversora i la no inversora de l'amplificador. Així doncs es va optar per configurar el *layout* de la xarxa de compensació de forma que l'AD8138 funcionés en forma de comparador (solució acceptable si pensem que estem equalitzant un senyal digital del qual el que volem recuperar són les transicions), d'aquesta manera podríem compensar també la pèrdua de guany i una xarxa RC passiva amb els valors calculats compensava d'igual manera la resposta del cable. Aquest esquema final és el que podem veure a la figura 2.23.

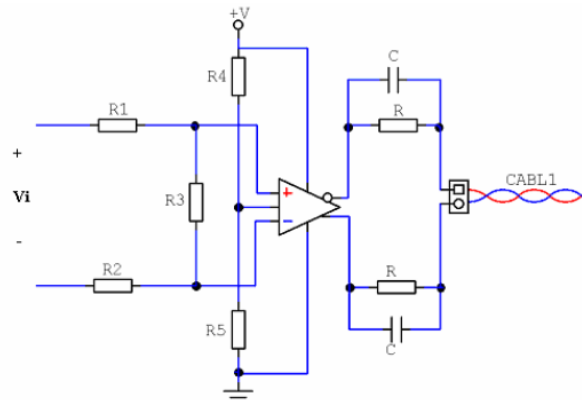


Figura 2.23. Esquema de l'AD8138 configurat com a comparador i seguit de la xarxa passiva de compensació.

El grup de resistències R1, R2 i R3, són utilitzades per adaptar el nivell del senyal a l'entrada del comparador i R4 i R5 fixen la tensió en mode comú a la sortida. Els valors de la xarxa RC foren calculats aproximadament per obtenir una resposta similar a la trobada amb els càlculs teòrics. Més detalls sobre els resultats d'aquesta compensació els analitzarem a la part 4 del document on s'exposaran tots els testos i resultats realitzats en tota l'electrònica.

2.2.1.4. La distribució del senyal de rellotge dins la CB.

Tot i que la distribució del rellotge sobre la CB no és ni molt menys tan crítica com la transmissió cap als VFE on la distància a recórrer era molt gran, també s'ha tingut una cura especial en el disseny de la distribució d'aquest cap a les diferents parts de la CB que necessiten rebre'l.

En primer lloc, el senyal de rellotge d'exactament 40,0786MHz rebut a través de la *backplane*, és passat primerament per un *buffer* degudament adaptat a una impedància diferencial de 100Ω. El *buffer* utilitzat és un integrat de 4 canals, l'SN65LVDS104D, des del qual podem distribuir el rellotge cap a les 4 principals parts que el requereixen:

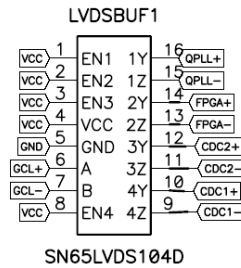


Figura 2.24. El buffer SN65LVDS104D, distribueix el senyal LVDS d'entrada (en el nostre cas el rellotge d'LHC de 40,0786MHz) en 4 canals també amb sortida LVDS.

Les 4 sortides LVDS del *buffer* serviran per a distribuir el rellotge en nivells LVDS cap a les parts de la CB més allunyades de l'entrada de rellotge:

- La FPGA de la CB (sortides FPGA+ i FPGA- de la figura 2.24).
- Cadascun dels dos CDCs (sortides CDC1+, CDC1-, CDC2+ i CDC2- de la figura 2.24).
- I cap al link òptic tot i que en aquest cas el rellotge haurà de ser filtrat per un PLL per tal de disminuir-ne el *jitter* (sortides QPLL+ i QPLL- de la figura 2.24).

El rellotge ha d'arribar també a l'SPECS *mezzanine* però com que aquesta es troba molt propera a la backplane, l'entrada del rellotge global es conduïda directament cap un transceptor LVDS-CMOS i d'allà directa cap a la *mezzanine*.

Per arribar a cadascuna de les parts enumerades el rellotge diferencial és transmès a través de línies *microstrip* [30] [31] amb una impedància diferencial de 100Ω igual que la resistència final d'adaptació de totes les línies LVDS. L'estructura de les línies de transmissió del senyal de rellotge LVDS la podem veure a la figura 2.25.

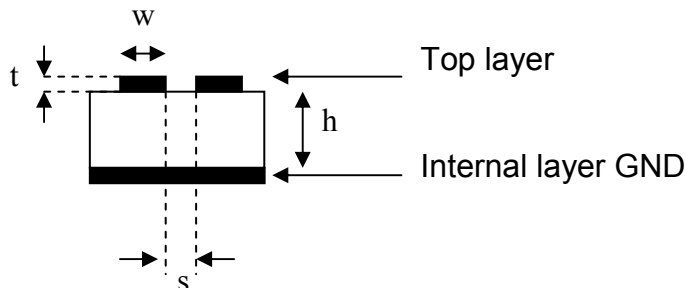


Figura 2.25. Paràmetres que caracteritzen un parell de línies microstrip.

Tal com veurem més endavant, el disseny de la CB haurà de ser a 8 capes i a més a més, el gruix total haurà de ser de 2,4mm per tal d'assegurar-ne la rigidesa una vegada connectada en un *slot* de la *crate*. Aquestes dues restriccions afegides a les característiques tècniques que utilitza el fabricant del PCB ens porta a que els dos únics paràmetres que podem controlar del disseny de les línies serà la seva amplada ('w') i la seva separació ('s'). Per poder mantenir la impedància diferencial de les línies al voltant de 100Ω i la seva impedància característica també a un valor raonable d'entre 50 i 100Ω , queda demostrat utilitzant les expressions de les equacions 2.7 i 2.8 [30] en una fulla de càlcul que tant el valor de 's' com de 'w' han de ser de 6mils (0,150mm), això ens portarà a que el PCB s'haurà de dissenyar seguint les recomanacions de la classe 6 de fabricació de PCBs.

$$Z_o = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \left[\frac{5.98h}{0.8w + t} \right] = \frac{60}{\sqrt{0.475\epsilon_r + 0.67}} \ln \left[\frac{4h}{0.67(0.8w + t)} \right] \quad \text{Eq.2.7}$$

$$Z_{diff} = 2Z_o \left[1 - 0.48e^{-0.96(s/h)} \right] \quad \text{Eq.2.8}$$

La constant dielèctrica del material aïllant utilitzat en la fabricació del PCB és de 4,5 i l'alçada de les pistes de coure 't' és de 35 μ . La separació 'h' entre les dues capes serà de 2,4/7mm degut a que el PCB tindrà 8 capes i un gruix de 2,4mm.

Una vegada el rellotge arriba prop de les parts on havia d'arribar (*link* òptic, FPGA o CDCs) per cada cas rep un tractament diferent segons correspongui.

En el cas dels CDCs el rellotge es requereix directament en nivells LVDS per tant l'única cosa que farem és adaptar el final de la línia *microstrip* amb una resistència de 100 Ω per tal d'evitar reflexions del senyal.

En el cas de la FPGA haurem d'adaptar també el final de la línia diferencial però en aquest cas a més a més haurem de convertir el senyal a nivells CMOS amb el transceptor utilitzat ja nombroses vegades: DS92LV010.

El cas més complicat però, és el del *link* òptic. En aquest cas hem de tenir present que l'integrat principal de la *optical mezzanine*, el GOL (*Gigabit Optical Link*) [32] requereix uns nivells de *jitter* extremadament baixos pel senyal de rellotge inferiors a 100ps pic a pic. Això és degut al fet que en un sistema que es multiplica la freqüència (en el cas del *link* òptic les dades es transmeten a una freqüència de 1,6GHz), el *jitter* del senyal de sortida queda incrementat segons l'expressió de l'equació 2.9, que en el nostre cas suposaria un factor de 40.

$$\sigma_{output}^2 = \sigma_{input}^2 \cdot \left(\frac{f_{out}}{f_{in}} \right)^2 \quad \text{Eq.2.9}$$

Tot i que en un principi el rellotge de l'experiment transmès per la *backplane* sí que compleix aquest requisits, es va decidir filtrar de totes maneres el senyal de rellotge per evitar possibles problemes si aquesta condició no es donés.

Per a filtrar el *jitter* del rellotge s'utilitza un PLL⁹ junt amb un cristall dissenyat específicament per oscil·lar a la freqüència de l'experiment: 40,0786MHz. Aquest circuit és un integrat anomenat QPLL dissenyat al CERN [33].

La gran versatilitat del QPLL (veure figura 2.26) l'aprofitarem també per obtenir una sortida de rellotge de 40MHz i una de 80MHz des de la CB les quals s'han utilitzat bàsicament en etapes de proves per tal de poder connectar un receptor òptic correctament sincronitzat amb el mateix rellotge.

S'han de tenir en compte certes consideracions de disseny a l'hora de fer el *layout* del conjunt format pel QPLL i el cristall de quars les quals comentarem en l'apartat de disseny. D'igual manera, totes les mesures del senyal de rellotge es troben degudament detallades a l'apartat 4 de testos i resultats.

⁹ El PLL està format per un comparador que extreu un senyal d'error que actua sobre un oscil·lador controlat per aquest senyal d'error. El comparador compara la senyal d'entrada amb la senyal de sortida de l'oscil·lador d'aquesta manera la sortida queda fixada en el moment que no hi ha senyal d'error i obtenim un senyal en fase amb l'entrada però net de *jitter*.

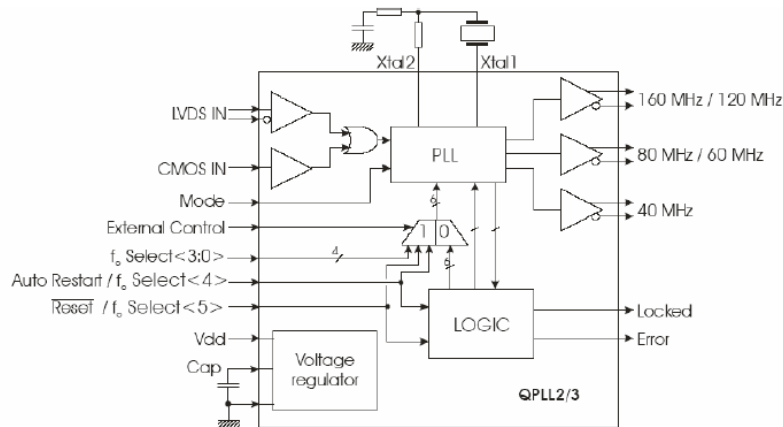


Figura 2.26. Diagrama intern del QPLL.

2.2.1.5. El càlcul de la multiplicitat de l'SPD i el link òptic.

Les dades de *trigger* provinents del PS per al càlcul de la multiplicitat de l'SPD hem vist a la figura 2.11 que arriben a la CB a través dels connectors HM de la *backplane* 6u. Arriben fins a 8 canals diferents però donada la configuració de les *crates* a cada CB li arribaran només dades de 7 o 4 canals en funció de la posició de la CB.

Per cada canal arriben les dades de la multiplicitat més un identificador de l'esdeveniment al qual corresponen. Aquestes dades i l'identificador arribaran a la FPGA de la CB la qual sincronitzarà les dades de tots els canals actius per una configuració donada, en farà la suma de la multiplicitat i enviarà el resultat junt amb l'identificador cap un enllaç òptic que porta aquesta informació fins a la SB.

La connexió entre la CB i el PS a través de la *backplane* consisteix en enllaços punt a punt utilitzant de nou senyals amb nivell LVDS. Cada canal està format per 4 parells pels quals la CB obté de tres dels parells les dades serialitzades i de l'altre el senyal de rellotge per tal de poder deserialitzar les dades.

L'integrat utilitzat per a la deserialització de cada canal de PS és el DS90CR216 [25] el qual desmultiplexa les 3 línies en 21 tal com es pot veure a la figura 2.27.

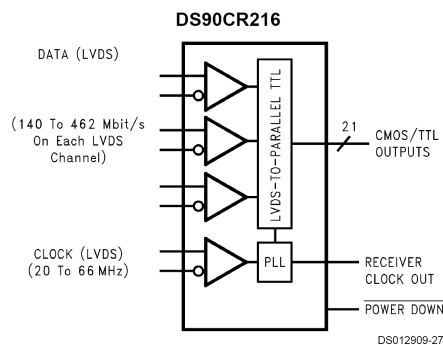


Figura 2.27. Deserialitzador de 3 canals LVDS a 21 canals CMOS.

Una vegada obtingudes les 21 línies CMOS de cada canal de PS aquestes línies es portaran cap a la FPGA de la CB; degut a la limitació en el número de pins disponibles en la FPGA APA300 utilitzada, no s'hi podrà connectar l'identificador complet de cada canal, tal com veurem a l'apartat 2.2.2 això no serà un problema ja que els canals no aniran mai desfasats més de mig període i per tant només amb els bits més baixos de l'identificador hem de tenir prou per a sincronitzar-los. Tot i així d'algun canal sí que necessitem l'identificador complet ja que aquest ha de ser enviat després cap a la SB.

El format de la trama de 21 bits provinent de cada canal del PS la podem veure a la figura 2.28.

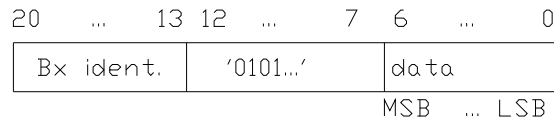


Figura 2.28. Format de la trama de 21 bits que la FPGA rep de cadascun dels PS. Tan sols 15 bits contenen informació rellevant pel càlcul de la multiplicitat.

La FPGA sincronitzarà els 4 o 7 canals actius (en funció de la configuració) i sumarà els 7 bits baixos de la trama de la figura 2.28 obtenint un resultat de 10 bits. Aquests 10 bits junt amb l'identificador del qual provenien les dades serà enviat per l'enllaç òptic amb una trama de 32 bits que segueix el format de la figura 2.29.

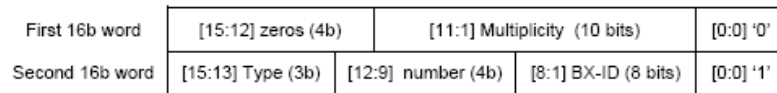


Figura 2.29. Trama de 32 bits que la FPGA envia cap a l'enllaç òptic.

Dins la trama trobem els 10 bits de la multiplicitat, els 8 bits de l'identificador (BX-ID a la figura 2.29) i dos camps anomenats *Type* i *Number*. El camp *Type* indica el tipus d'informació de multiplicitat: electrons, hadrons, etc. i serà doncs un valor fixat que podrem configurar amb un petit microinterruptor sobre la CB. *Number* indica el número de CB (com que sols n'hi ha 16 és suficient amb 4 bits) que també el fixem amb microinterruptors sobre la CB.

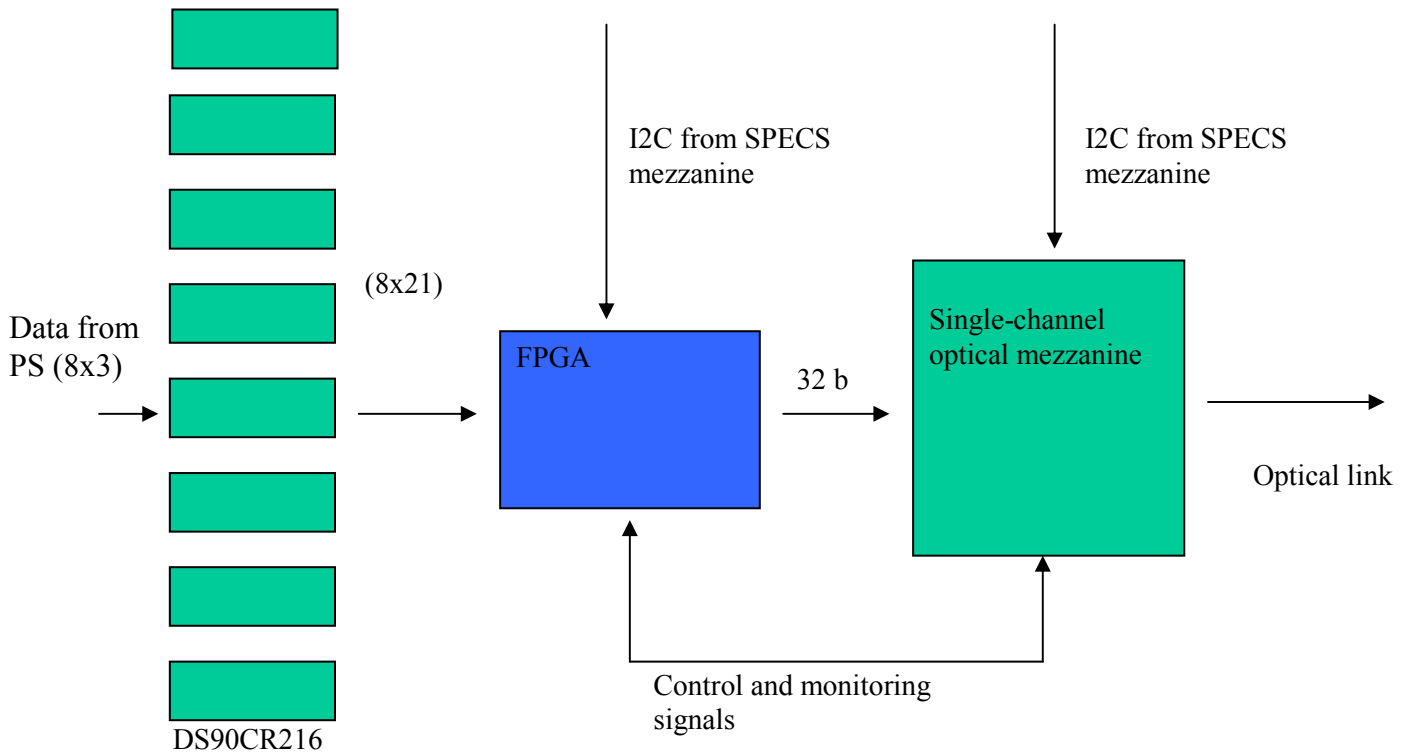


Figura 2.30. Esquema funcional del hardware orientat al càlcul de la multiplicitat.

Per accedir a l'enllaç òptic utilitzem la placa anomenada *optical mezzanine* [34] dissenyada pel grup de Bolonya participant en el calorímetre de LHCb. Aquesta placa està basada en la utilització de l'integrat GOL (*Giga Optical Link*) [32] del CERN.

La trama de 32 bits subministrada per la FPGA és serialitzada a la *optical mezzanine* amb el GOL i enviada per una fibra òptica multimode de 850nm. La *mezzanine* disposa també de interfície I²C per tal de poder-ne commutar el mode de funcionament a mode test. A la figura 2.31 podem veure un petit esquema del seu funcionament.

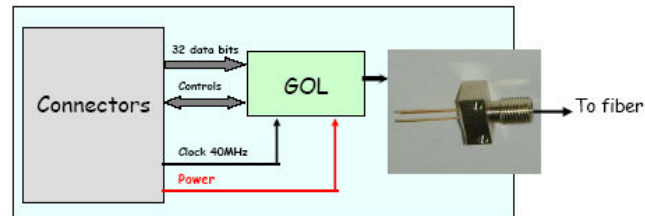


Figura 2.31. Diagrama funcional de la *optical mezzanine*.

Cal destacar que les especificacions del GOL remarquen que el senyal de rellotge de 40MHz ha de tenir un *jitter* pic a pic inferior a 100ps. Recordem que per assegurar aquest fet, tot i que el rellotge de l'experiment en principi compleix el requeriment, aquest és filtrat pel QPLL abans de ser entregat a l'*optical mezzanine* d'aquesta manera, el QPLL assegura a la seva sortida un *jitter* màxim inferior a 50ps. En l'apartat de mesures veurem que aquest és fins i tot inferior.

Tot i que l'ús de l'*optical mezzanine* ha facilitat molt el disseny de la CB, s'han trobat algunes dificultats a l'hora de la seva utilització¹⁰. El GOL presenta un problema amb l'alimentació, si en el moment de connectar-lo es troba ja alguna entrada activa (inclosa la interfície I²C, el circuit no queda ben inicialitzat. El problema és degut a que el GOL queda parcialment alimentat ja a través d'aquestes entrades actives. Per evitar aquest problema es plantegen dues solucions alternatives:

- Estar completament segurs que no existeix cap entrada activa en el moment d'alimentar l'*optical mezzanine*.
- Utilitzar un *switch* anomenat CRT4T dissenyat al CERN especialment pensat per forçar la descàrrega del GOL cap a massa. Consisteix en 2 transistors NMOS i 2 PMOS que podem connectar com convingui per tal d'implementar el *switch*. L'integrat és resistent a radiació i mitjançant un senyal de control (ON/OFF) podem controlar l'estat del *switch*.

En la implementació de la CB, s'ha escollit la segona opció per tal de poder tenir un control absolut en el correcte funcionament de l'integrat i no dependre de senyals externes a ell. A la figura 2.32 podem veure la configuració del CRT4T [35].

¹⁰ L'*optical mezzanine* utilitzada a l'SPD és d'un sol canal. La majoria d'enllaços òptics del calorímetre són multicanal i per ells es va desenvolupar una placa multicanal. El fet que l'ús d'aquesta placa sigui singular a fet que el seu disseny no fou perfeccionat en el seu moment i per això s'han hagut de resoldre els problemes sobre la CB.

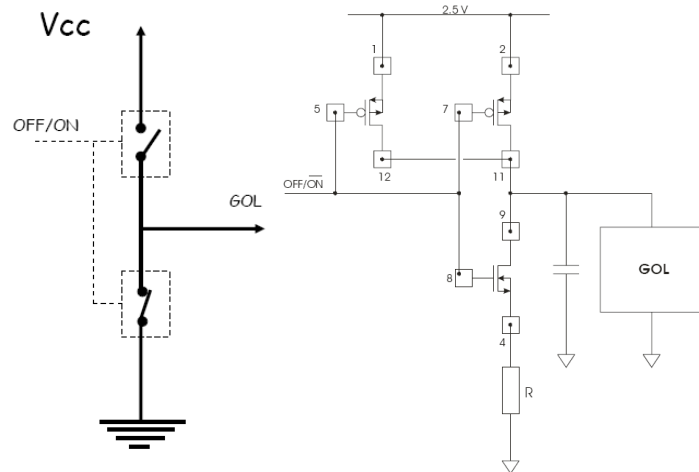


Figura 2.32. Connexió del CRT4T per tal de funcionar com a interruptor. Cal destacar que la resistència indicada amb R ha de ser molt petita per tal de forçar que la sortida del *switch* i per tant l'alimentació del GOL quedin connectats a massa.

Un altre dels problemes trobats amb l'*optical mezzanine* és el fet que quan es condueix l'alimentació del GOL a nivell baix o es resetja l'integrat, l'alimentació de 3,3V (VCSEL) que alimenta exclusivament el diode làser condueix massa corrent entre VCSEL i massa. Per això, es fa recomanable aturar aquesta alimentació en el moment que també conduïm cap a massa l'alimentació del GOL. Per resoldre aquest problema el que farem és utilitzar un regulador independent només per a l'alimentació VCSEL de manera que amb la mateixa senyal de control ON/OFF amb la que controlàvem el CRT4T també inhibirem aquest regulador.

2.2.1.6. Regulació de l'alimentació i monitorització de temperatures.

La *backplane* disposa ja d'alimentacions de 3,3 i 2,5 ja regulades. Tot i així, per seguretat es va decidir regular l'alimentació de 5v de la *backplane* per obtenir les de 2,5v i 3,3v necessàries pel funcionament de la CB. Aquesta opció ha mostrat ser la més encertada tan perquè possibles errors o mal funcionaments de la nostra placa no afectin a les altres plaques connectades a la *backplane* com a l'inversa. El consum total de la CB és d'entre 2 i 3W depenent del nivell d'activitat del moment.

La regulació de l'alimentació s'ha fet utilitzant el mateix esquema usat per la placa LVPS per obtenir les tensions dels VFE. El disseny es basa en la utilització de regulador LHC4913 [17] dissenyat especialment per poder ser sotmès a elevades dosis de radiació.

Els nivells de tensió necessaris pel funcionament de la CB són només 2,5 i 3,3v. Tot i així, reguladors ajustats a 3,3v en tindrem dos ja que tal com comentàvem a l'apartat anterior l'alimentació del diode làser (VCSEL) de l'*optical mezzanine* és independent per tal de poder inhibir-lo en el moment que derivem a massa l'alimentació del GOL amb el CRT4T. Aquest regulador estarà inhibit amb el mateix senyal de control que el CRT4T.

A la figura 2.33 podem veure el circuit bàsic per ajustar la tensió de sortida del regulador. Són les resistències R1 i R2 les que ajusten el valor de tensió a la sortida (eq. 2.10) de tal manera que al pin ADJ hi hagi sempre una tensió de 1,225V.

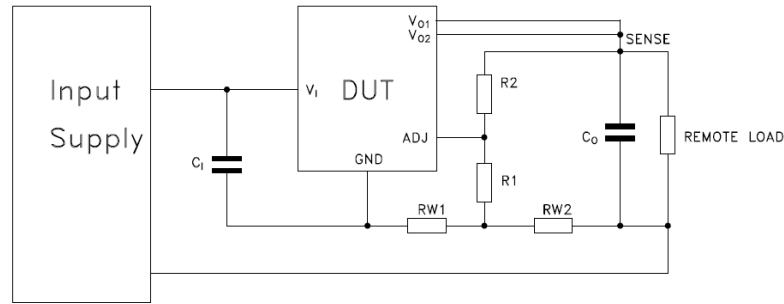


Figura 2.33. Esquema bàsic de regulació de l'alimentació amb LHC4913 (DUT a la figura).

$$V_{ADJ} = V_o \frac{R_1}{R_1 + R_2} \rightarrow V_o (SENSE) = V_{ADJ} \frac{R_1 + R_2}{R_1} = V_{ADJ} \left(1 + \frac{R_2}{R_1} \right) \quad \text{Eq.2.10}$$

Cal destacar dues particularitats més en l'etapa de regulació de l'alimentació:

- La FPGA requereix els dos nivells regulats, tant 2,5 (alimentació del nucli) com 3,3v (alimentació dels *buffers* de sortida), però aquest darrer nivell ha d'anar lleugerament retardat respecte el primer per tal que la FPGA quedi correctament alimentada. Un petit circuit RC (veure figura 2.34) alimentat a 2,5v controla la inhibició del regulador de 3,3v així aquest es posa en marxa poc després que ho hagi fet la tensió de 2,5v (aproximadament 0,5 segons).

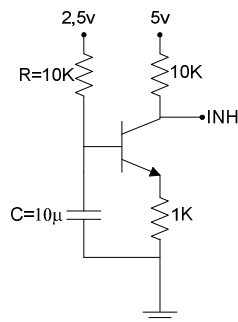


Figura 2.34. Circuit RC alimentat a 2,5v, de manera que quan aquesta tensió sigui activa i s'hagi carregat el condensador C, activem el senyal d'inhibició a través del transistor ja que el senyal d'inhibició és actiu per nivell baix.

- A més hem de recordar que els deserialitzadors DS90CR216 podien ser sensibles a SEL, per tant ha d'estar previst inhibir la tensió de 3,3v amb la qual s'alimenten quan aquest fenomen es detecta ja sigui a la CB o a qualsevol altra placa connectada a la mateixa *crate*. Per aquest motiu al connector MIDDLE de la *backplane* 6U hi havia un senyal anomenat FAULT en alta impedància per tal que fos detectat per qualsevol placa i a la vegada qualsevol placa el pogués conduir també a nivell baix per donar l'avís a la resta.

Per deshabilitar l'alimentació en cas de SEL utilitzem un switch MAX869L [36] controlat pel senyal FAULT procedent de la *backplane*. A la vegada retardant aquest mateix senyal amb portes NAND tornem a habilitar l'alimentació pocs nanosegons després¹¹ (veure figura 2.35). Per una altra banda el *switch* detecta sobrecàrregues de corrent de manera que la CB activaria el senyal de FAULT si es donés el cas i a més a més desactivaria l'alimentació durant el temps

¹¹ Temps a partir del qual la sobrecàrrega de corrent generada per SEL ja no podria afectar el sistema.

suficient per no causar cap dany a l'electrònica. Tot i així recordem que la probabilitat que es doni aquest fenomen a les *crates* del calorímetre és molt baix.

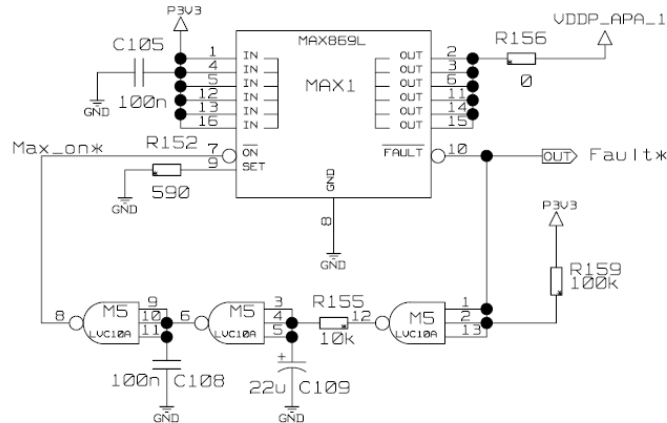


Figura 2.35. Esquema amb el MAX869L (*switch* amb límit de corrent) inclòs el retard amb portes NAND.

Pel que fa a les monitoritzacions de temperatura, les dels VFE es porten a terme a través de la placa de reguladors i per tant es podran consultar via comunicació I²C amb la placa LVPS, en l'apartat on es definirà el sistema de control ja entrarem en detall en la manera de com accedir a aquestes dades.

Pel que fa a la temperatura de la pròpia CB, la placa disposa d'un sensor semiconductor amb un convertidor de senyal d'analògic a digital ja integrat amb sortida digital utilitzant una interfície I²C, la qual connectarem al mateix bus I²C per distàncies curtes que els dos CDC. El sensor permet mesurar temperatures entre -55°C i 125°C, marge més que suficient pel control de temperatura de la *crate*. Tot i que l'exactitud no és massa bona, al voltant de $\pm 2^\circ\text{C}$, aquesta és suficient per poder establir els diferents nivells d'alerta de temperatura des del sistema de control. L'avantatge de la utilització d'aquest sensor i no un amb una exactitud més bona ens bé donada pel fet que no requereix la utilització de cap altre component extern i pot ser connectat directament al mateix bus I²C que ja s'utilitzava per a la resta de components residents a la CB.

2.2.2. La FPGA de la CB.

El tipus de FPGA escollit per a la CB és una FPGA reprogramable però no volàtil la qual ens ha ofert una gran flexibilitat en les primeres etapes de test. El model escollit donat el fet que el component havia de ser tolerant a radiació¹² és l'APA300 de la sèrie ProASIC^{PLUS} d'Actel; més detalls sobre la tolerància del component a la radiació els podem trobar a [37]. Tot i així el firmware de la FPGA està implementat usant tècniques de redundància en els seus registres (*triple voting*) per evitar qualsevol tipus de pèrdua d'informació.

Tot i que en un primer moment la funcionalitat principal de la FPGA havia de ser el càlcul de la multiplicitat de l'SPD, s'ha aprofitat la seva presència per integrar-hi també part del control d'altres components. Així doncs finalment les funcionalitats de la FPGA són les següents:

- Càlcul de la multiplicitat de l'SPD.
- Control de l'alimentació de l'enllaç òptic i la seva correcta sincronització amb el receptor òptic.
- Descodificació del canal B.
- Enviament de comandes a través de la línia síncrona a VFE i LVPS.
- Control de l'estat general de la CB.

¹² Per motius logístics aquesta FPGA havia de ser la mateixa que es va utilitzar prèviament al VFE.

L'accés a la FPGA des del sistema de control (ECS) el podem fer només a través del bus paral·lel del que disposa la SPECS *mezzanine* (veure de nou figura 2.14). Aquest bus té una amplada de 16 bits i 8 línies d'adreça però degut al limitat nombre de pins d'entrada i sortida de la FPGA tan sols s'han pogut traçar 10 bits del bus de dades i 4 del bus d'adreces a part dels senyals d'escriptura i lectura del bus. Els 4 bits d'adreçament del bus paral·lel permetran accedir a fins 16 registres interns de la FPGA els quals facilitaran el control i la configuració de tot el sistema.

Tal com ja s'havia comentat a l'apartat 2.2.1.3.2 la FPGA rep dades també del sistema TFC a través del canal B (veure de nou figura 2.20), el qual envia senyals de reset i sincronització en mode *broadcast* a totes les plaques connectades al sistema. La FPGA descodifica aquest canal síncron de 9 bits i envia les comandes de forma síncrona amb el rellotge de l'experiment cap als VFE i LVPS.

En un primer subapartat 2.2.2.1 comentarem en detall totes les funcionalitats de la CB i en un segon subapartat 2.2.2.2 parlarem dels registres i les diferents comandes amb les quals treballa. Qualsevol altre detall sobre la implementació del firmware de la FPGA pot ser consultat a [38]. El firmware de la FPGA s'ha pogut actualitzar via un connector JTAG tan sols disposant d'un ordinador i la interfície ISP (*In System Programming*).

2.2.2.1. Funcionalitats de la FPGA.

Tal com hem pogut veure a la part 1 del document a cada *crate* hi trobem dues CB les quals controlen els mateixos VFE que passen dades als mateixos PS connectats a la mateixa mitja *crate* on es troba la CB. A la figura 2.36 podem veure que existeixen 4 configuracions diferents en funció del número de VFEs que controla una CB i la seva posició.

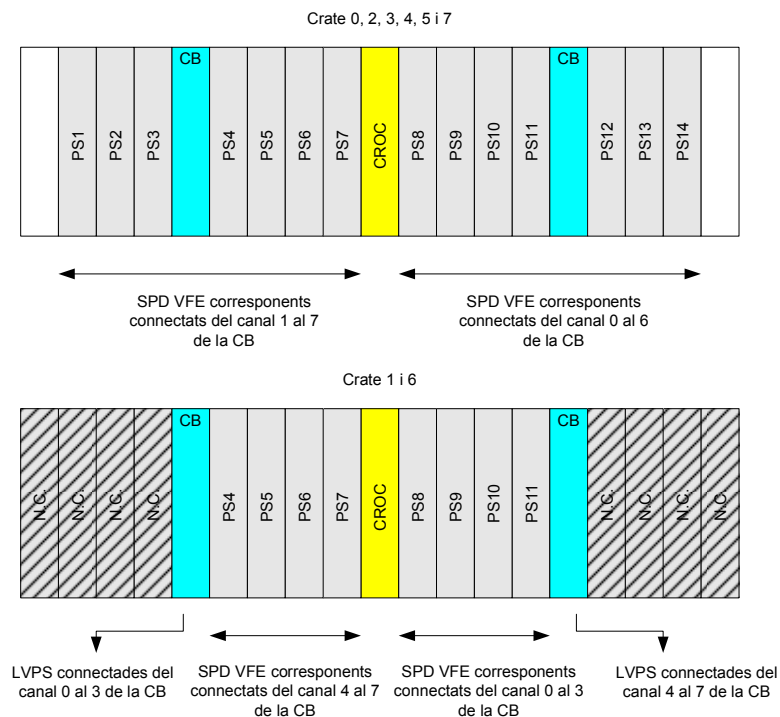


Figura 2.36. Esquema de la distribució dels PS i les CB sobre les *crates*. L'*slot* al qual es connecten els PS ens indica per quin dels 8 canals de multiplicitat arriben les dades per la *backplane*.

Cada VFE porta les dades cap al PS situat a la mateixa mitja *crate* que la corresponent CB per tant en el càlcul de la multiplicitat ens podem trobar que aquesta sigui provinent de 7 PS o de només 4 PS. D'igual manera aquest 7 o 4 canals de PS es poden trobar ocupant els 7 o 4 primers canals de multiplicitat provinents de la *backplane* (recordem que en total n'hi havia 8).

En aquelles *crates* on tan sols tindrem connectats 4 VFEs, aprofitarem per a connectar-hi 4 plaques de LVPS que es troben alimentant VFEs de la mateixa meitat del detector que la *crate* a la qual estan connectats.

En el càlcul de la multiplicitat, les dades provinents de la *backplane* es sincronitzen en primer lloc amb el seu propi rellotge rebut també per la *backplane*; per evitar mostrejar la dada en el moment de canvi, aquesta pot ser sincronitzada amb el flanc de pujada o de baixada del seu rellotge segons el valor al que configurem un dels registres interns implementats en la FPGA (*Phases*). Seguidament, les dades seran mostrades amb el flanc de pujada del rellotge de la FPGA.

En un primer disseny la sincronització amb el flanc de pujada o baixada del rellotge del canal de multiplicitat es feia automàticament utilitzant un simple esquema en el qual un comparador comparava els identificadors provinents de cada canal fins a detectar que aquests estaven correctament sincronitzats. El comparador habilitava el comptatge d'un comptador de tants bits com canals volíem sincronitzar, el qual cada bit de sortida representava un tipus o altre de sincronització per cada canal. En el moment que el comparador detectava que tots els identificadors eren iguals (i per tant tots els canals estaven correctament sincronitzats), bloquejava el comptatge fixant ja d'aquesta manera el flanc correcte de sincronització de cada canal. Tot i que les proves amb aquest disseny foren satisfactòries, va ser considerat un mètode poc segur de sincronització ja que no permetia un control extern des de l'ECS, per aquest motiu, es va optar per configurar la sincronització a través del registre *Phases* actualitzable des de l'ECS.

També a través d'un registre intern de la FPGA, en aquest cas és anomenat *Channels*, podem indicar-li a la FPGA a quins canals hi ha dades de multiplicitat i a quins no, és a dir, li indicarem en quina de les 4 configuracions de connexió vistes a la figura 2.36, es troba la CB en qüestió. Segons el mode de funcionament escollit (que també es fixa amb el mateix registre *Channels*) la detecció es fa també de forma automàtica detectant de quins canals de multiplicitat es rep rellotge i de quins no, pel mateix motiu que la detecció de la sincronització, es va preferir tenir-ne també un control extern des de l'ECS i per tant disposar d'un registre configurable. Per a més seguretat la CB disposa també d'un *switch* que permetria fixar per hardware el tipus de configuració de la placa.

Una vegada sincronitzats tots els canals actius, la FPGA realitza la suma de les dades i les associa a l'identificador corresponent. Aquest identificador és comprovat amb l'identificador generat pel comptador intern de la FPGA (el qual es pot resetejar a través del canal B), en cas de que no coincidissin la dada és considerada errònea. En cas de dada errònia es podrà enviar un codi d'error a través de l'enllaç òptic per tal d'informar la SB.

A part d'enviar les dades de multiplicitat per l'enllaç òptic, la FPGA també les ha d'emmagatzemar per portar a terme una funció 'espia' amb propòsits de test. Aquesta funcionalitat és anomenada l'*Spy Function*¹³.

L'objectiu principal de l'*Spy Function* és permetre debugar el camí seguit per la multiplicitat. La funció comença a gravar dades quan s'indica a través del *Calibration Pulse* (CMD1 de la figura 2.20) en un *buffer* amb una profunditat de 256 bytes. Quan el *buffer* és ple, la FPGA disposa de la possibilitat de generar una interrupció a través de l'*SPECS mezzanine* cap al ECS. Les dades del *buffer* podran ser accedides a través del bus paral·lel de l'*SPECS mezzanine*.

Tan sols recordar que l'enllaç òptic requereix d'un senyal de control anomenat anteriorment ON/OFF el qual serà controlat directament per la FPGA ja sigui en la seva inicialització o en qualsevol moment que la FPGA rebi un reset des de l'ECS. A més a més, la FPGA monitoritza un senyal de READY de l'*optical mezzanine* el qual ens permet saber des de l'ECS si l'enllaç òptic es troba o no operatiu. Si el senyal READY no es trobés actiu, indicaria molt probablement un mal funcionament del senyal de rellotge de 40,0786MHz.

En darrer lloc cal comentar la descodificació del canal B per la FPGA i les seves conseqüències tant per la pròpia FPGA, com pels VFE o les plaques LVPS. La CB fa arribar les comandes que descodifica del canal B per la línia TFC (un dels parells dels quals ja hem parlat que formen part de l'enllaç amb cable *Ethernet* entre CB i VFE o LVPS) a tots els VFE i les plaques LVPS.

La placa LVPS tan sols necessita rebre del canal B la comanda *Reset* (veure figura 2.20) la qual consistirà a enviar per la línia TFC un '0' durant 18 cicles de rellotge. Aquesta

¹³ L'*Spy Function* és un requeriment de l'electrònica del calorímetre i que han de complir totes les plaques del sistema.

comanda però podria ser mal interpretada pels VFE per tant, per tal de saber si en un canal hi ha connectat VFE o LVPS, la FPGA disposa d'un altre registre configurable via ECS anomenat *VFE mask* de tal manera que sols enviarà les comandes que pertoqui pel canal corresponent.

La FPGA necessita rebre el Calibration Pulse (figura 2.20) per tal d'inicialitzar la funció *Spy Function* i començar l'emmagatzematge de dades. Aquest mateix pols haurà de ser enviat també als VFE per tal d'alertar-los que comença un test síncron en el qual han d'enviar un patró LVDS cap als PS. En darrer lloc la darrera comanda que la FPGA codificarà cap a la línia TFC és la recepció del *BXID Reset* des del canal B, aquesta comanda avisarà els ASICs dels VFE que han de fer el reset de subcanal (és a dir descarregar el condensador del canal no actiu en aquell moment).

Recordem també que el senyal TFC és enviat utilitzant nivells LVDS i que per tant després de la FPGA hi tindrem el transceptor LVDS.

2.2.2.2. Comandes de la FPGA i control d'estat.

L'altre interfície amb la FPGA, a part del canal B que realment no és controlable des del sistema de control de l'SPD, és el bus paral·lel amb el qual podem accedir des de l'ECS a través de l'*SPECS mezzanine*. Per enviar comandes a la FPGA des del bus paral·lel, haurem de fer una escriptura a un altre dels seus registres interns: *Commands*. Algunes d'aquestes comandes coincideixen amb les que després el sistema TFC pot enviar usant el canal B i són les següents:

- Reset de la FPGA de la CB.
- Enviar una comanda de inici de test a través de la línia TFC cap als VFE.
- Enviar una comanda de final de test a través de la línia TFC cap als VFE.
- Enviar un reset de subcanal als VFE.
- Avisar a la FPGA de la CB que iniciï l'emmagatzematge de dades per l'*Spy Function*.
- Enviar una comanda de reset a les plaques LVPS.

Aquest mateix registre si en comptes d'escriure'l amb una comanda en fem una lectura, el que obtindrem és informació de l'estat de la CB. La lectura ens informaria bàsicament de dos coses:

- De l'estat de l'enllaç òptic. Informació que obté la FPGA monitoritzant el senyal READY de l'*optical mezzanine*.
- L'estat del QPLL. L'integrat del QPLL disposa d'un senyal anomenat *Locked* el qual li permet saber a la FPGA si el PLL es troba enganxat i per tant el PLL està filtrant correctament el senyal de rellotge.

2.2.3. Disseny de la CB.

El disseny físic de la CB es veu condicionat en tot moment per la seva ubicació en els *racks* de mida 9U. Aquest fet doncs, marca les dimensions de la placa (366,7x280mm) tot i que els components que la integren podien ocupar una superfície molt menor (veure figura 2.37).