

**UNIVERSIDAD DE CANTABRIA**



Departamento de Tecnología Electrónica,  
Ingeniería de Sistemas y Automática

**TESIS DOCTORAL**

**TEST BASADO EN SENSORES DE CORRIENTE  
INTERNOS PARA CIRCUITOS INTEGRADOS  
MIXTOS (ANALÓGICOS-DIGITALES)**

**Memoria** presentada para optar al grado de  
**DOCTOR EN CIENCIAS FÍSICAS POR LA UNIVERSIDAD DE CANTABRIA**

por Román Mozuelos García,  
Licenciado en Ciencias Físicas,

Santander, 2009

**UNIVERSIDAD DE CANTABRIA**



Departamento de Tecnología Electrónica,  
Ingeniería de Sistemas y Automática

**TESIS DOCTORAL**

**TEST BASADO EN SENSORES DE CORRIENTE  
INTERNOS PARA CIRCUITOS INTEGRADOS  
MIXTOS (ANALÓGICOS-DIGITALES)**

**Memoria** presentada para optar al grado de  
**DOCTOR EN CIENCIAS FÍSICAS POR LA UNIVERSIDAD DE CANTABRIA**

por Román Mozuelos García,  
Licenciado en Ciencias Físicas,

Santander, 2009



# **UNIVERSIDAD DE CANTABRIA**

**ESCUELA TÉCNICA SUPERIOR DE INGENIEROS  
INDUSTRIALES Y DE TELECOMUNICACIÓN**

**Departamento de Tecnología Electrónica,  
Ingeniería de Sistemas y Automática**

## **TEST BASADO EN SENSORES DE CORRIENTE INTERNOS PARA CIRCUITOS INTEGRADOS MIXTOS (ANALÓGICOS-DIGITALES)**

**MEMORIA**

presentada para optar al grado de  
DOCTOR POR LA UNIVERSIDAD DE CANTABRIA

Por el Licenciado en Ciencias Físicas,

Román Mozuelos García

### **LOS DIRECTORES:**

D. Salvador Bracho del Pino  
Catedrático de Tecnología Electrónica  
Universidad de Cantabria

Dña. Mar Martínez Solórzano  
Profesora Titular de Universidad  
Universidad de Cantabria

Santander, 2009



## **Agradecimientos**

En primer lugar, me gustaría agradecer a mis padres, Román y M<sup>a</sup> Paz, y a mis hermanas, Pilar y Azucena, porque siempre están ahí y, en definitiva, son los que más y mejor me aguantan.

También me gustaría extender mis agradecimientos a mis directores de tesis Salvador Bracho y Mar Martínez por sus consejos, experiencia y apoyo que hicieron posible la realización de este trabajo.

Finalmente, gracias a mis compañeros del grupo de Ingeniería Microelectrónica donde siempre he encontrado un ambiente de camaradería y colaboración.



---

**ÍNDICE**

---

<b>Índice</b> .....	<b>i</b>
<b>Objetivos y resumen de la Tesis</b> .....	<b>ix</b>
<b>Summary</b> .....	<b>xi</b>
<b>Capítulo 1</b>	
<b>INTRODUCCIÓN</b>	
<b>1.1</b> <b>Introducción</b> .....	<b>1</b>
<b>1.2</b> <b>Estructura de la Tesis</b> .....	<b>5</b>
<b>1.3</b> <b>Test basado en defectos</b> .....	<b>8</b>
<b>1.4</b> <b>Test de corriente estacionaria</b> .....	<b>9</b>
1.4.1    Efectividad del test $I_{DDQ}$ .....	10
1.4.2    Retos del test $I_{DDQ}$ .....	12
1.4.3    Métodos de test $I_{DDQ}$ .....	15
<b>1.5</b> <b>Test de corriente transitoria</b> .....	<b>18</b>
1.5.1    Métodos de test $I_{DDT}$ .....	20
1.5.2    Medida de la corriente transitoria .....	22
<b>1.6</b> <b>Sensores de corriente</b> .....	<b>23</b>
1.6.1    Sensores con una resistencia como elemento de muestreo .....	24
1.6.2    Sensores con un condensador como elemento de muestreo .....	26
1.6.3    Sensores con un espejo de corriente como elemento de muestreo.....	28
1.6.4    Sensores con un regulador de voltaje como elemento de muestreo.....	28
1.6.5    Estrategia de diseño del BICS propuesto en la tesis .....	29
<b>Bibliografía</b> .....	<b>30</b>



## Capítulo 2

### MODELADO DE FALLOS

<b>2.1</b>	<b>Introducción .....</b>	<b>37</b>
<b>2.2</b>	<b>Mecanismo clásico de defectos.....</b>	<b>40</b>
2.2.1	Cortocircuitos .....	40
2.2.2	Abiertos .....	40
2.2.3	Variaciones paramétricas.....	41
<b>2.3</b>	<b>Mecanismo de defectos en tecnologías avanzadas.....</b>	<b>41</b>
2.3.1	Defectos en el cobre.....	41
2.3.2	Defectos ópticos.....	42
2.3.3	Variaciones paramétricas .....	42
2.3.4	Defectos relacionados con el diseño .....	43
<b>2.4</b>	<b>Defectos y fallos.....</b>	<b>44</b>
2.4.1	Utilidad del modelo de fallos.....	45
2.4.2	Niveles del modelado de fallos .....	45
2.4.3	Fallos stuck-at .....	48
2.4.4	Fallos de puente.....	48
2.4.4.1	Concepto de resistencia crítica.....	49
2.4.4.2	Defectos de puente en circuitos digitales .....	49
2.4.5	Fallos GOS.....	51
2.4.6	Fallos de abierto.....	53
2.4.6.1	Abiertos en circuitos lógicos .....	55
2.4.7	Fallos paramétricos .....	56
2.4.7.1	Fallos paramétricos intrínsecos .....	57
2.4.7.2	Fallos paramétricos extrínsecos .....	64
<b>2.5</b>	<b>Modelo de fallos .....</b>	<b>65</b>
<b>2.6</b>	<b>Conclusiones.....</b>	<b>69</b>
	<b>Bibliografía .....</b>	<b>71</b>

## Capítulo 3

### TEST DE CORRIENTE TRANSITORIA

<b>3.1</b>	<b>Introducción .....</b>	<b>75</b>
<b>3.2</b>	<b>Propuesta de test de corriente transitoria .....</b>	<b>77</b>
<b>3.3</b>	<b>Sensor de corriente .....</b>	<b>79</b>

<b>3.4</b>	<b>Sensor para la sección digital del circuito mixto</b> .....	<b>86</b>
3.4.1	Estructura.....	86
3.4.2	Autotest del sensor .....	89
3.4.3	Modelado del CUT digital.....	90
3.4.4	Caracterización de las prestaciones del sensor .....	91
3.4.4.1	Sensibilidad en la medida de la corriente de alimentación.....	92
3.4.4.2	Degradación de la tensión de alimentación del CUT.....	93
3.4.4.3	Periodo de los vectores de test .....	94
3.4.4.4	Particionado del circuito digital .....	95
3.4.5	Incremento de área .....	96
3.4.6	Adaptación a tecnologías submicrónicas .....	97
<b>3.5</b>	<b>Sensor para la sección analógica del circuito mixto</b> .....	<b>98</b>
3.5.1	Sensor con carga resistiva .....	99
3.5.2	Sensor con carga inductiva .....	106
3.5.3	Acoplo a los circuitos de prueba .....	114
3.5.4	Caracterización del sensor.....	117
3.5.4.1	Sensibilidad a la medida de la corriente.....	118
3.5.4.2	Degradación de las prestaciones del CUT .....	119
3.5.4.3	Robustez del diseño .....	121
3.5.4.4	Incremento de área .....	123
<b>3.6</b>	<b>Vectores de test</b> .....	<b>123</b>
<b>3.7</b>	<b>Conclusiones</b> .....	<b>126</b>
	<b>Bibliografía</b> .....	<b>126</b>

## Capítulo 4

### CIRCUITOS DE PRUEBA

<b>4.1</b>	<b>Introducción</b> .....	<b>131</b>
<b>4.2</b>	<b>Seguidor de Tensión</b> .....	<b>133</b>
<b>4.3</b>	<b>DAC en Modo Corriente</b> .....	<b>139</b>
4.3.1	Métrica del DAC .....	140
4.3.2	División de corriente.....	142
4.3.3	Causas de distorsión.....	144
4.3.3.1	Emparejamiento entre fuentes de corriente.....	144
4.3.3.2	Impedancia de salida de las fuentes de corriente .....	146
4.3.3.3	No linealidad de la resistencia.....	147
4.3.4	Diseño implementado .....	148
4.3.4.1	Registros y decodificador termométrico .....	150
4.3.4.2	Fuentes de corriente gruesa.....	152
4.3.4.3	Fuentes de corriente fina.....	153
4.3.4.4	Amplificador de transimpedancia .....	154
4.3.4.5	Parámetros eléctricos del DAC .....	155
4.3.5	Sensores de corriente .....	159

<b>4.4</b>	<b>Amplificador Operacional.....</b>	<b>160</b>
<b>4.5</b>	<b>Circuitos de Corrientes Conmutadas .....</b>	<b>164</b>
4.5.1	Celda de memoria S <sup>2</sup> I .....	164
4.5.2	Convertidor A/D algorítmico S <sup>2</sup> I.....	169
<b>4.6</b>	<b>Conclusiones.....</b>	<b>171</b>
	<b>Bibliografía .....</b>	<b>172</b>

## Capítulo 5

### EVALUACIÓN DE FALLOS

<b>5.1</b>	<b>Introducción .....</b>	<b>175</b>
<b>5.2</b>	<b>Simulación de fallos .....</b>	<b>176</b>
<b>5.3</b>	<b>Sección digital del circuito mixto .....</b>	<b>179</b>
<b>5.4</b>	<b>Sección analógica del circuito mixto .....</b>	<b>185</b>
5.4.1	Sensor de corriente con carga resistiva .....	185
5.4.1.1	Buffer .....	186
5.4.1.2	Sección analógica del DAC .....	192
5.4.2	Sensor de corriente con carga inductiva .....	200
5.4.2.1	Amplificador de transimpedancia.....	202
5.4.2.2	Celda de memoria S <sup>2</sup> I.....	207
5.4.2.3	Bloques S <sup>2</sup> I de un convertidor A/D .....	211
<b>5.5</b>	<b>Conclusiones.....</b>	<b>216</b>
	<b>Bibliografía .....</b>	<b>219</b>

## Capítulo 6

### DFT PARA CIRCUITOS DE CAPACIDADES CONMUTADAS

<b>6.1</b>	<b>Introducción .....</b>	<b>223</b>
<b>6.2</b>	<b>Diseño para Test (DfT).....</b>	<b>224</b>
6.2.1	Formas de DfT genéricas .....	225
6.2.2	DfT para capacidades conmutadas .....	228
6.2.2.1	DfT basado en códigos.....	228
6.2.2.2	DfT basado en reconfiguración.....	229
<b>6.3</b>	<b>Método DfT Propuesto.....</b>	<b>232</b>
<b>6.4</b>	<b>Estudio de un Integrador SC.....</b>	<b>233</b>
6.4.1	Influencia del sensor de carga en el CUT.....	236
6.4.2	Detección de fallos .....	238

---

<b>6.5</b>	<b>Análisis de un Convertidor ADC Algorítmico SC</b> .....	<b>239</b>
6.5.1	Descripción del CUT .....	240
6.5.2	Acoplo del sensor de carga.....	241
6.5.3	Influencia del sensor de carga en el ADC .....	243
6.5.4	Salida del sensor de carga vs. INL del ADC .....	243
6.5.5	Evaluación de Fallos .....	246
6.5.5.1	Simulación de fallos de los condensadores del ADC .....	248
6.5.5.2	Simulación de fallos de las llaves del ADC.....	249
6.5.5.3	Simulación de fallos de los amplificadores operacionales del ADC .....	249
<b>6.6</b>	<b>Conclusiones</b> .....	<b>250</b>
	<b>Bibliografía</b> .....	<b>250</b>
	 <b>Conclusiones</b> .....	 <b>255</b>
	<b>Conclusions</b> .....	<b>259</b>



---

## **OBJETIVOS Y RESUMEN DE LA TESIS**

---

La demanda de sistemas con mayores prestaciones impuesta por las actuales aplicaciones en el mundo de la salud y bienestar, transporte y movilidad, seguridad, medio ambiente, comunicaciones, computadoras, entretenimiento etc. han estimulado la integración de diferentes tipos de bloques funcionales en el mismo sustrato de silicio (SoC) o la inclusión de varios chips en el mismo empaquetado (SiP). La utilización de componentes modulares simplifica y acorta el proceso de diseño trasladando gran parte del coste al test de los diversos bloques del sistema.

Desde hace tiempo, se aplican métodos de test estructurales en los bloques digitales y los módulos de memoria donde se generan el conjunto de vectores de test óptimo capaz de conseguir una alta cobertura de fallos. El objetivo no es tanto verificar la funcionalidad del circuito sino detectar la presencia de defectos físicos a través de su efecto en comportamiento del circuito. La efectividad del test estructural depende de la precisión con que se modele el comportamiento eléctrico asociado al defecto físico, por lo que es importante un estudio en profundidad de este proceso.

En la etapa de diseño se incluyen técnicas para facilitar el test de los módulos empotrados (DfT). En el mundo digital, las técnicas predominantes, consisten en añadir líneas dedicadas para mejorar el acceso (bus de test) y desarrollar bloques autónomos que apliquen las señales de test y procesen los datos resultantes (BIST).

Sin embargo, en los bloques analógicos y mixtos los métodos de test más frecuentes se siguen basando en la verificación de sus especificaciones funcionales. La dificultad de acceso a estos bloques junto con el aumento de los requerimientos de los equipos de medida para procesar apropiadamente las señales, cada vez más complejas, son factores importantes en el incremento del coste del test. Por tanto, al igual que en los módulos digitales, los bloques analógicos también se pueden beneficiar del desarrollo de test estructurales y la aplicación de técnicas de diseño que permitan realizar un primer tratamiento de los datos de test dentro del mismo circuito integrado.

El proceso de test no sólo debe verificar el circuito sino también garantizar su fiabilidad durante el tiempo previsto de funcionamiento. La reducción de la mortandad temprana de los circuitos integrados se consigue acelerando la activación de los defectos inducidos por el proceso de fabricación, tradicionalmente se hace funcionar al circuito bajo condiciones de alta temperatura y tensión. Diversos estudios han mostrado que un proceso más económico como la medida del consumo de corriente es un mecanismo útil para revelar la presencia de defectos que en ocasiones provocan niveles de tensión erróneos y en otros casos comprometen la fiabilidad del sistema acortando su tiempo de vida útil.

En esta tesis proponemos un método de diseño para test orientado hacia circuitos mixtos empotrados. El método de test está basado en el análisis del consumo de corriente ( $I_{DDX}$ ) donde no sólo se analiza la componente estacionaria sino que se presta una atención especial a las componentes dinámicas de la corriente debido a su mayor sensibilidad a la presencia de defectos.

Con objeto de procesar adecuadamente la información de los transitorios de corriente, la medida se efectúa internamente integrando dentro del chip un bloque sensor de corriente (BICS) junto al circuito bajo test (CUT). De este modo, se minimiza el efecto distorsionador de las capacidades e inductancias asociadas a los pads de entrada/salida, al empaquetamiento y a los elementos de la placa de circuito impreso.

En la tesis se describe el diseño de varios bloques que realizan el muestreo de la corriente de alimentación. Se detalla la adaptación del BICS al tipo de circuito muestreado (digital, analógico continuo o analógico conmutado) y se desarrolla una modificación del sensor para otorgar más peso específico a las componentes de alta frecuencia de la corriente.

El método de test estructural propuesto busca disminuir el tiempo necesario para realizar el test y reducir la complejidad de los equipos de medida comúnmente utilizados en el test analógico. Por ello, el circuito sensor de corriente realiza un procesado de la información para proporcionar una firma digital que codifica el funcionamiento del circuito. Aunque en ocasiones es necesario caracterizar las prestaciones funcionales de circuitos mixtos después del empaquetado bien por requerimientos del cliente o del propio fabricante, las reducidas demandas de equipamiento del test que necesita el método estructural de test propuesto, lo hacen adecuado para su aplicación a nivel de oblea al permitir clasificar fácilmente los chips antes de su integración en el SiP.

La idea de analizar una magnitud física dentro del chip como base del test se puede extender a diferentes clases de circuitos. Así, sistemas analógicos utilizados en el procesado discreto de la señal como son los circuitos de capacidades conmutadas (SC) se pueden verificar midiendo la transferencia de carga que se efectúa durante las diversas fases de la señal de reloj. La tesis también incluirá una propuesta de test de circuitos SC utilizando un circuito sensor de carga.

Se ha utilizado una evaluación de fallos para valorar la eficacia de la propuesta de test. En esta técnica se inyecta la representación eléctrica de un defecto físico, conocido como fallo, en el circuito bajo test para evaluar su influencia tanto en la firma digital proporcionada por el

BICS (test propuesto) como en las prestaciones del CUT (test estructural estándar). Cuando los valores obtenidos para el circuito con fallo se desvían del esperado para el circuito libre de fallo más allá de un límite establecido, se considera que el defecto es detectable. Este proceso permite comparar las figuras de cobertura del método de test de corriente dinámica que proponemos con aproximaciones de test más tradicionales ya establecidas en la industria.

El método de test basado en el sensor de corriente también se ha validado experimentalmente mediante el diseño y fabricación de varios circuitos de prueba (convertidor digital-analógico, amplificador operacional, celdas de memoria de corriente, integrador SC) junto con diversas implementaciones de los sensores de corriente y carga.

La tesis se organiza de la siguiente forma. En este primer capítulo se revisan los métodos de test de corriente, tanto estacionaria  $I_{DDQ}$  como transitoria  $I_{DDT}$ , y las ventajas que asociadas a la medida interna de dicha corriente.

En el segundo capítulo se presenta el modelo de fallos que posteriormente se aplicará en la evaluación del método de test. Se establece la relación entre el defecto físico, su mecanismo de aparición y el modelo eléctrico que mejor describe su influencia en el funcionamiento del circuito. También se estudian los procedimientos por el cual fluctuaciones en el proceso de fabricación inducen variaciones en los parámetros eléctricos del circuito y la manera de modelar los fallos paramétricos en que pueden acabar degenerando cuando provocan un funcionamiento erróneo del circuito.

El tercer capítulo presenta el método de test propuesto en la tesis. Está basado en el análisis de la corriente de alimentación  $I_{DDX}$  del circuito bajo test. Para ello se integra junto al CUT un sensor de corriente que realiza el muestreo dentro del chip de la corriente con objeto de obtener una buena resolución de la magnitud medida. Se describe el diseño y las prestaciones de varias estructuras del BICS, así como el método de acoplamiento y su influencia en el circuito bajo test.

El capítulo cuatro presenta los circuitos de prueba diseñados para evaluar la eficiencia del método de test de corriente transitoria. Se incluyen los módulos digitales formados por el banco de registro y la lógica de selección de un convertidor digital-analógico (DAC). Los bloques analógicos continuos consisten en la sección analógica del DAC en modo corriente, un buffer de tensión y un amplificador operacional. También, se estudia la aplicación del test  $I_{DDX}$  a circuitos conmutados, utilizando celdas de corriente  $S^2I$ . De todos los circuitos se muestra el proceso de diseño y las medidas obtenidas en los prototipos fabricados.

En el capítulo quinto se desarrolla la evaluación de fallos para estudiar la eficiencia del test de corriente transitoria propuesto. Se analiza la habilidad de las diversas implementaciones del sensor de corriente para detectar fallos en los módulos digitales y los bloques analógicos. Los resultados se comparan con las coberturas de fallos obtenidos para un conjunto de test estructurales.



En el capítulo sexto se presenta un método de test basado en el análisis de la transferencia de carga que circula por los circuitos SC. Para ello se integra junto al CUT un módulo sensor de carga con objeto de obtener una buena resolución de la magnitud medida. Se describe el diseño, el acoplamiento al CUT y se caracterizan las prestaciones del sensor de carga. También se realiza una evaluación de fallos para estimar la eficiencia del método de test

Por último se presentan las conclusiones del presente trabajo, exponiéndose las aportaciones más importantes y se realizan sugerencias para futuras líneas de investigación.

---

## SUMMARY

---

The demand for systems with better performance driven by today's applications in the area of health and welfare, transport and mobility, safety, environment, communications, computers, entertainment etc. is motivating the integration of different functional blocks on the same silicon substrate (SoC) or the enclosure of several chips in the same package (SiP). The use of modular components simplifies and shortens the design process by moving much of the cost to the system block test. The success of these applications, as determined by their quality and reliability, requires the integration of comprehensive test methodologies and tools into the design and test environments.

Traditionally, structural test methods have been applied to digital modules and memory blocks to generate the set of optimal test vectors that enables high fault coverage. The aim is not to verify the circuit functionality, but to bring to light the presence of physical defects through their effect on the circuit behavior. The effectiveness of structural testing depends on the precision of the model used to describe the electrical behavior related to the physical defect, so a comprehensive study of this process is required.

The circuit designers include techniques to facilitate the testing of embedded modules (DfT) in the early stages of product development. In the digital world, the main techniques are the addition of wires to improve access (bus test) and the development of autonomous blocks to apply the test signals and to process the output data (BIST).

However, in analog and mixed-signal blocks the test methods are usually still based on the verification of their functional specifications. The complexity of accessing the embedded blocks together with the demanding requirements for the measurement equipment to perform a suitable processing of the increasingly complex signals are important factors in the escalating test cost. Therefore, as in digital modules, analog blocks can take advantage of the development of structural tests and the application of design-for-test techniques to enable early data processing within the integrated circuit itself.

The test, in addition to verifying the circuit, must also ensure the reliability during the expected life time of the system. The reduction in premature failure of integrated circuits is achieved by accelerating the activation of the defects appearing during the manufacturing process. Traditionally, this has been done by operating the circuit under high temperature and voltage conditions. Several studies have shown that more economical processes such as the measurement of the circuit's current consumption constitutes a useful tool to reveal the presence of defects that sometimes induce incorrect voltage levels and other times may compromise the reliability and reduce the circuit life span.

In this thesis, a design-for-test method for embedded mixed signal circuits is proposed. It is based on the analysis of current consumption ( $I_{DDX}$ ), paying special attention to the dynamic components of the current due to their greater sensitivity to the presence of defects.

In order to correctly process the information contained in the transient current, the measurement is performed by a built-in current sensor circuit (BICS) integrated within the circuit under test (CUT). Thus, we minimise the distortion effect of the capacitances and inductances associated with the input/output pads, the circuit package and the elements of the printed circuit board.

The thesis describes the design of several modules that perform the sampling of the current supply. It presents the techniques for adapting the BICS to several types of circuits (digital, analog continuous or analog switched) and the development of a sensor modification to give more weight to the high-frequency components of the current.

The proposed structural test method aims to reduce the test time and the complexity of the measurement equipment commonly used in analog tests. Therefore, the current sensor performs internal data processing to provide a digital signature that encodes the circuit behavior. However, sometimes it is still necessary to characterize the functional performance of the mixed signal circuits after packaging due to customer or manufacturer requirements, the reduced demands of the test equipment makes the proposed structural test suitable for its application at the wafer level allowing an easy discrimination of the chips before their inclusion in the SiP.

The idea of basing the test method on the analysis of a physical quantity within the chip can be extended to different types of circuits. Thus, analog systems used in the processing of discrete signals such as switched capacitor circuits (SC) can be verified by measuring the charge transfer that takes place during the phases of the clock signal. The thesis will also propose a test method for SC circuit testing using a charge sensor circuit.

Fault evaluation has been used to assess the effectiveness of the proposed tests. This technique injects the electrical representation of a physical defect, known as fault model, into the circuit under test to evaluate the influence in the digital signature provided by the BICS (proposed test) and the effect on the CUT performances (standard structural test). When the values obtained for the faulty circuit deviate beyond a threshold limit from the expected ones for the fault free circuit, the defect is considered detectable. This process allows us to compare

the coverage figures of the proposed  $I_{DDX}$  test method against a more traditional and established industrial test set.

The test method, based on the BICS, has also been experimentally validated through the design and fabrication of several benchmark circuits (analog-digital converter, operational amplifiers, current memory cells, SC integrator) together with several implementations of the current sensors and the charge sensor.

The thesis is organized as follows. The first section reviews the current test methods, both quiescent  $I_{DDQ}$  and transient  $I_{DDT}$ , and highlights the advantages associated with the internal measurement of the circuit parameters.

The second chapter presents the fault model that is later applied in the evaluation of the test method. It establishes the relationship between physical defect, the failure mechanism and the electrical fault model that best describes the influence on the operation of the circuit. It also studies the mechanisms by which fluctuations in the manufacturing process induce changes in the electrical parameters of the circuit and how to model the parametric faults that can arise.

The third chapter presents the proposed test method. It is based on the analysis of the current supply  $I_{DDX}$  through the circuit under test. The test method requires the integration of a BICS with the CUT to perform a high-resolution sampling of the current within the chip. The design and performance of several BICS structures, the coupling method and their influence on the circuit under test is described.

Chapter Four presents the benchmark circuits designed to evaluate the efficiency of the transient current test method. They include digital modules made using the register bank and decoder logic of a digital-analog converter (DAC). The analog blocks are the continuous section of the DAC, a voltage buffer and an operational amplifier. It also studies the implementation of the  $I_{DDX}$  test in switching current circuits made from  $S^2I$  memory current cells. The design process and the measurements obtained in the fabricated prototypes are shown for all these circuits.

The fifth chapter describes the fault evaluation carried out to study the effectiveness of the proposed transient current test. We have analyzed the capability of several implementations of the BICS to detect faults in digital modules and analog blocks. The results are compared with the fault coverage obtained for a set of structural tests.

The sixth chapter presents a test method based on analysis of the charge transference through the SC circuits. The test method integrates a charge sensor block with the CUT to look for the best resolution of the measured parameter. The charge sensor design and the method for coupling the module to the CUT are described and the performance of the charge sensor is characterized. Fault evaluation is also done to estimate the goodness of the test method.

Finally, the conclusions of this work are presented, highlighting the most important contributions, and suggestions for future research.

