

UNIVERSIDAD DE CANTABRIA



Departamento de Tecnología Electrónica,
Ingeniería de Sistemas y Automática

TESIS DOCTORAL

**TEST BASADO EN SENSORES DE CORRIENTE
INTERNOS PARA CIRCUITOS INTEGRADOS
MIXTOS (ANALÓGICOS-DIGITALES)**

Memoria presentada para optar al grado de
DOCTOR EN CIENCIAS FÍSICAS POR LA UNIVERSIDAD DE CANTABRIA

por Román Mozuelos García,
Licenciado en Ciencias Físicas,

Santander, 2009

Capítulo 1

INTRODUCCIÓN

En este capítulo se presentan los objetivos y la motivación de la tesis. Se revisan los métodos de test de corriente (estacionaria y transitoria) mostrando las ventajas de los transitorios de corriente como fuente de información del comportamiento del circuito. La medida interna de la corriente permite preservar la integridad de la señal muestreada.

1.1 INTRODUCCIÓN

El objetivo de este trabajo es desarrollar un método de test de circuitos de señal mixta que permita una detección rápida, fiable y con un mínimo coste de los circuitos con defectos. Se utiliza como método de test el análisis de la forma de onda dinámica de la corriente de alimentación. La idea del estudio de las magnitudes físicas internas puede ser extrapolada para realizar el test de otras clases de módulos como los circuitos de capacidades conmutadas monitorizando la transferencia de carga entre sus componentes.

Existen importantes beneficios económicos en la integración de un sistema, que combina módulos digitales, analógicos, MEM, ópticos, potencia y RF/microondas, en un mismo sustrato de silicio (SoC) o en un mismo encapsulado (SiP). Esta integración incrementa los tipos de señales que aparecen en el chip requiriendo mayores prestaciones de los equipos de test. Una técnica utilizada para disminuir el coste consiste en aumentar el número de unidades que se miden en paralelo para compartir recursos el equipo automático de test (ATE). Ambas características, procesamiento de señales más complejas y aumento del número de dispositivos testeados simultáneamente, incrementan la cantidad de datos que deben ser procesados en tiempo real para mantener una alta capacidad del proceso de test.

Todas estas tendencias se esperan que continúen en los próximos años pero al mismo tiempo el coste del test debe mantenerse bajo. La tabla 1.1 muestra algunos de los requerimientos previstos para los equipos de test [ITRS2007]. Estos equipos deben generar y procesar nuevos tipos de señales en circuitos cada vez más complejos con objeto de realizar el test del sistema

completo en un mismo puesto físico, por lo que se han agrupado en dos categorías; baja frecuencia (requerimientos básicos) y alta frecuencia.

Año de producción	2007	2008	2009	2010	2011	2012	2013	2014	2015
<i>Señales de baja frecuencia</i>									
BW (MHz)	50	75	75	75	100	100	100	100	100
Tasa de muestreo (MS/s)	Muestro a la frecuencia de Nyquist, sobremuestreo y decimación en los generadores y digitalizadores								
Resolución (bits)	Procesado de 24 bits en los DSP, el número efectivo de bits está limitado por el suelo del ruido								
<i>Generador de alta frecuencia</i>									
BW (GHz)	1.6	1.9	2.25	2.7	2.7	3	3	3.75	3.75
Tasa de muestreo (GS/s)	6.4	7.6	9	10.8	11	12	12	15	15
Resolución AWG (bits)	8/10	8/10	8/10	8/10	8/10	10/12	10/12	10/12	10/12
<i>Digitalizador de alta frecuencia</i>									
BW (GHz)	9.2	10.8	10.8	12.5	12.5	15	15	15	15
Tasa de muestreo (GS/s)	0.4	0.4	0.4	0.4	0.4	0.6	0.6	0.6	0.6
Resolución mínima (bits)	12	12	12	12	12	14	14	14	14
<i>Medida temporal</i>									
Medida del Jitter (ps RMS)	Será establecido por los requerimientos de los protocolos de comunicación serie de alta velocidad								
Medida de frecuencia (MHz)	Será establecido por la frecuencia de reloj de ASICs de altas prestaciones								

Tabla 1.1. Requerimientos de los equipos de test en los próximos años [ITRS2007]

La economía de escala predicha por la ley de Moore no se traslada de forma natural al proceso de test. Las principales contribuciones al coste del equipo de test C_{ATE} vienen dadas por los términos de la ecuación;

$$C_{ATE} = C_{BASE} + C_{INTERFASE} + C_{FUENTES-POTENCIA} + C_{CANALES-TEST} + C_{OTROS} \quad (1)$$

Donde, C_{BASE} es el coste básico del sistema de test sin ningún canal de medida (por ejemplo, incluye la infraestructura mecánica, los buses de comunicación, el software y los instrumentos indispensables). $C_{INTERFASE}$ describe los costes requeridos para interactuar con el dispositivo (encapsulados, tarjeta de prueba, electrónica para acondicionar la señal). $C_{FUENTES-POTENCIA}$ es el coste de las fuentes de alimentación. $C_{CANALES-TEST}$ incluye el coste de los instrumentos de medida para las señales digitales, analógicas, RF, memoria, etc. C_{OTROS} engloba los restantes costes (espacio físico, personal, consumo de energía).

Mientras que el coste asociado con los elementos básicos se espera que disminuya, no ocurre lo mismo con los costes asociados a los canales de test ni especialmente con el coste de la interfase. El diseño de la interfase se ve especialmente afectado por la longitud de las conexiones de la tarjeta de prueba, debido al alto ancho de banda de las señales, haciendo que el coste crezca exponencialmente con el número de circuitos verificados en paralelo en el ATE. Para ciertos productos, puede llegar a ser económicamente rentable disminuir los requerimientos del test de oblea caracterizando únicamente las prestaciones más fáciles de medir y diferir el test funcional hasta después del encapsulado del circuito.

En orden de acotar el coste del test es crucial la aplicación de técnicas de diseño para test (“Design for Test” DfT) y la integración de módulos que permitan al circuito integrado verificarse a si mismo (“Built-in Self-Test” BIST) con objeto de reducir la complejidad de la instrumentación del ATE [ITRS2007]. Técnicas DfT, como la cadena scan definida por el estándar [IEEE 1149.1], vienen siendo comúnmente utilizadas en bloques lógicos y diversos módulos BIST permiten generar los vectores de test y analizar la respuesta en los circuitos de memoria. Sin embargo, en circuitos analógicos/mixtos, a pesar de la extensión del bus de test en el estándar [IEEE 1149.4], la aplicación del DfT y BIST está menos establecida y requiere mayor investigación para su incorporación al mundo industrial.

Anteriormente, las diversas clases de circuitos (digital, memoria, analógico, RF) y aplicaciones (CPU, DRAM, Ethernet, A/D, radar...) han utilizado diferentes aproximaciones de test, cada una de ellas con requisitos propios de instrumentación y placas de interfase. Actualmente, el incremento del nivel de integración ha difuminado estos límites y aumentado el interés por el DfT, ya que éxito de la integración no viene dado sólo por lo que es factible fabricar, sino también por como se puede realizar el test económicamente.

Mientras que conceptualmente los sistemas integrados en el mismo substrato de silicio (SoC) y en el mismo empaquetado (SiP) son iguales, sus métodos de test afrontan diferentes retos derivados de las diferentes tecnologías utilizadas en cada caso. Los avances en las técnicas de ensamblado y empaquetamiento junto con la dificultad de optimizar el proceso de fabricación para diferentes tecnologías han dado lugar a la prevalencia del SiP, aunque, previsibles mejoras en la producción de las obleas y en las técnicas DfT aumentarán el número de sistemas en SoC.

Los diseños SoC están formados por múltiples bloques individuales, donde se hace uso extensivo de librerías de módulos provenientes de diferentes fuentes (“Intellectual Property cores” IP). Los módulos IP encapsulan tanto el diseño como el test, lo cual suscita la necesidad de una infraestructura que soporte un DfT estructurado para permitir el acceso a todos los bloques del SoC y que sea capaz de soportar diferentes metodologías de test. En este entorno, dos importantes herramientas son el estándar de test para los módulos digitales embebidos [IEEE 1500] y la estandarización de la interfase entre el DfT y el sistema ATE para los vectores de test [IEEE 1450.6]. Actualmente, el test de bloques embebidos no digitales se efectúa considerándoles aisladamente, lo cual se ajusta al concepto de test modular en los SoC [Mar09].

El SiP permite realizar el test de los componentes antes de su integración. Al prescindir de los dispositivos erróneos en una etapa temprana se mejora el rendimiento del proceso de fabricación evitando malgastar unidades buenas de otros módulos durante el encapsulado. En este caso, el test se realiza a nivel de oblea previamente al ensamblado y al empaquetado por lo que es importante identificar un chip bueno antes de la integración. A este chip se le conoce como “Known good die” (KGC). El test a nivel de oblea generalmente no es adecuado para clasificar a los circuitos según sus prestaciones o fiabilidad. Análisis que se realizan más eficientemente después del encapsulado y de la aplicación de los procesos para acelerar la

aparición de defectos latentes en el chip, por ejemplo haciéndole funcionar bajo condiciones de temperatura y tensión de alimentación elevadas (“burn-in” BI). Por tanto, la obtención de KGD se puede realizar económicamente con un test a nivel de oblea que mida un conjunto reducido de prestaciones funcionales o paramétricas donde tienen cabida técnicas DfT y BIST.

El proceso de test es responsable del reconocimiento de los defectos de fabricación que afectan no sólo a la funcionalidad y prestaciones del circuito sino a también a su fiabilidad para garantizar el funcionamiento del sistema durante la vida útil especificada. Una porción importante del proceso de test se dedica a la activación de los defectos latentes que, aunque en un principio no dan lugar a circuitos erróneos, pueden disminuir su fiabilidad a largo plazo. Para este propósito se utilizan tradicionalmente las técnicas de “burn-in”, medida de corriente y test a alta tensión de alimentación.

La fabricación de transistores de dimensiones cada vez más reducidas conlleva un aumento de la corriente de fuga del circuito, la cual junto con la disminución de la tensión de alimentación del circuito erosiona la eficacia del BI en la activación térmica y eléctrica de los defectos. Al mismo tiempo, el diseño de circuitos en obleas cada vez más grandes, con un mayor número de pines, menor distancia entre los pads y la necesidad de verificar mayores funcionalidades a frecuencias de operación cada vez más elevadas incrementa el coste del ATE donde se realiza el BI, por lo que cobran importancia otras técnicas de mejora de fiabilidad, como el test de corriente.

La fabricación incorrecta de los circuitos integrados puede deberse a múltiples mecanismos, entre los que se encuentran; contaminación de partículas causadas por el entorno o las propias herramientas de fabricación, defectos debidos al proceso de fabricación como fisuras o tensiones en el chip, variaciones en los parámetros del proceso de fabricación que dan lugar a diferentes niveles de dopado o anchura de capas de material, errores de diseño de las máscaras que afectan a dimensiones críticas y difusión de átomos que contaminan el substrato de silicio.

El objetivo fundamental del test es distinguir entre los circuitos correctos y los defectuosos. Al principio, cuando los circuitos eran menos complejos, este objetivo se alcanzaba con un test funcional. Sin embargo, a medida que aumentaba la complejidad de los IC, el test funcional comienza a ser caro por los recursos que requiere e ineficiente en la detección de las imperfecciones del proceso de fabricación.

Aparecen métodos, conocidos como test estructurales, que buscan validar la estructura del diseño en vez de su funcionalidad. El test estructural está íntimamente ligado al uso de técnicas DfT, por ejemplo, la inclusión de una cadena de registros de desplazamiento para superar la estructura secuencial de los circuitos lógicos o el test de oscilación en circuitos analógicos [Hue06].

El test basado en defectos (DBT) va un paso más allá y trata de deducir la existencia de un defecto midiendo propiedades del comportamiento del circuito (tensión, corriente, tiempo) que puedan ser afectadas por los defectos sean parte o no de las especificaciones [Sac07]. Este

método requiere una abstracción (modelo de fallos) para representar con precisión los defectos físicos a un nivel procesable por un simulador circuital.

La aplicación del DBT a menudo da lugar a un test de producción más corto y efectivo al enfocar la generación de los vectores de test hacia los tipos de defectos con mayor probabilidad de ocurrencia [Dek88]. Además, la información obtenida de los fallos indetectables permite mejorar el diseño del circuito bajo test, por ejemplo optimizando su layout [Lev90], y es un buen indicador para evaluar la efectividad de nuevas propuestas de test [Har94][Sac95]. La mayor limitación reside en un tiempo de desarrollo mayor por la carencia de herramientas de ayuda al diseño adecuadas y un requisito de cómputo grande para simular el comportamiento del circuito bajo las diversas condiciones de fallo.

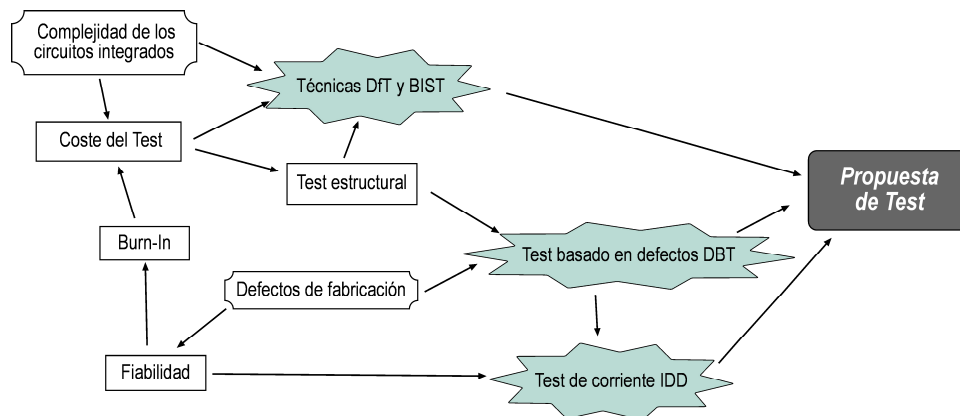


Figura 1.1. Motivación de la propuesta de test

En resumen, la fabricación económica de los sistemas complejos que es posible integrar actualmente requiere técnicas DfT para verificar los diferentes bloques que lo forman. Dado que el test tiene que garantizar, no solo las prestaciones del circuito, sino también su fiabilidad se aplican un conjunto de procedimientos, entre los que se encuentra el test de corriente, que activen los defectos latentes del chip antes de su distribución al cliente. La utilización del DfT permite mover la generación de los vectores de test del dominio funcional al estructural y enfocar el test hacia la causa última del funcionamiento erróneo del circuito; los defectos físicos que aparecen en los procesos de fabricación (test DBT).

Estos conceptos son la base de nuestra propuesta de test que consiste en una técnica DfT estructural basada en el análisis de la forma de onda de la corriente que atraviesa el circuito bajo test, utilizando un módulo diseñado específicamente para este fin (figura 1.1). Se evaluará la eficiencia del método de test considerando un conjunto de fallos que modelan los defectos físicos del proceso de fabricación.

1.2 ESTRUCTURA DE LA TESIS

La tesis se organiza de la siguiente forma. En este primer capítulo se presentan los métodos de test de corriente (estacionaria y transitoria) mostrando las ventajas de los transitorios de corriente como fuente de información del comportamiento del circuito. La medida interna de la corriente permite preservar la integridad de la señal muestreada.

En el segundo capítulo se presenta el modelo de fallos que posteriormente se aplicará en la evaluación del método de test. Se establece la relación entre el defecto físico, su mecanismo de aparición y el modelo eléctrico que mejor describe su influencia en el funcionamiento del circuito. Con objeto de analizar un test estructural, los defectos estudiados se modelan como fallos de puente, ruptura del óxido de puerta y abiertos a nivel de dispositivo. También se han estudiado el procedimiento por el cual variaciones en el proceso de fabricación dan lugar a fallos paramétricos.

El tercer capítulo presenta el método de test propuesto en la tesis. Está basado en el análisis de la corriente de alimentación I_{DDX} del circuito bajo test (CUT). Para ello se integra junto al CUT un bloque, denominado sensor de corriente (“Built-in Current Sensor” BICS), que realiza el muestreo dentro del chip de la corriente con objeto de obtener una buena resolución de la magnitud medida. Para analizar las diferentes clases de bloques que aparecen en un sistema de señal mixta (figura 1.2) se diseñan dos tipos de BICS, uno para módulos digitales y otro para bloques analógicos, que procesan la corriente de la misma forma. En este capítulo se describe su diseño, prestaciones y acoplamiento al circuito bajo test (CUT).

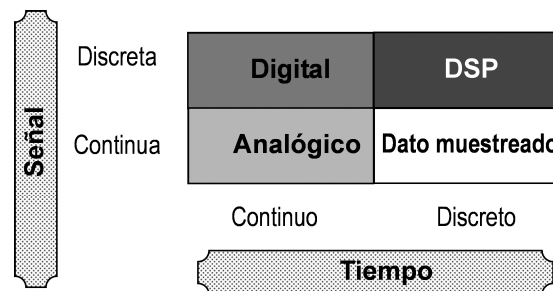


Figura 1.2. Los circuitos de señal mixta pueden ser discretos y continuos en el tiempo y señal [Hue04]

El capítulo cuatro describe los circuitos de prueba diseñados para evaluar la eficiencia del método de test de corriente transitoria. Se incluyen los módulos digitales formados por el banco de registro y la lógica de selección de un convertidor digital-analógico (DAC). Los bloques analógicos continuos consisten en la sección analógica del DAC en modo corriente, un buffer de tensión y un amplificador de operacional. También, se estudia la aplicación del test I_{DDX} a circuitos conmutados, utilizando una celda de memoria de corriente S^2I , un integrador S^2I y un convertidor analógico-digital S^2I . De todos los CUT se muestra el proceso de diseño y las medidas obtenidas en los prototipos fabricados.

En el quinto capítulo se desarrolla la evaluación de fallos que estudia la eficacia del método de test de corriente transitoria propuesto. Se analiza la habilidad de las diversas implementaciones del sensor de corriente para detectar fallos en los módulos digitales y en los bloques analógicos. Los resultados se comparan con las coberturas de fallos obtenidos para un conjunto de test estructurales basados en la medida de la corriente estacionaria que atraviesa el circuito y en la tensión de continua a la salida de los circuitos de prueba.

La medida de la corriente como parámetro físico no siempre es el método más adecuado para los sistemas conmutados. En los circuitos de capacidades conmutadas (SC) la magnitud analizada es la carga (figura 1.3). En el capítulo seis se presenta un método de test basado en

el análisis de la carga extraída y suministrada al nudo de referencia o tierra virtual de los circuitos SC. Para ello se integra junto al CUT un bloque, denominado sensor de carga, que realiza el muestreo de la carga dentro del chip con objeto de obtener una buena resolución de la magnitud medida. Se describe el diseño, el acoplamiento al CUT y se caracterizan las prestaciones del sensor de carga. También se realiza una evaluación de fallos para estimar la eficacia del método de test

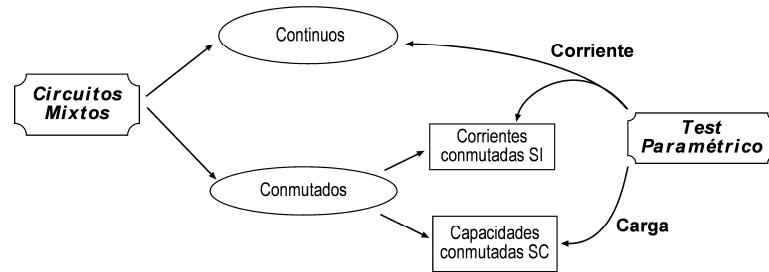


Figura 1.3. Métodos de test paramétricos desarrollados en la tesis

Por último se presentan las conclusiones del presente trabajo, exponiéndose las aportaciones más importantes y se realizan sugerencias para futuras líneas de investigación.

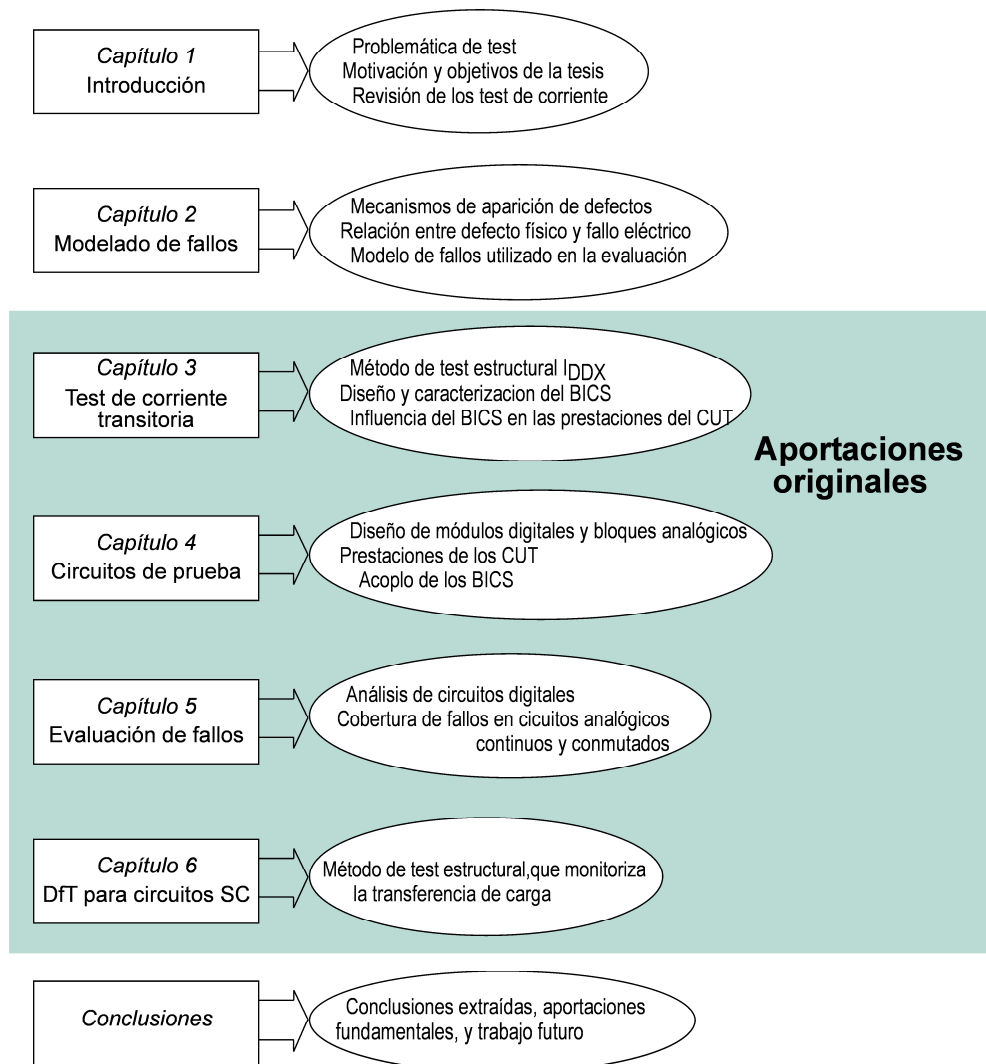


Figura 1.4. Estructura de la tesis

1.3 TEST BASADO EN DEFECTOS

El concepto de test basado en defectos agrupa a un conjunto de test de fabricación cuyo objetivo es descubrir la presencia de los defectos físicos utilizando modelos de fallos realistas. Test encuadrados en este grupo incluyen el test de tensión (no funcional), el test de retraso, el test de corriente estacionaria (I_{DDQ}) y el test de corriente dinámica (I_{DDT}).

En los circuitos digitales, el test de tensión que utiliza el modelo de fallos más sencillo (stuck-at) asume que los defectos se manifiestan únicamente conectando los nudos a la tensión de alimentación “stuck-at 1” o a tierra “stuck-at 0”. Esto permite representar también el comportamiento del circuito defectuoso a nivel booleano facilitando el desarrollo de vectores de test, cuyo objetivo ya no es verificar la tabla de verdad del circuito sino estimular cada nudo con los niveles lógicos alto y bajo y propagar el valor hasta una de las salidas [Abr94].

El test de retraso cuantifica la velocidad de funcionamiento del circuito evaluando el retraso a través de los diferentes caminos de propagación de la señal. El test de retraso utiliza una secuencia de dos vectores, el primero fija las condiciones iniciales y el segundo activa la señal que verifica el tiempo de transición de una puerta o de una rama de propagación [Kim03].

Ambos tipos de test de tensión tienen su equivalente en el mundo analógico donde las entradas que se aplican, tanto DC como AC o transitorias, buscan excitar los defectos modelados en una lista de fallos. Las salidas del bloque analógico simplemente se comparan con las esperadas para el circuito correcto sin la necesidad de caracterizar las prestaciones del circuito [Mil89].

El test de tensión o test lógico tiene algunas limitaciones en la detección de defectos físicos que, sin causar cambios de tensión significativos en el circuito, disminuyen su fiabilidad como son abiertos, cortocircuitos de alto valor resistivo, rupturas de óxido, etc. Por tanto, el test de tensión aún obteniendo coberturas de fallos cercanas al 100% no es suficiente y los métodos de test se deben orientar más hacia la detección de defectos físicos relacionados con el layout y el proceso de fabricación si se desea mejorar la calidad del test [Mue74]. Además en grandes circuitos se presenta la dificultad de controlar y observar los nodos internos encareciendo el coste de la generación y aplicación de los vectores de test. Un test que monitorice el consumo de corriente del circuito permite eludir algunas de estas restricciones.

La medida de la corriente estacionaria (I_{DDQ}) apareció como método complementario para mejorar la calidad del test de los circuitos CMOS digitales [Lev81]. Posteriormente, también ha pasado a ser una técnica importante de test en los circuitos analógicos [Mai98].

Algunos defectos, como ciertos abiertos, no producen cambios de tensión en los nudos del circuito y por tanto no pueden ser detectados por el test I_{DDQ} . Además, el test I_{DDQ} pierde efectividad cuando se aplica en tecnologías submicrónicas como se explicará posteriormente. Para soslayar estas limitaciones se han propuesto técnicas que analizan los transitorios de la corriente de alimentación (test I_{DDT}) [Mak95][Sac98]. Ya que en los transitorios, al estar directamente relacionados con la actividad del circuito, se puede relacionar su variación con la presencia de defectos.

Los test de corriente se tratan con más detalle en los siguientes apartados de este capítulo.

1.4 TEST DE CORRIENTE ESTACIONARIA

El I_{DDQ} (“quiescent I_{DD} ”) es un test que mide la corriente de alimentación del circuito en estado estacionario. Es un método especialmente indicado para circuitos digitales estáticos CMOS debido a que este tipo de circuitos consumen muy poca corriente en estado estacionario (idealmente cero).

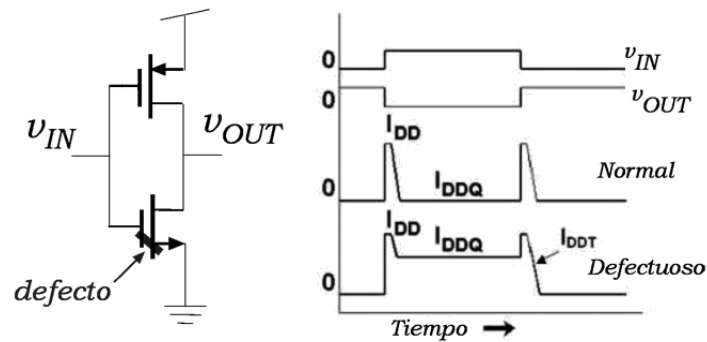


Figura 1.5. Concepto del test I_{DDQ} , medida de la corriente estacionaria que atraviesa el circuito CMOS

La figura 1.5 muestra un ejemplo de la aplicación del test I_{DDQ} sobre un inversor estático CMOS. Cuando la entrada v_{IN} está baja (cero lógico) el transistor PMOS conduce y el NMOS está apagado, por tanto el nivel de tensión de salida v_{OUT} es alto (uno lógico). Ocurre lo opuesto cuando la entrada está alta. La parte derecha de la figura muestra las formas de onda de tensión y corriente. La entrada v_{IN} experimenta una transición de subida seguida por una de bajada, lo que causa en v_{OUT} un flanco de bajada y posteriormente otro de subida. Aparecen picos o transitorios de corriente durante las transiciones de la salida debido a la carga y descarga de las capacidades del circuito. La corriente que queda después de un cierto tiempo es la corriente estacionaria I_{DDQ} . Si durante la fabricación hubiese aparecido un defecto en el óxido de puerta que provoca una conexión resistiva entre puerta y fuente, la funcionalidad del circuito no variaría (mantiene un adecuado comportamiento lógico), pero cuando v_{IN} está alta, la corriente fluye desde V_{DD} a través de v_{IN} y el defecto hasta GND. Midiendo I_{DDQ} en ese momento aparece un alto nivel de corriente indicador de la presencia del defecto. [Lev81] [Mal82]. Cuando esto ocurre se degrada la funcionalidad del circuito debido a un reducido margen de ruido, a un mayor tiempo de carga de la capacidad de los nudos, etc.

En el ejemplo, la I_{DDQ} es alta sólo cuando v_{IN} es alta, dado que en ese momento se excita el defecto. Este tipo de defectos que causan una elevada corriente para una combinación específica de entradas se llaman activos (“pattern dependent”). Por otro lado, el defecto pasivo es el que no depende del valor de la entrada, por ejemplo uno que cause un cortocircuito entre V_{DD} y GND. Para facilitar la generación de los vectores de test que activen todos los posibles defectos del circuito se requiere un modelo de fallos que traslade las propiedades físicas de los defectos de fabricación a un comportamiento eléctrico utilizable por las herramientas de simulación. La relación entre defectos y fallos para la tecnología CMOS se desarrolla en profundidad en el siguiente capítulo.

Hay varios motivos del éxito del test I_{DDQ} en el mundo industrial. La principal razón es su bajo coste de aplicación y el hecho de que ataca la raíz del problema (defecto físico) en la identificación de los circuitos erróneos, permitiendo al fabricante de circuitos integrados complementar el test funcional de tensión. El test I_{DDQ} conlleva costes reducidos en términos de esfuerzo de diseño, área de silicio y generación de vectores de test. También el tiempo de aplicación es relativamente pequeño comparado con el requerido para el test de tensión. Mientras que aumentar la cobertura de fallos del 80% al 95% con un test de tensión puede requerir doblar el coste del test, unos pocos vectores I_{DDQ} pueden proporcionar los mismos o incluso superiores beneficios [Raj95].

1.4.1 Efectividad del test I_{DDQ}

Se han realizado un gran número de estudios que relacionan la efectividad del test I_{DDQ} y del test de tensión en los circuitos digitales.

Perry publicó un estudio de tres años donde el test I_{DDQ} se implementa para reducir la mortandad durante las etapas tempranas de la vida de los circuitos [Per92]. Utilizó un conjunto de ASICs CMOS que previamente habían superado un test de tensión que proporciona una cobertura del 99% utilizando un modelo de fallos stuck-at. En el estudio, el test I_{DDQ} redujo el nivel de rechazo al menos por un factor de cuatro.

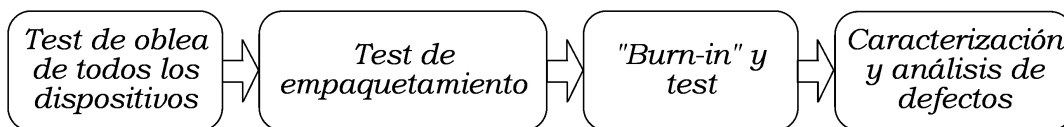


Figura 1.6. Principales etapas del proceso

El consorcio SEMATECH (Semiconductor Test Method Evaluation) promovió un proyecto para comparar la efectividad de diversos métodos de test de tensión y corriente [Nig97][Nig98]. En este experimento se analizan un gran número de circuitos y se incluye una etapa de “burn-in” (BI) para tener en cuenta aspectos de fiabilidad (figura 1.6). El BI es un proceso donde se hace funcionar a los circuitos integrados a altas temperaturas y elevadas tensiones de alimentación. De esta manera se acelera la degradación de los posibles defectos del circuito quedando las unidades consideradas más fiables [Vol99].

Para las pruebas se utiliza un circuito estático CMOS fabricado en un proceso de $0.8\mu\text{m}$ y tres niveles de metal. Está formado por 116K puertas lógicas equivalentes y 5280 latches conectados en una cadena scan con dos dominios de reloj cuyas frecuencias de operación son 40Mhz y 50Mhz.

Los test aplicados incluyen

1. Un test funcional a la velocidad de funcionamiento con una cobertura del 52% utilizando un modelo de fallos stuck-at que requiere 532K ciclos de reloj.
2. Un test de tensión (stuck-at scan) que utiliza la cadena scan para obtener una cobertura del 99.79% con el modelo de fallos stuck-at, aplicando 8023 vectores de test.
3. 195 vectores I_{DDQ} con una cobertura de fallos del 95.7%.

- Un test de retraso (AC scan) donde se aplican 5232 transiciones en las entradas a la velocidad del funcionamiento y se analizan los valores lógicos de los nudos del circuito a través de la cadena scan. Los vectores de test permiten una cobertura de fallos de transición del 91%.

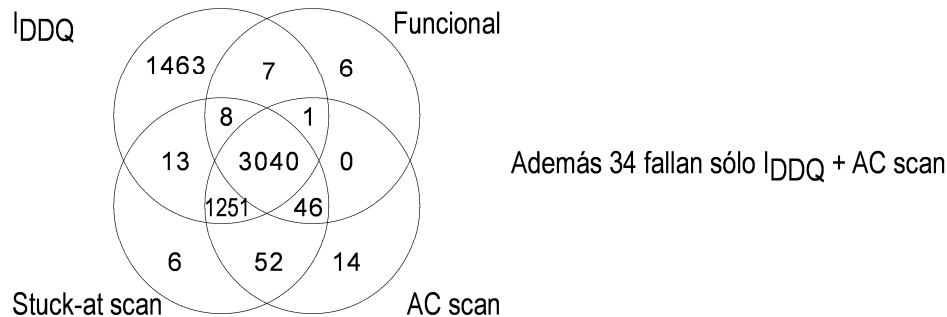


Figura 1.7. Efectividad de varios tipos de test, con un límite de detección de 500nA para I_{DDQ} [Nig39]

La efectividad de los diferentes tipos de test se muestra en el del diagrama de la figura 1.7, resultados que están en concordancia con otros estudios experimentales similares [Max92]. Las conclusiones más importantes que se pueden extraer son;

- Todas las clases de test detectan fallos únicos
- Muchos de los circuitos fallan únicamente con el test I_{DDQ} . Con un nivel de detección de 500nA el número de chips que no pasan el test I_{DDQ} es mayor que con cualquier otra combinación de tests.
- El número de circuitos detectados está fuertemente influenciado por el nivel de corriente de detección elegido. Es difícil elegir un único nivel de detección para el test I_{DDQ} que pueda discriminar de manera fiable los circuitos defectuosos ya que un límite demasiado bajo reduce significativamente el rendimiento de la fabricación (yield).
- Se han encontrado un número significativo de defectos que afectan a la velocidad de funcionamiento del circuito.
- Es necesario obtener una gran cobertura para el conjunto de test que se aplicarán en producción con objeto de maximizar la detección de circuitos defectuosos.
- Tras la etapa de "burn-in" (BI) los circuitos con una alta I_{DDQ} fallan con más probabilidad que los que tienen un nivel de corriente estacionaria baja (tabla 1.2). El inconveniente del BI es que es un proceso caro, lo que hace muy interesantes los test eléctricos que detecten peligros de fiabilidad como el test de corriente.

Los datos de la tabla 1.2 llevan a dos conclusiones diferentes. Primero, los circuitos que fallan sólo el test I_{DDQ} tienen una fiabilidad menor comparada con los que si pasan el test. Segundo, la gran mayoría de los circuitos que no pasan el test I_{DDQ} podrían ser considerados buenos ya que pasan los test funcionales. Estos datos aportan argumentos tanto a favor como en contra del test de corriente ya que en el test I_{DDQ} , a diferencia del test funcional, no existe una condición inherente que permita determinar si el circuito es correcto o erróneo dado que no suele estar relacionado con ninguna de las especificaciones del dispositivo.

Corriente	Porcentaje de fallos después de burn-in
< 5μA	0.5
5-100μA	0.5
0.1-1mA	1.1
1-5mA	2.0
> 5mA	3.8

Tabla 1.2. Porcentaje de fallos después del burn-in en función de la corriente I_{DDQ} original [Nig98]

El fabricante se encuentra con el dilema de que si rechaza los chips que fallan sólo el test I_{DDQ} puede resultar en una pérdida inaceptable del yield [Che00]. Por otra parte, un circuito que consume demasiada corriente puede contener algún defecto indetectable por un test de tensión (como un cortocircuito altamente resistivo). Este circuito, con el tiempo puede acabar fallando en el sistema y dar lugar a una devolución por parte del cliente con los costes directos (reemplazo del elemento defectuoso) e indirectos (pérdida de reputación del fabricante) asociados [Gay93].

Para tratar con este dilema se han desarrollado metodologías que aporten más información para una adecuada discriminación entre los circuitos defectuosos y los correctos.

1.4.2 Retos del test I_{DDQ}

Tradicionalmente, el test I_{DDQ} ha establecido un único límite para la detección de los circuitos defectuosos. Se mide la corriente estacionaria para varios vectores de entrada y el circuito se considera defectuoso si en algún caso se excede este límite. El valor de corriente queda establecido bien empíricamente o a través de una simulación eléctrica. Mientras que esta aproximación puede ser adecuada para procesos antiguos pierde su validez con la aparición y desarrollo de las tecnologías profundamente submicrónicas (DSM).

A medida que se reduce la geometría de los transistores es necesario disminuir la tensión de alimentación, tanto para preservar el óxido fino de la presencia de grandes campos eléctricos como para reducir el consumo de potencia. Sin embargo, para mantener las prestaciones de los transistores es necesario reducir la tensión umbral de conducción (V_{TH}) y al mismo tiempo disminuir el espesor del óxido de puerta, para un control efectivo de la corriente del canal I_{Dsat} a través de la tensión puerta-fuente del transistor. En estas condiciones la corriente subumbral que circula por el transistor (cuando $V_{GS} < V_{TH}$) crece exponencialmente con la reducción de la tensión umbral V_{TH} según la ecuación;

$$I_{sub} = \mu \cdot C_{ox} \cdot (1-\eta) \cdot \frac{W}{L} \cdot V_t^2 \cdot e^{\frac{V_{GS}-V_{TH}}{\eta V_t}} \cdot (1 - e^{-\frac{V_{DS}}{V_t}}) \quad (2)$$

Donde μ es la movilidad de los portadores, C_{OX} es la capacidad de puerta por unidad de área, W y L son la anchura y longitud del canal del transistor respectivamente, V_{GS} la tensión puerta-fuente, $V_t = kT/q$ es la constante térmica y η es un parámetro dependiente de la tecnología [Roy03][Fig98].

Año	I_{DDQ} Máxima
2001	30-70 mA
2003	70-150 mA
2005	150-400 mA
2008	400mA-1.6 A
2011	1.6-8 A
2014	8-20 A

Tabla 1.3. Previsión para la corriente estacionaria en IC de altas prestaciones [ITRS2001]

Debido al efecto acumulativo del aumento del número de transistores por chip, la incorporación de bloques analógicos junto a los digitales y la reducción de la tensión umbral de los transistores, el nivel de la corriente de fuga (I_{DDQ}) se incrementa con cada avance tecnológico. La previsión de la “International Technology Roadmap of Semiconductors” [ITRS2001] se muestra en la tabla 1.3. Los datos de esta tabla, aunque no deben ser interpretados literalmente, proporcionan valores relativos del consumo de corriente a medida que la resolución de la tecnología aumenta. Estos números pueden ser significativamente más bajos si se aplican técnicas de reducción de potencia en el diseño del circuito.

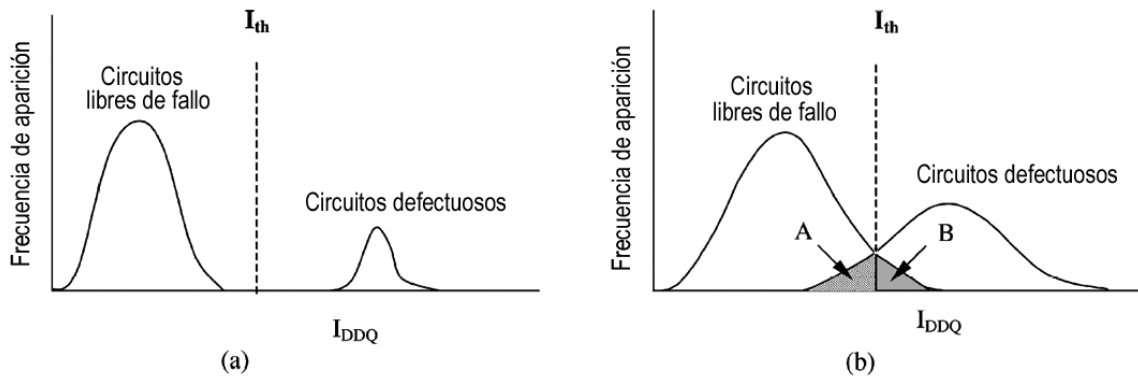


Figura 1.8. Discriminación utilizando un límite único de I_{DDQ} (I_{th}) para (a) tecnologías antiguas y (b) tecnologías submicrónicas

Además, los valores de I_{DDQ} para el circuito libre de fallo experimentan una mayor varianza debido, por una parte, a que es más difícil controlar la geometría de los transistores a medida que su tamaño disminuye, y por otra a la aparición de una mayor dispersión de los parámetros de fabricación en las tecnologías submicrónicas [Sod96].

Esto lleva a un solapamiento entre las distribuciones de corriente del circuito libre de fallo y del circuito defectuoso. El aumento de la corriente de fuga de los transistores reduce los márgenes de identificación y la resolución de los equipos de medida en el test I_{DDQ} [Wil96]. Como se ilustra en la figura 1.8b, el límite único en la distribución de la corriente en la gráfica da lugar al rechazo de los circuitos buenos de la zona sombreada B (pérdida de Yield) o a que circuitos defectuosos sean identificados como buenos (escapes de test) en la zona sombreada A. Con la llegada de las tecnologías DSM se considera que la aceptación del límite único para la detección en el test I_{DDQ} no es suficiente dado que las pérdidas del yield debido a los

circuitos que fallan únicamente en el test I_{DDQ} sobrepasa los beneficios de la mejora en la detección de defectos físicos [Sab02b].

Se han desarrollado técnicas con objeto de reducir la corriente de fuga del chip que, a la vez que disminuyen la potencia disipada, prorrogan la eficacia del test de corriente [Roy03] [Kao02]. Las soluciones para disminuir la I_{DDQ} se aplican tanto en el proceso tecnológico como a nivel de circuito.

En el proceso tecnológico, las técnicas de reducción de I_{DDQ} actúan sobre los principales mecanismos que contribuyen a la corriente estacionaria; uniones PN polarizadas en inversa (pozos y fuente/drenador - sustrato), corriente que atraviesa el óxido fino y corriente subumbral o de apagado del transistor.

1. Sobre la corriente que atraviesa las uniones PN polarizadas en inversa se actúa utilizando tecnologías alternativas. Los transistores se construyen sobre un sustrato aislante ("Silicon on Insulator" SOI) por lo que tienen menores capacidades parásitas y un comportamiento casi ideal de la corriente umbral permitiendo reducciones muy significativas de la corriente estacionaria [Dav95].
2. La reducción de la anchura del óxido de puerta ha llegado hasta alcanzar 5 átomos (1.2nm) para procesos de 45nm. A esta escala, la forma de onda que describe la probabilidad de la posición de un electrón es más ancha que el óxido de puerta y el electrón puede, simplemente, aparecer en el otro extremo del óxido de puerta, es lo que se conoce como efecto túnel. Esto da lugar que la corriente de fuga a través de la puerta haya aumentado dos ordenes de magnitud en las últimas tres generaciones de transistores. Por tanto, La reducción de corriente que atraviesa el óxido fino requiere materiales con una mayor constante dieléctrica (high-K) que el dióxido de silicio, los cuales permiten obtener la misma capacidad de puerta con un mayor espesor del dieléctrico [Boh07].
3. Las características de los dispositivos de canal corto se pueden mejorar con un dopado no uniforme del canal (Retrograde doping). Un bajo dopado en la superficie mejora la movilidad de los portadores mientras que un alto dopado en la profundidad actúa como barrera. El dopado no uniforme también se puede aplicar en la dirección lateral del canal (Halo doping) aumentando el número de impurezas cerca de la fuente y drenador del transistor. Con ambas técnicas se reduce la dependencia de la tensión umbral con el tamaño del transistor disminuyendo el valor y la varianza de la corriente de apagado del transistor [Rou03].

A nivel de circuito se busca disminuir la corriente subumbral (I_{sub}) utilizando diferentes aproximaciones;

1. La polarización del sustrato del circuito con una tensión negativa (para transistores NMOS y positiva para PMOS) aumenta la tensión umbral V_{TH} y consecuentemente reduce la corriente I_{sub} [Kes97].

2. Apilamiento de transistores. La corriente subumbral que atraviesa un conjunto de transistores en serie se reduce cuando más de uno está apagado (para dos transistores la corriente I_{sub} es un orden de magnitud inferior). Este efecto se puede lograr con una adecuada elección de los vectores de test (por ejemplo ambas entradas de una puerta NAND a tierra) o insertando transistores en el circuito con este propósito específico [Joh02].
3. Utilizar un proceso CMOS que permita transistores con diferentes tensiones umbrales dentro del mismo circuito. Los transistores con V_{TH} alta se utilizan para reducir la corriente I_{DDQ} y los que tienen la V_{TH} baja, debido a su mayor corriente de saturación, serán los encargados de proporcionar las prestaciones del circuito integrándose en el camino crítico de la señal [Wey99].
4. Uso de múltiples tensiones de alimentación. Esta técnica, originalmente desarrollada para la reducción de la corriente de conmutación del circuito, también disminuye la corriente estacionaria debido a la dependencia de la corriente I_{sub} con la tensión V_{DS} de los transistores. La reducción puede ser estática, diferentes dominios del circuito tienen diferentes V_{DD} , o dinámica donde la tensión de alimentación se ajusta en función de la carga de trabajo requerida.
5. Realizar el test I_{DDQ} a bajas temperaturas. Los datos muestran que la corriente subumbral a -55°C es de al menos tres ordenes de magnitud inferior a la corriente a temperatura ambiente.

1.4.3 Métodos de test I_{DDQ}

Se han propuesto diversas soluciones para mantener la efectividad del test I_{DDQ} sin una pérdida significativa de yield cuando las distribuciones de la corriente para el circuito libre de fallo y para el circuito defectuoso se hacen indistinguibles. Estas propuestas, orientadas principalmente a circuitos digitales, se pueden agrupar en tres grandes bloques:

Utilización de un parámetro adicional relacionado con I_{DDQ} para estimar si la corriente estacionaria de cada chip es válida o no. Este parámetro puede ser la;

1. Temperatura. La corriente estacionaria del circuito libre de fallo presenta una relación exponencial con la temperatura, sensibilidad que no se mantiene en un circuito defectuoso (dominado ahora por el coeficiente térmico del defecto). Con lo cual la medida de I_{DDQ} a dos temperaturas diferentes podría discriminar entre ambos casos [Kal01]. Una de las medidas puede realizarse a temperatura ambiente y la otra a baja temperatura (con un elevado coste de producción) o a alta temperatura calentado la oblea.
2. Frecuencia máxima de funcionamiento (F_{max}). Tanto las corrientes de fugas como el retraso del transistor dependen de la longitud efectiva del canal. A menor L_{eff} , más rápido puede conmutar el transistor F_{max} y mayor I_{DDQ} . Por tanto, la correlación entre F_{max} e I_{DDQ} se puede utilizar para cribar los circuitos defectuosos [Kes00].

3. Sensibilidad a la luz. Las características del circuito se ven afectadas por los pares electrón-hueco generados por los fotones. En este método se realizan dos medidas de la corriente bajo diferentes condiciones de iluminación [Ohn00]. Aunque el incremento de I_{DDQ} es uniforme tanto en circuitos libres de fallos como en los defectuosos, las líneas flotantes pueden hacer conmutar las puertas lógicas al ser afectadas por la luz. Esta aproximación sólo se puede aplicar a nivel de oblea y la resolución depende de varios factores como la fotoconductividad de los materiales, intensidad de la luz, número de transistores que conmutan, etc.

Estimación de la corriente I_{DDQ} a partir de un modelo. Se construyen modelos elaborados para estimar la corriente de cada elemento de la librería digital [Fer00]. La I_{DDQ} se obtiene computando el máximo consumo de corriente en todas las celdas para cada vector de entrada. Para los circuitos submicrónicos es necesario modelar los cambios debidos al proceso explícitamente [Unn98] o a través de análisis empíricos aplicando regresión lineal múltiple [Var00].

Aplicación de técnicas de análisis y reducción de la varianza de corriente. Se realiza un postprocesado de los datos para resaltar los circuitos defectuosos. La principal ventaja de este método es la poca inversión que requiere, la mayoría de las veces basta con una reconfiguración del software del equipo automático de medida. Sin embargo, tiene el inconveniente de que la efectividad depende de la estabilidad del proceso. Algunas de estas técnicas son;

1. Firma de corriente (Current Signature) [Gat97]. Este método representa gráficamente las medidas de I_{DDQ} en orden ascendente. Cuando un defecto se activa aparecerá un salto o discontinuidad en la firma de la corriente. A pesar de su simplicidad esta técnica es bastante efectiva permitiendo obtener la suficiente información del comportamiento del circuito para realizar la diagnosis de los fallos [Lav99].
2. Incremento de corriente (Delta I_{DDQ}) [Mil96][Thi97]. Se obtienen las diferencias de corriente entre dos medidas sucesivas. Para circuitos libres de fallos el valor medio de estos datos será nulo y la variación de corriente pequeña. El circuito se clasifica como defectuoso cuando la ΔI_{DDQ} sobrepasa un valor máximo establecido. Este método no permite detectar fallos pasivos que producen el mismo incremento la corriente independientemente de los vectores de test aplicados. La robustez de esta técnica se puede mejorar ordenando las medidas de corriente antes de obtener su incremento. A este método se le conoce como análisis de segundo orden y combina las características de la firma de corriente y de ΔI_{DDQ} [Li00].
3. Cociente de corriente (Current Ratio) [Max99]. Se basa en que la relación de la I_{DDQ} máxima y mínima es la misma para los circuitos libres de fallos aunque sus valores absolutos difieran, ya que al estar gobernada sólo por el proceso de fabricación es independiente de los vectores de entrada.

4. Firmas Eigen (Eigen Signatures) [Oku02]. Se establecen diversas relaciones entre el valor medio de la I_{DDQ} y su varianza para discriminar los circuitos defectuosos, permitiéndose una variación de la corriente proporcional al valor medio.
5. Rechazo estadístico de elementos atípicos (Statistical Outlier Rejection Methods) [Ric00][Sab02a]. Se realiza un procesamiento estadístico de la I_{DDQ} para un conjunto de vectores de entrada en un grupo de circuitos y a los elementos que exhiban comportamientos extraños se les clasifica como atípicos. La idea básica es que si la varianza de la corriente no puede ser explicada por los mecanismos del circuito libre de fallo, el chip puede ser defectuoso.
6. Métodos de correlación espacial a nivel de oblea (Wafer-Level Spatial Correlation Methods) [Sti97][Sab01][Sab02c]. Dado que los chips que están cercanos en la oblea están sujetos a parámetros de fabricación similares, sus valores de corriente en el caso libre de fallo deberían estar correlacionados. También, debido al agrupamiento de los defectos, circuitos con varios vecinos defectuosos van a tener una probabilidad mayor de fallar que los demás. Se han utilizado diferentes métodos para establecer la correlación que incluyen variaciones de la comparación directa y el cociente de I_{DDQ} entre circuitos adyacentes.

Como se ha expuesto anteriormente el test I_{DDQ} sufre varias limitaciones. La pérdida de resolución debido al incremento de las corrientes de fugas en tecnologías submicrónicas [Sod96][Fig98] ya que decrece su eficiencia a medida que aumenta el consumo de corriente estacionaria del circuito libre de fallo, lo cual no hace adecuada para los circuitos analógicos. El I_{DDQ} no puede detectar defectos que no producen cambios en la corriente estacionaria como ciertas clases de defecto de abierto [Hen91][Cha94]. La aplicación de los vectores de test I_{DDQ} es sensiblemente más lenta que en el test de tensión, puesto que hay que esperar a que se asienten las tensiones y corrientes del circuito antes de realizar la medida. También, los drivers de los pads de entrada y salida, diseñados para manejar grandes cargas resistivas y capacitivas, pueden enmascarar algunos fallos especialmente si estos solamente inducen pequeños cambios en la corriente.

Se han propuesto varios métodos para superar estas restricciones. Los más interesantes son;

1. El test de corriente transitoria (I_{DDT}). Se puede extraer más información del comportamiento del circuito analizado la forma de onda completa de la corriente y no sólo su valor estático. Esto permite detectar fallos que afectan a la fiabilidad del circuito como los fallos de retraso que, sin llegar a incrementar la I_{DDQ} o dar lugar valores lógicos erróneos, modifican la amplitud y duración de los transitorios de corriente.
2. Integrar sensores de corriente dentro del chip (Built-in Current Sensor, BICS) para aumentar la resolución de la medida de la corriente. De este modo, se extrae la incertidumbre introducida por el equipo externo de medida y los pads del chip, permitiendo focalizar el análisis de la corriente en los módulos de interés, realizando un particionado del circuito si fuese necesario.

Una combinación de estas dos técnicas constituye la propuesta de test de esta tesis. Las cuales se describen con más detalle en los siguientes apartados de este capítulo.

1.5 TEST DE CORRIENTE TRANSITORIA

En el test de corriente transitoria (I_{DDT}) se analizan los transitorios de la corriente de alimentación en vez de la corriente de fuga estática [Fre87][Plu95]. La forma de onda de la corriente muestra picos cuando ocurre una transición en el estado lógico de un circuito digital o cuando se aplican señales de alta frecuencia a los circuitos analógicos. Esta corriente dinámica depende de las características de la conmutación, por ejemplo cuantos transistores están involucrados, el camino que toma la corriente, el nivel de la señales de entrada en los circuitos analógicos, etc. Por tanto, la presencia de un defecto en el circuito bajo test altera la forma de onda de la corriente con lo que se puede diferenciar entre los circuitos defectuosos y el circuito libre de fallo [Mak95][Sac98]. La figura 1.9 ilustra este hecho, la discriminación se realiza comparando la forma de onda de la corriente dinámica del circuito bajo test con la estimada para el circuito libre de fallo, obtenida bien a través de simulación bien de la medida realizada en un dispositivo de referencia.

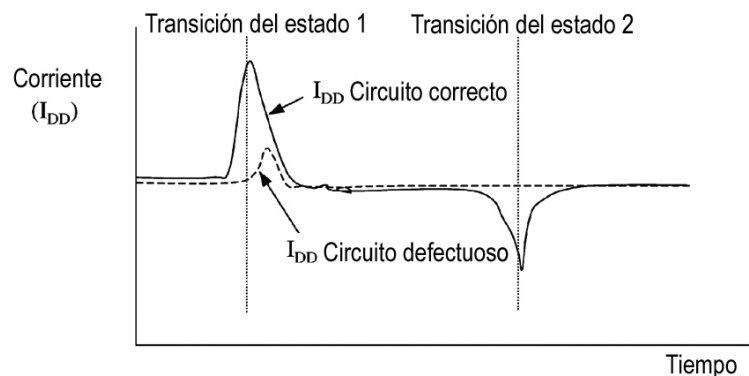


Figura 1.9. Principio del test I_{DDT} . Comparación de la corriente transitoria entre el CUT libre de fallo y el circuito defectuoso

El test I_{DDT} conserva las ventajas del test I_{DDQ} como la no necesidad de propagar el defecto hasta una salida y una alta cobertura por cada vector de test. Pero, además permite detectar ciertos defectos que dan lugar a fallos de abierto indetectables por el test I_{DDQ} y el test de tensión [Min97]. Por ejemplo, abiertos de tipo resistivo y transistores con menor nivel de conducción del diseñado son defectos que, al no incrementar la corriente estacionaria, son transparentes al test I_{DDQ} . Estos defectos no afectan a la funcionalidad del circuito, ya que introducen retrasos que un test de tensión puede no detectar, pero terminan deteriorando el comportamiento del circuito disminuyendo su fiabilidad. Un análisis de la forma de onda (I_{DDT}) permite revelar su existencia [Sin02][Thi95][Che04].

El test I_{DDT} es más rápido que el test I_{DDQ} , dado que no es necesario esperar a que se asienten las corrientes y tensiones internas del circuito para realizar la medida. Otra ventaja es que al no estar enfocado exclusivamente al análisis de la corriente estacionaria, se puede aplicar

fácilmente a otro tipo de circuitos distintos que los digitales CMOS estáticos como son los circuitos digitales dinámicos o los circuitos analógicos.

La eficacia del test I_{DDT} se analizó en un experimento llevado a cabo en los laboratorios de Philips [Sac98], estudiando 238 unidades de un decodificador de audio multicanal fabricado en una tecnología de $0.5\mu\text{m}$. Cada uno de ellos contiene un array de celdas lógicas, dos procesadores DSP y seis memorias SRAM. El conjunto de test aplicados consta de;

1. Un test lógico utilizando una cadena full-scan que proporciona una cobertura de fallos stuck-at mayor del 95%. Las memorias son verificadas, aisladamente de la lógica, con un módulo que implementa un autotest (BIST).
2. El test I_{DDQ} consta de 9 vectores, aunque se necesitan 2631 ciclos de operación en la cadena scan para precarga las tensiones adecuadas en las celdas digitales.
3. El test I_{DDT} consiste en el muestreo externo de la corriente de alimentación. Se utiliza una sonda que implementa un filtro paso banda y por tanto elimina la componente estacionaria. La amplitud del transitorio de corriente se compara con el valor obtenido en un circuito de referencia que ha pasado los test I_{DDQ} y de tensión. El margen de detección se establece en 10mV que se corresponde con un incremento de $90\mu\text{A}$ en el transitorio de la corriente de V_{DD} .

Tanto el test I_{DDQ} como el test I_{DDT} no se aplican a la memoria SRAM debido a que el BIST y su naturaleza embebida impiden el proceso.

La figura 1.10 muestra comparativamente los circuitos considerados defectuosos por cada método de test.

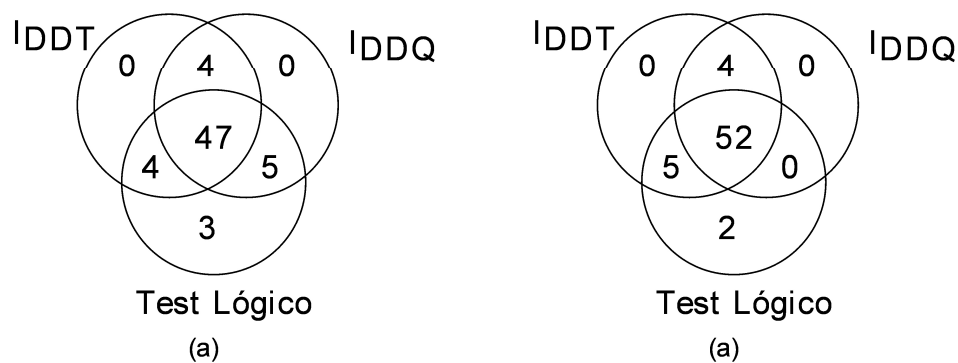


Figura 1.10. Comparación de los test lógico, I_{DDQ} e I_{DDT} para (a) límite global de detección I_{DDT} y (b) límite individual

Utilizando un límite de detección único el test I_{DDT} presenta una cobertura de fallos similar a los test I_{DDQ} y lógicos (figura 1.10a). Al estar la amplitud del transitorio de corriente determinada por el número de nodos del circuito que conmutan, una mejora automática consiste en establecer un límite de detección individual para cada vector de entrada. En estas condiciones la cobertura del test I_{DDT} aumenta significativamente (figura 1.10b) ya que detecta todos los fallos I_{DDQ} , incluyendo cinco no detectados en el experimento previo. También se registra un incremento de la detección de fallos localizados por el test lógico sobre la figura 1.10a.

Posteriormente el estudio se repitió con un DSP CMOS implementado en $0.25\mu\text{m}$ obteniéndose resultados similares [Kru99][Kru00]. Ambos experimento prueban el potencial de detección de defectos del test I_{DDT} al proporcionar una mayor cobertura de fallos que el test I_{DDQ} y el test lógico.

1.5.1 Métodos de test I_{DDT}

Se ha propuesto varias técnicas para procesar la información de los transitorios de corriente y determinar la presencia de un circuito defectuoso. La diferencia entre ellas radica en la metodología utilizada para llegar a la toma de decisiones. Los principales métodos de test I_{DDT} se resumen a continuación.

1. El método más directo es procesar los transitorios de la corriente analizando si la amplitud del pico de corriente o su duración sobrepasan o no alcanzan los límites establecidos para el circuito libre de fallo [Mak95][Che02]. La medida de la amplitud del transitorio de corriente se ha utilizado en [Kru99] para realizar un estudio comparativo del test de corriente transitoria frente al test I_{DDQ} y al test de tensión mostrando la efectividad del test I_{DDT} y su potencial para aumentar la cobertura global del circuito.
2. Corriente de respuesta a pulsos de test (“ I_{DD} Pulse Response Testing” PRT) [Bea97]. En esta aproximación, se inyectan pulsos en las dos fuentes de alimentación cuyos niveles de tensión varían simultáneamente desde un voltaje correspondiente a la mitad de la tensión de alimentación del circuito hasta sus valores finales (desde $V_{DD}/2$ hasta V_{DD} y desde $V_{DD}/2$ hasta $0V$) con todas las entradas del circuito permanentemente conectadas a $V_{DD}/2$. La corriente consumida por los transistores a medida que van alcanzando su estado final se puede analizar tanto en el dominio del tiempo como en el de la frecuencia. Este método no necesita generar vectores de test y se puede aplicar tanto a circuitos digitales como a circuitos analógicos. Sin embargo, al actuar sobre la tensión de alimentación no se puede controlar el estado lógico de las puertas digitales, necesita un modelo elaborado de los dispositivos para obtener la forma de onda de la corriente de referencia y según disminuye la tensión de alimentación en las tecnologías submicrónicas va perdiendo efectividad.
3. Test de consumo de corriente dinámica (“Dynamic Power Consumption Current-Based Testing”) [Seg95][Wal97]. La corriente transitoria de alimentación tiene dos componentes, la corriente de cortocircuito (i_{sc}) y la corriente dinámica (i_d). La corriente i_{sc} es la intensidad que circula brevemente entre V_{DD} y GND debida a la conducción simultánea de los transistores NMOS y PMOS durante las transiciones de las entradas del circuito. La corriente i_d es debida a la carga/descarga de las capacidades internas del circuito cuando conmutan las tensiones en los nudos. Ambas componentes son medidas por un integrador para obtener una tensión proporcional al área de la corriente de alimentación. Como la integral de la corriente es la carga, a este método también se le denomina test basado en carga (“Charge Based Testing” CBT).

A las entradas del circuito se aplican transiciones entre vectores de test elegidos para excitar cada fallo, de tal manera que maximicen la diferencia de la corriente dinámica frente al caso libre de fallo. Si este valor sobrepasa un límite prefijado el circuito es clasificado como defectuoso. Este método ha sido útil para la detección de defectos en memorias estáticas RAM [Alo02].

4. Análisis transitorio de la señal (“Transient Signal Analysis” TSA) [Plu95][Plu97]. La medida de la corriente de alimentación se complementa con el análisis de la tensión o corriente transitoria en diferentes puntos de test del circuito. Bajo la asunción de que la variación de los parámetros del proceso de fabricación es uniforme a lo largo del chip, el TSA puede distinguir los cambios en los transitorios causados por los defectos de los debidos exclusivamente al proceso. Si los cambios en los transitorios son debidos al proceso estarán correlacionados en los diferentes puntos de test del circuito, si por el contrario son debidos a un defecto la alteración aparecerá en un único punto de test. Este mecanismo permite la localización física de los defectos [Sin02].
5. Análisis del espectro de la corriente de alimentación (“Frequency spectrum Analysis of Dynamic Current” I_{DDF}) [Thi96]. Este método analiza el espectro de la frecuencia de la corriente de alimentación. Muestreando la corriente varias veces por ciclo se puede extraer información no solo de su nivel DC sino también de los primeros armónicos y utilizarlos para discriminar entre el circuito defectuoso y el libre de fallo. Los vectores de test aplicados son seleccionados para provocar que el defecto cambie la forma de onda de la corriente de alimentación. Dado que, normalmente, ya el primer armónico es diferente en las formas de onda de la corriente del circuito en fallo y libre de fallo, es suficiente realizar el análisis espectral con un algoritmo FFT de ocho muestras por ciclo [Thi94]. El método I_{DDF} tiene una mayor sensibilidad a los defectos que el test I_{DDQ} , sin embargo, a medida que aumenta la velocidad de funcionamiento se requieren mayores frecuencias de muestreo lo que encarece el equipo de test.
6. Test basado en la transformada Wavelet (“Wavelet Transform-Based Testing”) [Bhu02][Bhu05]. La transformada wavelet descompone una señal en múltiples escalas o resoluciones y codifica la información tanto temporal como frecuencial en unos coeficientes [Rao98] con lo que se pueden utilizar en la detección y localización de defectos. La transformada denominada wavelet madre es una función continua que verifica dos propiedades, su integral es cero y es doblemente integrable. La primera característica describe una función de oscilación y la segunda indica que la mayoría de su energía está confinada en un intervalo finito. La Transformada Wavelet Continua (CWT) de una función $f(t)$ con respecto a una wavelet $\psi(t)$ para unos números reales a y b dados se define como;

$$W(a,b) = \int f(t) \cdot \psi_{a,b}^*(t) \cdot dt \quad \text{siendo} \quad \psi_{a,b}(t) = \frac{1}{\sqrt{|a|}} \psi\left(\frac{t-b}{a}\right) \quad (3)$$

Donde la conjugada compleja viene representada por *. La CWT es una función de dos variables a y b , Para una a , $\psi_{a,b}(t)$ representa a $\psi_{a,0}(t)$ desplazada una cantidad

b a lo largo del eje temporal. Si $a > 1$, existe un estiramiento de $\psi(t)$ mientras que si está comprendida entre $0 < a < 1$ aparece una contracción. La discriminación del circuito defectuoso se realiza a través de la comparación de los coeficientes de la transformación wavelet con los obtenidos de un circuito conocido que funcione apropiadamente (golden device). La aplicación de este método está condicionada por la frecuencia de muestreo.

7. Cociente de consumo de energía (“Energy Consumption Ratio” ECR) [Jia00][Riu99]. En este caso se utiliza el valor medio de la corriente dinámica para facilitar la detección de los defectos. Las ventajas de este método radican en que es más fácil medir la corriente media que caracterizar los rápidos transitorios de corriente junto y por tanto no se requieren equipos de medida de alta velocidad. El test ECR se basa en que la presencia de un fallo altera el número, la localización y/o magnitud de los transitorios de señal cuando varían las entradas del circuito. Se utilizan dos pares de vectores de entrada y se extrae el cociente entre la corriente de las dos transiciones con lo cual se obtiene inmunidad frente a variaciones del proceso ya que, al afectar tanto al numerador como al denominador, su efecto se cancela. Para que los vectores de test maximicen la relación de corrientes uno debe excitar el fallo y el otro no. Como en todos los otros métodos I_{DXX} establecer los límites de detección no es trivial y la utilización de técnicas estadísticas puede ser útil [Jia02].

1.5.2 Medida de la corriente transitoria

Al igual que con el test I_{DDQ} , establecer los límites para el circuito libre de fallo es difícil en el test I_{DDT} . La evaluación experimental de las diversas técnicas está condicionada por la habilidad para obtener una media precisa de los transitorios de la corriente de alimentación y la realización de un procesado adecuado [Sab04].

Las medidas de los transitorios de corriente requieren dispositivos de medida con un gran ancho de banda de entrada para conservar la información de la forma de onda de corriente. También, es necesario modelar y simular la distribución de las líneas de alimentación en circuito integrado. Esta tarea se complica a medida que la tecnología avanza ya que aparecen líneas de menores dimensiones, más niveles de metal y tiempos más rápidos de las transiciones subida/bajada de las señales. Todo ello da lugar a fluctuaciones de las tensiones de alimentación y tierra debidas al ruido $L(di/dt)$, a la disminución de tensión IR y a los efectos de resonancia LC. Estas alteraciones desvirtúan la forma de onda de los transitorios de corriente medidos en los pines del chip respecto a los que aparecen dentro del bloque del circuito [Sin06].

La medida de I_{DDT} se puede obtener externamente al chip (Off-Chip). Lo cual tiene la ventaja de una mayor simplicidad en la aplicación del test, pero a cambio se necesita instrumentación de alta velocidad y gran resolución. Otra importante limitación está relacionada con el impacto de los elementos del empaquetamiento del chip, el diseño de la placa del prototipo, las capacidades de desacoplo y la influencia del equipo de medida. Todos ellos actúan como

filtros de paso bajo y eliminan información de la forma de onda de la corriente de alimentación difuminando la distinción entre el circuito defectuoso y el circuito libre de fallo [Alo3a].

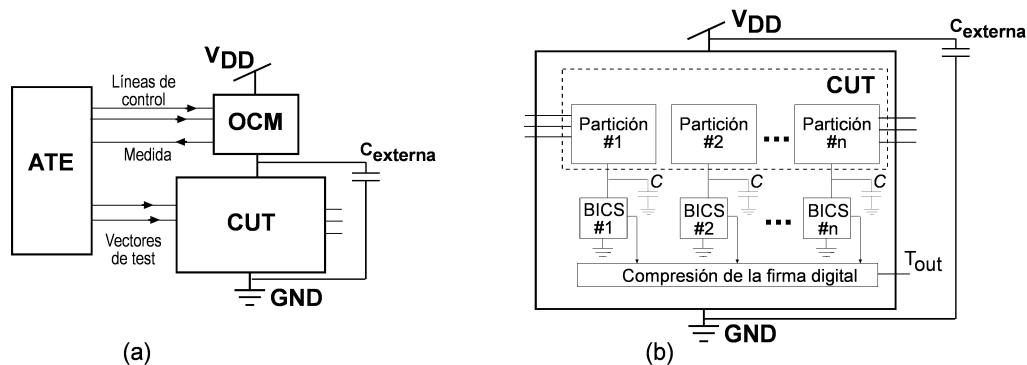


Figura 1.11. Medida de la corriente de alimentación del CUT (a) externa (OCM) (b) interna (BICS)

La corriente de alimentación, tanto I_{DDQ} como I_{DDT} , también se pueden muestrear dentro del chip (figura 1.11). En este caso se integran circuitos (BICS) en un mismo sustrato para realizar esta tarea exclusivamente. Estos módulos, al situarse junto al circuito bajo test, permiten aumentar la resolución de la medida y realizar un primer procesamiento que disminuya los requerimientos del equipo automático de test. Su principal limitación radica en la necesidad de rediseñar el circuito bajo test y la influencia que, aunque mínima, puedan tener en sus prestaciones.

Los méritos de la medida interna (built-in) frente a la medida externa (off-chip) para los test de corriente transitoria han sido comparados en [Alo4], mostrándose que la medida interna proporciona mejor sensibilidad y un menor ruido a costa de una mayor complejidad en el diseño del sistema. Por tanto, para nuestra propuesta I_{DDT} , se desarrolla un sensor de corriente con el objetivo de recoger la información sobre el comportamiento del circuito bajo test de la forma más fiable posible.

En el siguiente apartado se hace una revisión de diversos sensores de corriente reportados en la literatura.

1.6 SENSORES DE CORRIENTE

La medida de la corriente de alimentación del circuito que se desea analizar, se puede realizar por medio circuitos externos o bien integrando los circuitos de medida junto con el CUT.

El desarrollo de hardware para medir I_{DDQ} externamente al CUT ha sido investigado extensivamente durante los últimos años y ahora está disponible como opción en la mayoría de los equipos automáticos de medida. Por otra parte, aunque existen módulos de alta velocidad que permiten realizar externamente la medida de la corriente transitoria, en este caso, la principal dificultad radica en la pérdida de resolución por el efecto de filtrado de los condensadores de desacoplo del circuito y la red de distribución interna de la tensión de alimentación. Por lo que, los sensores de corriente interna aparecen como una alternativa interesante en la medida de I_{DDT} .

Existen diversas clasificaciones de los sensores de corriente, que se pueden aplicar tanto a elementos que realizan la medida externamente a los circuitos integrados (OCM) como a los utilizados en las medidas dentro del chip (BICS). Considerando el principio de medida utilizado por el sensor de corriente, se obtienen cuatro grandes grupos que se muestran en la figura 1.12.

1. Sensores basados en una resistencia. Miden directamente la corriente a través de un elemento resistivo, que puede ser un elemento lineal como una resistencia o no lineal como un transistor. Se procesa la caída de tensión en el elemento de muestreo para discriminar los circuitos defectuosos.
2. Sensores basados en un condensador. Realizan una integración de la corriente a través de la carga o descarga de un condensador colocado en el camino de la corriente de alimentación.
3. Sensores basados en un espejo de corriente. Hacen una replica de la corriente de alimentación por medio de un espejo de corriente. Además de la medida de la corriente en la rama V_{DD} -GND, también se analizan otros puntos de test en los circuitos analógicos.
4. Sensores basados en un regulador de tensión. Utilizan un regulador de tensión, normalmente basado en un amplificador operacional, para mantener la tensión de alimentación fija a un valor nominal. Se analiza la tensión de control que se aplica al sensor para lograrlo.

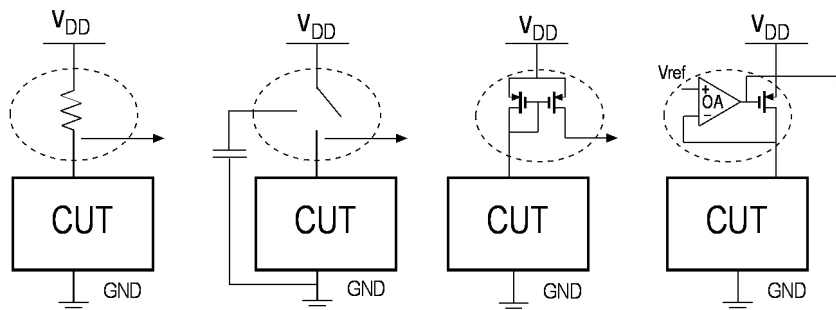


Figura 1.12. Clases de sensores de corriente

En ocasiones la misma estructura del sensor de corriente se puede utilizar para medir corriente I_{DDQ} o I_{DDT} dependiendo del tipo de procesado que se realice con su señal.

A continuación se revisan varios ejemplos de cada categoría para mostrar las diferentes aproximaciones propuestas en la literatura.

1.6.1 Sensores con una resistencia como elemento de muestreo

Las primeras propuestas para medir la corriente de alimentación están orientadas a la implementación del test I_{DDQ} . La medida de corriente se obtiene directamente de la caída de tensión provocada por un elemento que emula una resistencia, posteriormente se compara con el límite definido por el circuito libre de fallo bien en modo tensión bien en modo corriente.

La principal ventaja de este método es su facilidad de implementación pero tiene el inconveniente de la degradación de las prestaciones del circuito bajo test debido a la reducción efectiva de la tensión de alimentación por la presencia del elemento de muestreo.

Existen múltiples propuestas de implementación de este tipo de sensor de corriente. Un ejemplo es el diseño de Shen [She93] que utiliza un transistor NMOS, polarizado en la zona óhmica, como elemento de muestreo (figura 1.13). En paralelo se conecta un diodo PN para desviar la corriente transitoria, con lo cual se previene la saturación del sensor y se aumenta la velocidad de aplicación del test. La corriente muestreada se compara con una referencia interna (I_{ref}) utilizando un amplificador diferencial. Este diseño utiliza un reloj de dos fases CLK_1 y CLK_2 para evitar los instantes en los cuales la corriente transitoria puede inducir detecciones erróneas de fallos en el comparador.

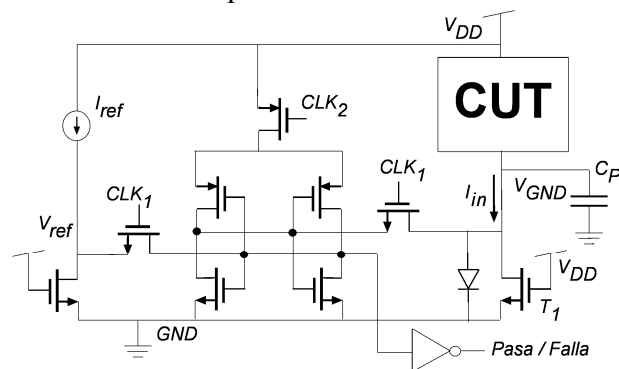


Figura 1.13. BICS con transistor y diodo de muestreo [She93]

Otras aproximaciones, en vez de eliminar la corriente transitoria, la incorporan en sus medidas. El diseño propuesto por Miura [Miu94] está constituido por varios bloques (figura 1.14); Un convertidor de corriente a tensión (transistor NMOS), un cambiador de nivel y un integrador. El cambiador de nivel transforma la tensión en el drenador del transistor a un nivel digital. El integrador mide la duración del transitorio de corriente produciendo una señal de detección de fallo si la salida del cambiador de nivel esta fuera del rango temporal esperado para el circuito libre de fallo.

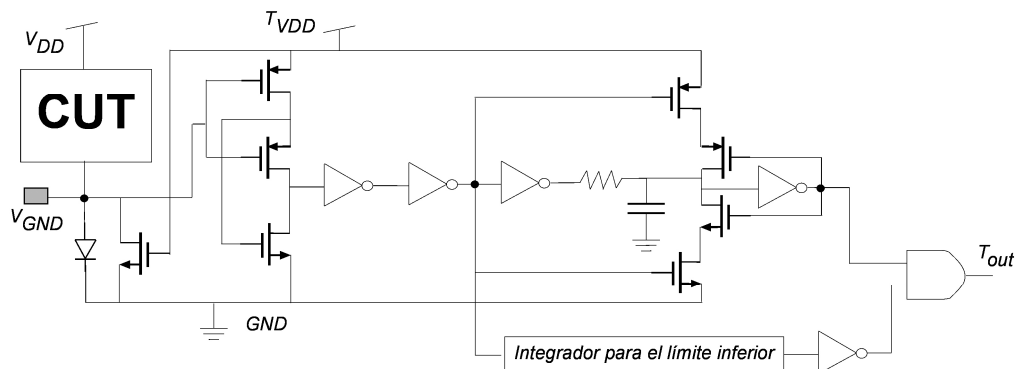


Figura 1.14. BICS que integra la corriente de alimentación [Miu94]

Para evitar la degradación en la tensión de alimentación efectiva del circuito se utilizan varias técnicas; recurrir a tensiones de alimentación duales o múltiples [Ant98], colocar dispositivos de bypass durante el modo de funcionamiento normal [Ca199] o añadir pines extra al encapsulado para fijar la tierra del circuito cuando no se realiza el test [Kim98].

Otra opción es utilizar un elemento de muestreo que produzca la menor caída de tensión posible, como la resistencia parásita de interconexión de la línea de metal de V_{DD} [Mai97] (figura 1.15). Esta implementación utiliza un amplificador basado en un espejo de corriente desbalanceado. Debido a la baja resistividad de la línea de metal (unos pocos ohmios), la tensión que cae en ella es muy pequeña, permitiendo la aplicación de este sensor en diseños con tensiones de alimentación bajas. El mismo principio se ha aplicado en el BICS propuesto en [Dra03].

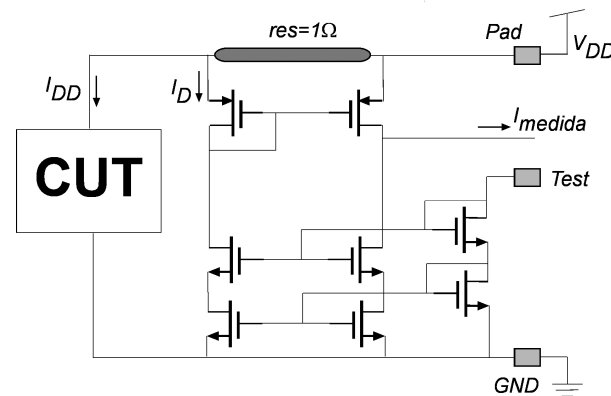


Figura 1.15. BICS muestrea la I_{DD} usando la resistencia de la línea de alimentación [Mai97]

Para realizar una medida exclusiva de la I_{DDT} , eliminando toda la información sobre la I_{DDQ} , se utiliza un filtro paso alto después de la resistencia de muestreo, facilitando el procesado de bajos niveles de I_{DDT} en presencia de un gran nivel de corriente de fuga. Los pulsos de tensión que reflejan la I_{DDT} son posteriormente amplificados por una cascada de amplificadores de baja ganancia y alto ancho de banda. Esta técnica se ha implementando tanto en un monitor de corriente externo [Kru99][Alo03b] como en un BICS [Rob07].

Otro modo de capturar los transitorios de la corriente de alimentación es a través de un acoplamiento electromagnético utilizando un circuito transductor. Se pueden utilizar sondas de corriente AC externas que consisten en un transformador montado en una pinza que se engancha entorno la línea de alimentación [Kea87]. También se ha propuesto un BICS basado en este principio, donde el elemento de muestreo es una estructura plana que implementa una bobina en el mismo nivel de metal que la red de alimentación interna del chip [Alo06]. Posteriormente, la caída de tensión entre sus extremos es amplificada para procesar la forma de onda de los transitorios. Tanto en la medida externa como interna se tiene que controlar el impacto de la inductancia de la sonda de corriente sobre el voltaje de la tensión de alimentación.

1.6.2 Sensores con un condensador como elemento de muestreo

La medida externa de la corriente estacionaria se puede obtener analizando el ritmo de descarga ($\Delta V/\Delta t$) de los condensadores de acoplo C_{DD} tras desconectar la alimentación de los pines del circuito CMOS una vez transcurridos los transitorios [Kea87]. La tensión decrece de forma constante permitiendo calcular la corriente I_{DDQ} a partir de la relación $I_{DDQ} = C_{DD}(\Delta V/\Delta t)$. La discriminación de los circuitos defectuosos se obtiene por la mayor caída de tensión que inducen respecto a la esperada para los libres de fallo (figura 1.16).

Esta técnica ha sido implementada por Wallquist en un monitor de corriente externo denominado QuiC-Mon (Quiescent Current Monitor) [Wal93]. En versiones posteriores [Wal95], en vez de medir el tiempo que tarda en decaer la tensión, se obtiene la derivada respecto al tiempo de V_{DD} para permitir medidas más rápidas. El sistema también caracteriza la capacidad parásita asociada al pin de alimentación para cada vector de test utilizando un puente LCR.

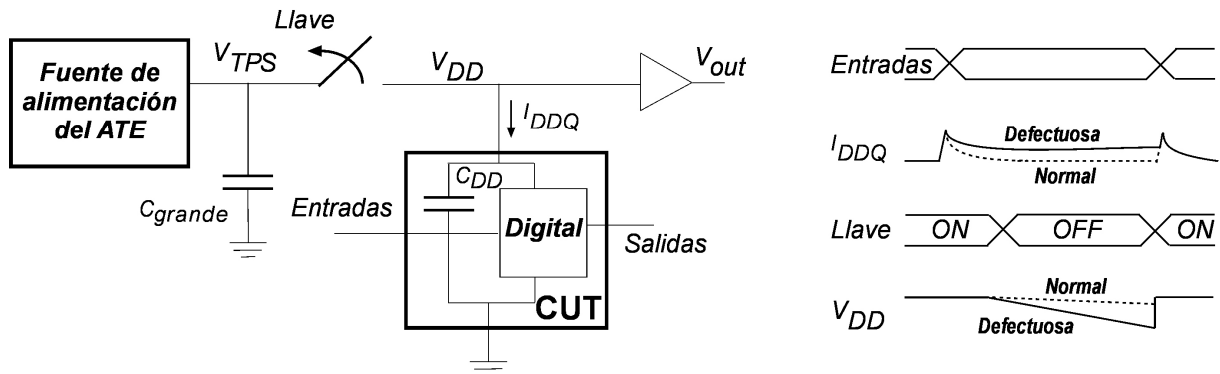


Figura 1.16. Medida externa de la corriente a través de la descarga de un condensador [Wal93]

La misma filosofía se aplica a la medida de la corriente estacionaria con sensores internos (BICS). Usualmente, en este caso se rompe el camino de la corriente de alimentación colocando un interruptor entre el circuito y la tierra del sistema (figura 1.17). En el modo normal la llave proporciona un camino de baja resistencia para la corriente de alimentación. En el modo de test el interruptor desconecta el CUT de la tierra del sistema, quedando únicamente una capacidad parásita entre ambos. La tensión alcanzada tras la carga de la capacidad durante la aplicación del vector de test es el indicador de la presencia del defecto [Rub90]. Incluir los transitorios de corriente en la medida, activando la carga del condensador durante todo el periodo de reloj, aumenta la eficacia del BICS permitiendo, por ejemplo, la detección de defectos de abierto que no elevan la corriente estacionaria [Pic00].

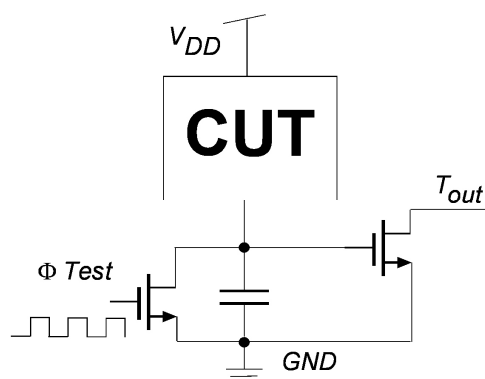


Figura 1.17. BICS medida interna de la corriente I_{DDQ} con un condensador [Rub90]

La transformación de corriente a tiempo de carga de un condensador permite aplicar técnicas digitales de procesamiento para, junto con el valor absoluto de corriente, obtener diferencias de corriente entre dos vectores consecutivos (ΔI_{DDQ}), analizar la relación entre los valores máximo y mínimo medidos (cociente de corriente) o calibrar el BICS [Vaz04].

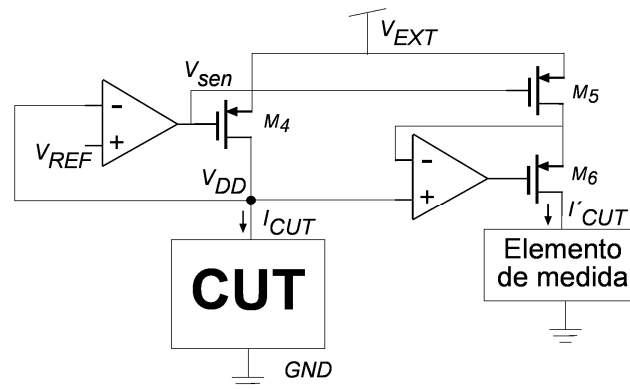


Figura 1.19. BICS basado en un regulador de tensión [Ara97]

La figura 1.19 muestra una implementación de un BICS que utiliza un transistor PMOS como elemento de paso [Ara97] que, aunque proporciona menos capacidad de corriente que un transistor bipolar, sin embargo, minimiza el flujo de corriente estacionaria y la caída de tensión entre sus extremos (V_{DS}).

La corriente de alimentación I_{DD} del CUT puede ser representada por la tensión interna a la salida del amplificador operacional V_{sen} , aunque en el sensor de la figura 1.19 se implementa un espejo de corriente con el transistor M5 y se utiliza un segundo amplificador operacional para extraer una copia de I_{DDQ} . El elemento de medida puede procesar tanto la corriente I_{DDQ} como la corriente I_{DDT} [Che06].

En [Guo98] se utiliza el mismo esquema aunque se añade un condensador de desacoplo en la alimentación del CUT para limitar el efecto de los transitorios de corriente en la degradación de la tensión de alimentación virtual. También se aumenta la velocidad del test utilizando como elemento de paso un transistor NMOS en vez del PMOS y conectando directamente la salida del amplificador operacional del regulador de tensión a un comparador.

1.6.5 Estrategia de diseño del BICS propuesto en la tesis

Los sensores de corriente internos presentan ciertas ventajas sobre la medida externa de la corriente como son una mayor sensibilidad, una mejor resolución, la habilidad de procesar señales con mayor ancho de banda y la localización de defectos en caso que el circuito se pueda dividir internamente para acomodar varios BICS. Sin embargo, actualmente, la medida de la corriente se realiza predominantemente fuera del chip.

Aunque, como se ha descrito previamente, se han propuesto un gran número de BICS, en la práctica no han tenido éxito industrialmente. Los principales problemas para su aplicación son;

1. Prestaciones. La caída de tensión en el elemento de muestreo causa una degradación de las prestaciones del circuito bajo test.
2. Nivel de decisión. La mayoría de los BICS están diseñados para realizar una comparación con una corriente o tensión de referencia y proporcionar una señal de pasa/falla. Sin embargo, el límite único de decisión se queda obsoleto con el incremento del valor y la varianza de I_{DDQ} . Por tanto, es más interesante un BICS que proporcione una magnitud analógica que pueda ser procesada por un algoritmo I_{DDX} .

3. Tecnología. Algunos diseños de BICS utilizan componentes analógicos como resistencias o condensadores que no están disponibles en los procesos VLSI digitales. Además, otros BICS requieren el emparejamiento de dispositivos imponiendo una mayor dificultad al proceso de fabricación.
4. Referencia externa. Los BICS que requieren una referencia externa de corriente o tensión incrementan los requerimientos del equipo de test.
5. Adaptabilidad. Una vez implementado, el BICS es difícil de ajustar a diferentes resoluciones de corriente.
6. Incremento de área. Los BICS requieren tanto un incremento del área de silicio como del número de pines del encapsulado.

El diseño del sensor de corriente propuesto en esta tesis debe eliminar o minimizar estas limitaciones.

La influencia en las prestaciones se aborda de forma diferente dependiendo de si el circuito es digital o analógico. Para los módulos digitales el sensor utiliza un transistor entre V_{DD} y el CUT como elemento de muestreo en modo test, mientras que durante el funcionamiento normal del circuito se utiliza un elemento de paso para eliminar la degradación de la tensión de alimentación. El tamaño del transistor de muestreo está dimensionado para proporcionar la mayor sensibilidad sin comprometer la funcionalidad del circuito bajo test y dependerá del tamaño de la partición del CUT analizada, la tecnología y la resolución de corriente deseada. En los módulos analógicos se desecha la medida de la corriente de alimentación en serie, ya que cualquier reducción de la tensión de alimentación puede afectar de manera significativa a sus prestaciones. En este caso, el muestreo se realiza en paralelo replicando la corriente que circula por ramas seleccionadas del circuito bajo test.

Para minimizar la influencia de la corriente I_{DDQ} , el BICS otorga más peso específico a las componentes transitorias de la corriente de alimentación. Además, realiza una traslación corriente (I_{DDT}) a tiempo (anchura de los pulsos de salida) en vez de una señal pasa/falla para permitir un procesado avanzado de la medida.

Se mantiene el incremento del número de pines al mínimo (inicialmente uno para la salida del sensor y otro para habilitar el test), no se utilizan componentes que no puedan ser fabricados en un proceso estándar digital y la deshabilitación del BICS conlleva la eliminación de su consumo de corriente.

En resumen, el diseño del BICS propuesto permite un procesado de la corriente transitoria en un entorno de corriente estacionaria no nula con la mínima influencia posible sobre el circuito bajo test.

BIBLIOGRAFÍA

- [Abr94] M. Abramovici, M.A. Breuer, A.D. Friedman, “*Digital systems testing and testable design*,” Wiley-IEEE Press, 1994
- [Alo02] B. Alorda, M. Rosales, J. Soden, C. Hawkins, J. Segura, “*Charge based transient current testing (CBT) for submicron CMOS SRAMs*,” IEEE International Test Conference, 2002, pág. 947–953

- [Alo03a] B. Alorda, J. Segura, "An evaluation of built-in vs. off-chip strategies for on-line transient current testing," IEEE International On-Line Testing Symposium, 2003, pág. 178 - 182
- [Alo03b] B. Alorda, B. Bloechel, A. Keshavarzi, J. Segura, "Chardin: an off-chip transient current monitor with digital interface for production testing," IEEE International Test Conference, 2003, pág. 719-726
- [Alo04] B. Alorda, V. Canals, J. Segura, "A two-level power-grid model for transient current testing evaluation," Journal of Electronic Testing, vol. 20, nº 5, octubre 2004, pág. 543-552
- [Alo06] B. Alorda, S. Bota, J. Segura, "Non-intrusive built-in sensor for transient current testing of digital VLSI circuits," IEEE International On-Line Testing Symposium, 2005, pág. 177-182
- [Alo07] B. Alorda, I. de Paul, J. Segura, "Charge-based testing BIST for embedded memories," IET Computers & Digital Techniques, vol. 1, nº 5, septiembre 2007, pág.481-490
- [Ant98] Y. Antonioli, K. Kinoshita, S. Nishikawa, H. Uyemura, "100 MHz I_{DDQ} sensor design with $1\mu A$ resolution for BIST applications," IEEE International Test Conference, 1998, pág. 64-68
- [Ara97] K. Arabi, B. Kaminska, "Design and realization of an accurate built-in current sensor for on-line power dissipation measurement and I_{DDQ} testing," IEEE International Test Conference, 1997, pág. 578-586
- [Arg96] J. Argüelles, S. Bracho, "Signature analysis for fault detection of mixed-signal ICs based on dynamic power-supply current," Journal of Electronic Testing: Theory and Applications, vol. 9, nº 1, agosto 1996, pág. 89-107
- [Bar96] T. Barrette, V. Bhide, K. De, M. Stover, E. Sugawara, "Evaluation of early failure screening methods," IEEE International Workshop on I_{DDQ} Testing, 1996, pág. 14-17
- [Bea97] J.S. Beasley, S. Pour-Mozafari, D. Huggett, A.W. Righter, C.J. Apodaca, " I_{DD} pulse response testing applied to complex CMOS ICs," IEEE International Test Conference, 1997, pág. 32-39
- [Ber02] D. Bergman, H. Engler, "Improved I_{DDQ} testing with empirical linear prediction," IEEE International Test Conference, 2002, pág. 954-963
- [Bhu02] S. Bhunia, K. Roy, "Dynamic supply current testing of analog circuits using wavelet transform," IEEE VLSI Test Symposium, 2002, pág. 302-307
- [Bhu05] S. Bhunia, K. Roy, "A novel wavelet transform-based transient current analysis for fault detection and localization," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol.13, nº 4, abril 2005 pág. 503-507
- [Boh07] M.T. Bohr, R.S. Chau, T. Ghani, K. Mistry, "The high-k solution," IEEE Spectrum, vol. 44, nº 10, octubre 2007, pág. 29-35
- [Cal99] T. Calin, L. Anghel, M. Nicolaidis, "Built-in current sensor for I_{DDQ} testing in deep submicrom CMOS," VLSI Test Symposium, 1999, pág. 135-142
- [Cha94] V.H. Champac, A. Rubio, J. Figueras, "Electrical model of the floating gate defect in CMOS ICs: Implication on I_{DDQ} testing," IEEE Transactions on Computer Aided Design of Integrated Circuits and Systems, vol. 13, nº 3, marzo 1994, pág. 359-369
- [Che00] H. Cheung, S.K. Gupta, "A framework to minimize test escape and yield loss during I_{DDQ} testing: A case study," IEEE VLSI Test Symposium, 2000, pág. 89-96
- [Che02] A. Chehab, R. Makki, M. Spica, D. Wu, " I_{DDT} test methodologies for very deep sub-micron CMOS circuits," IEEE International Workshop Electronic Design, Test and Applications, 2002, pág. 403-407
- [Che04] A. Chehab, A. Kayssi, A. Nazer, N. Aaraj, "Transient current testing of dynamic CMOS circuits in the presence of leakage and process variation," International Conference on Microelectronics, 2004, pág. 381-387
- [Che06] C.S. Chen, J.C. Lo, T. Xia, "An indirect current sensing technique for I_{DDQ} and I_{DDT} tests," ACM Great Lakes symposium on VLSI, 2006, pág. 235-240
- [Dav95] B. Davari, R.H. Dennard, G.G. Shahidi, "CMOS scaling for high performance and low power – Next ten years", Proceedings of IEEE, vol. 82, nº 4, abril 1995, pág. 595-606
- [Dek88] R. Dekker, F. Beenker, L. Thijssen, "Fault modeling and test algorithm development for static random access memories," IEEE International Test Conference, 1988, pág. 342-352
- [Dra03] M.S. Dragic, M. Margala, "A versatile built-in CMOS sensing device for digital circuit parametric test," IEEE Transactions on Instrumentation and Measurement, vol 52, nº 6, diciembre 2003, pág. 1756-1764
- [Fon03] J. Font, J. Ginard, R. Picos, E. Isern, J. Segura, M. Roca, E. García, "A BICS for CMOS OpAmps by monitoring the supply current peak," Journal of Electronic Testing, vol. 19, nº 5, octubre 2003, pág. 597-603
- [Fer00] A. Ferre, J. Figueras, "LEAP: An accurate defect-free I_{DDQ} estimator," European Test Workshop, 2000, pág. 33-38
- [Fig98] J. Figueras, A. Ferre, "Possibilities and limitations of I_{DDQ} testing in submicron CMOS," IEEE Transactions on Components, Packaging, and Manufacturing Technology, part B, vol. 21, nº 4, noviembre 1998, pág. 352-359
- [Fre87] J.F. Frenzel, P.N. Marinos, "Power supply current signature (PSCS) analysis: A new approach to system testing," IEEE International Test Conference, 1987, pág. 125-135
- [Gat97] A. Gattiker, W. Maly, "Current signatures: Application," IEEE International Test Conference, 1997, pág. 156-165
- [Gay93] R. Gayle, "The cost of quality: Reducing ASIC defects with I_{DDQ} at-speed testing and increased fault coverage," IEEE International Test Conference, 1993, pág. 285-292

- [Guo98] Y.Y. Guo, J.C. Lo, "Challenges of built-in current sensor designs," IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems, 1998, pág. 192-200
- [Har94] R.J.A. Harvey, A.M.D. Richardson, E.M.J. Bruls, K. Baker, "Analog fault simulation based on layout dependent fault models," IEEE International Test Conference, 1994, pág. 641-649
- [Hen96] T.R. Henry, T. Soo, "Burn-in elimination of a high volume microprocessor using I_{DDQ} ," IEEE International Test Conference, 1996, pág. 242-249
- [IEEE1149.1] "IEEE standard test access port and boundary-scan architecture," IEEE Std. 1149.1, 2001
- [IEEE1149.4] "IEEE standard for a mixed-signal test bus," IEEE Std. 1149.4, 2000
- [IEEE1450.6] "IEEE standard test interface language (STIL) for digital test vector data-core test language (CTL)," IEEE Std. 1450.6, 2006
- [IEEE1500] "IEEE standard testability method for embedded core-based integrated circuits," IEEE Std. 1500, 2005
- [ITRS2001] Semiconductor Industry Association, "International technology roadmap for semiconductors 2001," <http://www.itrs.net/Links/2001ITRS/Home.htm>
- [ITRS2003] Semiconductor Industry Association, "International technology roadmap for semiconductors 2003," <http://www.itrs.net/Links/2003ITRS/Home2003.htm>
- [ITRS2007] Semiconductor Industry Association, "International technology roadmap for semiconductors 2007," <http://www.itrs.net/Links/2007ITRS/Home2007.htm>
- [Jan99] S. Jandhyala, H. Balchandran, A. Jayasumana, "Clustering based techniques for I_{DDQ} testing," IEEE International Test Conference, 1999, pág. 730-737
- [Jia00] W. Jiang, B. Vinnakota, "IC test using the energy consumption ratio," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 19, n° 1, enero 2000, pág. 129-141
- [Jia02] W. Jiang, B. Vinnakota, "Statistical threshold formulation for dynamic I_{DD} test," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 21, n° 6, junio 2002, pág. 694-705
- [Joh02] M.C. Johnson, D. Somasekhar, L.Y. Chiou, K. Roy, "Leakage control with efficient use of transistor stacks in single threshold CMOS," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 10, n° 1, febrero 2002, pág. 1-5
- [Haw99] C.F. Hawkins, "Deep submicron CMOS current IC testing: is there a future?" IEEE Design & Test of Computers, vol. 16, n° 4, 1999, pág. 14-15
- [Hen91] C.L. Henderson, J.M. Soden, C.F. Hawkins, "The behaviour and testing implications of CMOS IC logic gate open circuits," IEEE International Test Conference, 1991, pág. 302-310
- [Hue04] J.L. Huertas, "Test and design-for-testability in mixed-signal integrated circuits," Kluwer Academic Publishers, 2004
- [Hue06] G. Huertas, D. Vázquez, A. Rueda, J.L. Huertas, "Oscillation-based test in mixed-signal circuits," Springer, 2006
- [Kal01] J. Kalb, "Method for testing a semiconductor device by measuring quiescent currents (I_{DDQ}) at two different temperatures". US Patent 6,242,934, junio 2001
- [Kao02] J. Kao, S. Narendra, A. Chandrakasan, "Subthreshold leakage modeling and reduction techniques," International Conference on Computer Aided Design, 2002, pág. 141-148
- [Kea87] M. Keating, D. Meyer, "A new approach to dynamic I_{DD} testing," IEEE International Test Conference, 1987, pág. 316-321
- [Kes97] K. Keshavarzi, A. Roy, C.F. Hawkins, "Intrinsic leakage in low power deep submicron CMOS ICs", IEEE International Test Conference, 1997, pág. 146-155
- [Kes00] K. Keshavarzi, A. Roy, M. Sachdev, C. Hawkins, K. Soumyanath, V. De, "Multiple-parameter CMOS IC testing with increased sensitivity for I_{DDQ} ," IEEE International Test Conference, 2000, pág. 1051-1059
- [Kim98] J.B. Kim, S.J. Hong, J. Kim, "Design of a built-in current sensor for I_{DDQ} testing," IEEE Journal of Solid-State Circuits, vol. 33, n° 8, agosto 1998, pág. 1266-1272
- [Kim03] K.S. Kim, S. Mitra, P.G. Ryan, "Delay defect characteristics and testing strategies," IEEE Design & Test of Computers, vol. 20, n° 5, Septiembre 2003, pág. 8-16
- [Kim06] J.B. Kim, "Novel current sensing circuit for I_{DDQ} testing," IEEE International Conference on Electronics, Circuits and Systems, 2006, pág. 348-353
- [Kru99] B. Kruseman, P. Janssen, V. Zieren, "Transient current testing of 0.25 μ m CMOS devices," IEEE International Test Conference, 1999, pág. 47-56
- [Kru00] B. Kruseman, "Comparison of defect detection capabilities of current-based and voltage-based test methods," European Test Workshop, 2000, pág. 175-180
- [Lav99] D.B. Lavo, T. Larrabee, J.E. Colburn, "Eliminating the Ouija board: automatic thresholds and probabilistic I_{DDQ} diagnosis," IEEE International Test Conference, 1999, pág. 1065-1072
- [Lee98] K.J. Lee, J.J. Tang, "A built-in current sensor based on current-mode design," IEEE Transactions on Circuits and Systems—II: Analog and Digital Signal Processing, vol. 45, n° 1, enero 1998, pág. 133-137
- [Lev81] M. Levi, "CMOS is most testable," IEEE International Test Conference, 1981, pág. 217-220

- [Lev90] M.E. Levitt, J.A. Abraham, "Physical design of testable VLSI: techniques and experiments," IEEE Journal of Solid-State Circuits, vol. 25, n° 2, abril 1990, pág. 474-481
- [Li00] S. Li, K. Zhang, J.C. Lo, "The 2nd order analysis of I_{DDQ} test data," IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems, 2000, pág. 376-384
- [Liu00] J. Liu, R. Makki, A. Kayssi, "Dynamic power supply current testing of CMOS SRAMs," Journal of Electronic Testing: Theory and Applications, vol. 16, n° 5, 2000, pág. 499-511
- [Mai97] Y. Maidon, Y. Deval, J.B. Begueret, J. Tomas, J.P. Dom, "3.3V CMOS built-in current sensor," Electronic Letters, vol. 33, n° 5, 27 febrero 1997, pág. 345-346
- [Mai98] Y. Maidon, Y. Deval, "Off chip monitors and built-in current sensors for analogue and mixed-signal testing," IEEE International Workshop on IDDQ Testing, 1998, pág. 59-63
- [Mak95] R. Makki, S. Su, T. Nagle, "Transient power supply current testing of digital cmos circuits," IEEE International Test Conference, 1995, pág. 892-901
- [Mal82] Y.K. Malaiya, S.Y.H. Su, "A new fault model and testing technique for CMOS devices," IEEE International Test Conference, 1982, pág. 25-34
- [Mar09] E.J. Marinissen, Y. Zorian, "IEEE Std 1500 enables modular SoC testing," IEEE Design & Test of Computers, vol. 26, n° 1, enero 2009, pág. 8-17
- [Max92] P.C. Maxwell, R.C. Aitken, V. Johansen, I. Chiang, "The effectiveness of I_{DDQ} , functional and scan tests: How many fault coverages do we need?" IEEE International Test Conference, 1992, pág. 168-177
- [Max99] P.C. Maxwell, P. O'neill, R. Aitken, R. Dudley, N. Jarsma, M. Quach, D. Wiseman, "Current ratios: A self-scaling technique for production I_{DDQ} testing," IEEE International Test Conference, 1999, pág. 738-746
- [Mil89] L. Milor, V. Visvanathan, "Detection of catastrophic faults in analog integrated circuits," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 8, n° 2, febrero 1989, pág. 114-130
- [Mil96] A. Miller, " I_{DDQ} testing in deep submicron integrated circuits," IEEE International Test Conference, 1996, pág. 724-729
- [Min97] Y. Min, Z. Zhao, Z. Li, " I_{DDT} testing," Asian Test Symposium, 1997, pág. 378-382
- [Min98] Y. Min, Z. Li, " I_{DDT} Testing versus I_{DDQ} testing," Journal of Electronic Testing: Theory and Applications, n° 13, 1998, pág. 51-55
- [Miu94] Y. Miura, S. Naito, "A built-in I_{DDQ} test circuit utilizing upper and lower limits," IEEE International Test Conference, 1994, pág. 138-143
- [Miu97] Y. Miura, "An I_{DDQ} sensor circuit for low-voltage ICs," IEEE International Test Conference, 1997, pág. 938-947
- [Mue74] E.I. Muehldorf, "A quality measure for LSI components," IEEE Journal of Solid-State Circuits, octubre 1974, pág. 291-297
- [Nig97] P. Nigh, W. Needham, K. Butler, P. Maxwell, R. Aitken, "An experimental study comparing the relative effectiveness of functional, scan, I_{DDQ} and delay-fault testing," IEEE VLSI Test Symposium, 1997, pág. 459-464
- [Nig98] P. Nigh, D. Vallett, P. Patel, J. Wright, F. Motika, D. Forlenza, R. Kurtulik, W. Chong, "Failure analysis of timing and I_{DDQ} -only failures from the SEMATECH test methods experiment," IEEE International Test Conference, 1998, pág. 43-52
- [Ohn00] S. Ohnishi, M. Nishihara, "A new light-based logic IC screening method," IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems, 2000, pág. 358-366
- [Oku02] Y. Okuda, "Eigen-signatures for regularity-based I_{DDQ} testing," IEEE VLSI Test Symposium, 2002, pág. 289-294
- [Pan86] D. Pantic, "Benefits of integrated-circuit burn-in to obtain high reliability parts," IEEE Transactions on Reliability, vo. 35, n° 1, abril 1986, pág. 3-6
- [Per92] R. Perry, " I_{DDQ} testing in CMOS digital ASICs - Putting it all together," IEEE International Test Conference, 1992, pág. 151-157
- [Pic00] R. Picos, M. Roca, E. Isern, J. Segura, E. García-Moreno, "Experimental results on BIC sensors for transient current testing," Journal of Electronic Testing, vol. 16, n° 3, junio 2000, pág. 235-240
- [Plu95] J.F. Plusquellic, D.M. Chiarulli, S.P. Levitan, "Digital IC device testing by transient signal analysis (TSA)," Electronics Letters, vol. 31, n° 18, agosto 1995, pág. 1568-1570
- [Plu97] J.F. Plusquellic, D.M. Chiarulli, S.P. Levitan, "Identification of defective CMOS devices using correlation and regression analysis of frequency domain transient signal data," IEEE International Test Conference, 1997, pág. 40-49
- [Raj95] R. Rajsuman, " I_{DDQ} testing for CMOS VLSI," Edt. Artech House Publishers, 1995
- [Rao98] R. Rao. A. Bopardikar, "Wavelet transforms: Introduction to theory and applications", Edt. Addison-Wesley, 1998
- [Ric00] R. Richmond, "Successful implementation of structured testing," IEEE International Test Conference, 2000, pág. 344-348
- [Riu99] J. Rius, J. Figueras, "Exploring the combination of I_{DDQ} and I_{DDT} testing: energy testing," Design, Automation and Test in Europe Conference and Exhibition, 1999, pág. 543-548

- [Rob07] J. Roberts, A. Eastridge, D. Binkley, S. Thomas, R. Makki, "A high speed dynamic power supply current sensor," IEEE SoutheastCon, 2007, pág. 728-733
- [Rod98] R. Rodríguez-Montañes, J. Figueras, "Estimation of the defective I_{DDQ} caused by shorts in deep-submicron CMOS ICs," Design, Automation and Test in Europe, 1998, pág. 490-494
- [Roy03] K. Roy, S. Mukhopadhyay, H. Mahmoodi-Meinamd, "Leakage current mechanisms and leakage reduction techniques in deep-submicrometer CMOS circuits," Proceedings of the IEEE, vol. 91, n° 2, febrero 2003, pág. 305-327
- [Rub90] A. Rubio, J. Figueras, J. Segura, "Quiescent current sensor circuits in digital VLSI CMOS testing," Electronic Letters, vol. 26, n° 15, julio 1990, pág. 1024-1206
- [Rub95] A. Rubio, E. Janssens, H. Casier, J. Figueras, D. Mateo, P. De Pauw, P. Segura, "A built-in quiescent current monitor for CMOS VLSI circuits," European Design and Test Conference, 1995, pág. 581-585
- [Sab01] S. Sabade, D.M.H. Walker, "Improved wafer-level spatial information for I_{DDQ} limit setting," IEEE International Test Conference, 2001, pág. 82-91
- [Sab02a] S. Sabade, D.M.H. Walker, "Evaluation of outlier rejection methods for I_{DDQ} limit setting," IEEE VLSI Design/Asia South Pacific Design Automation Conference, 2002, pág. 755-760
- [Sab02b] S. Sabade, D.M.H. Walker, " I_{DDQ} test: Will It survive DSM challenge?" IEEE Design and Test of Computers, vol. 5, n° 19, octubre 2002, pág. 8-16
- [Sab02c] S. Sabade, D.M.H. Walker, "Neighbour current ratios (NCR): A new metric for I_{DDQ} data analysis," IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems, 2002, pág. 381-389
- [Sab04] S. Sabade, D.M.H. Walker, " I_{DDX} -based test methods: A survey," ACM Transactions on Design Automation of Electronic Systems, vol. 9, n° 2, 2004 pág.159-19
- [Sac95] M. Sachdev, B. Atzema, "Industrial relevance of analog IFA: a fact or a fiction?" IEEE International Test Conference, 1995, pág. 61-70
- [Sac97] M. Sachdev, "Deep sub-micron I_{DDQ} testing: Issues and solutions," European Design and Test Conference, 1997, pág. 271-278
- [Sac98] M. Sachdev, P. Janssen, V. Zieren, "Defect detection with transient current testing and its potential for deep submicron CMOS ICs," IEEE International Test Conference, 1998, pág. 204-213
- [Sac07] M. Sachdev, J. Pineda de Gyvez, "Defect-oriented testing for nano-metric CMOS VLSI circuits," Springer, 2ª Ed., 2007
- [Seg95] J. Segura, M. Roca, D. Mateo, A. Rubio, "An approach to dynamic power consumption current testing of CMOS ICs," IEEE VLSI Test Symposium, 1995, pág. 95-100
- [Sen99] S. Sengupta, S. Kundu, S. Chakravarty, P. Parvathala, R. Galivanche, G. Kosonocky, M. Rodgers, T.M. Mak, "Defect-based test: A key enabler for successful migration to structural test," Intel Technical Journal, vol. Q1, 1999, pág. 1-14
- [She93] T.L. Shen, J.C. Daly, J.C. Lo, "A 2-ns detecting time, 2- μ m CMOS built-in current sensing circuit," IEEE Journal of Solid-State Circuits, vol. 28, n° 1, enero 1993, pág. 72-77
- [Sin01] A. Singh, C. Patel, S. Liao, J. Plusquellic, A. Gattiker, "Detecting delay faults using power supply transient signal analysis," IEEE International Test Conference, 2001, pág. 704-712
- [Sin02] A. Singh, J. Plusquellic, A. Gattiker, "Power supply transient signal analysis under real process and test hardware models," IEEE VLSI Test Symposium, 2002, pág. 357-362
- [Sin06] A. Singh, J. Plusquellic, D. Phatak, C. Patel, "Defect simulation methodology for i_{DDT} testing," Journal of Electronic Testing, vol. 22, n° 3, junio 2006, pág. 255-272
- [Sod96] J. Soden, C. Hawkins, " I_{DDQ} testing: Issues present and future," IEEE Design and Test of Computers, vol. 4, n° 13, 1996, pág. 61-65
- [Thi94] C. Thibeault, "Using Fourier analysis to enhance IC testability," IEEE International Workshop on Defect and Fault Tolerance in VLSI Systems, 1994, pág. 280-298
- [Thi95] C. Thibeault, "Detection and location of faults and defects using digital signal processing," IEEE VLSI Test Symposium, 1995, pág. 262-267
- [Thi96] C. Thibeault, A. Payeur, "Experimental results from I_{DDF} testing," Workshop on Defect and Fault-Tolerance in VLSI Systems, 1996, pág. 22-31
- [Thi97] C. Thibeault, "A novel probabilistic approach for IC diagnosis based on differential quiescent current signatures," IEEE VLSI Test Symposium, 1997, pág. 80-85
- [Sti97] B. Stine, D. Boning, J. Chung, "Analysis and decomposition of spatial variation in integrated circuit processes and devices," IEEE Transactions on Semiconductor Manufacturing, vol. 1, n° 10, febrero 1997, pág. 24-41
- [Unn98] T.A. Unni, D.M.H. Walker, "Model-based $IDDQ$ pass/fail limit setting," IEEE International Workshop on I_{DDQ} Testing, 1998, pág. 43-47
- [Var00] P. Variyam, "Increasing the I_{DDQ} test resolution using current prediction," IEEE International Test Conference, 2000, pág. 217-224

- [Vaz04] J.R. Vazquez, J. Pineda de Gyvez, "Built-in current sensor for ΔI_{DDQ} testing," IEEE Journal of Solid-State Circuits, vol. 39, n° 3, marzo 2004, pág. 511-518
- [Voll99] R.P. Vollertsen, "Burn-in," IEEE International Integrated Reliability Workshop Final Report, 1999, pág. 167-173
- [Wal93] K.M. Wallquist, A.V. Righter, C.F. Hawkins, "A general purpose I_{DDQ} measurement unit," IEEE International Test Conference, 1993, pág. 642-651
- [Wal95] K. M. Wallquist, "Achieving I_{DDQ}/I_{DDS} production testing with QuiC-Mon", IEEE Design & Test of Computers, Vol. 12, n° 3, 1995, pág. 92-96
- [Wal97] A. Walker, P.K. Lala, "An approach for detecting bridging fault-induced delay faults in static CMOS circuits using dynamic power supply current monitoring," Proceedings IEEE International Workshop on IDDQ Testing, 1997, pág. 73-77
- [Wei99] L. Wei, Z. Chen, K. Roy, M.C. Johnson, Y. Ye, V.K. De, "Design and optimization of dual-threshold circuits for low-voltage low-power applications," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 7, n° 1, marzo 1999, pág. 16-24
- [Wil96] T. Williams, R. Kapur, M. R. Mercer, R. H. Dennard, W. Maly, " I_{DDQ} testing for high performance CMOS - The next ten years," European Design and Test Conference, 1996, pág. 578-583
- [Yan01] S.Y. Yang, C.A. Papachristou, M. Taib-Azar, "Improving bus test via I_{DDT} and boundary scan," Design Automation Conference, 2001, pág. 307-312

