

**UNIVERSIDAD DE CANTABRIA**



Departamento de Tecnología Electrónica,  
Ingeniería de Sistemas y Automática

**TESIS DOCTORAL**

**TEST BASADO EN SENSORES DE CORRIENTE  
INTERNOS PARA CIRCUITOS INTEGRADOS  
MIXTOS (ANALÓGICOS-DIGITALES)**

**Memoria** presentada para optar al grado de  
**DOCTOR EN CIENCIAS FÍSICAS POR LA UNIVERSIDAD DE CANTABRIA**

por Román Mozuelos García,  
Licenciado en Ciencias Físicas,

Santander, 2009

# Capítulo 2

---

## **MODELADO DE FALLOS**

---

En este capítulo se presenta el modelo de fallos que se aplicará posteriormente en la evaluación de la metodología de test. Se establece la relación entre el defecto físico, su mecanismo de aparición y el modelo eléctrico que mejor describe su influencia en el funcionamiento del circuito. Los defectos estudiados se modelan como fallos de puente, ruptura del óxido de puerta y abiertos a nivel de dispositivo para su aplicación a un test estructural. También se han estudiado el procedimiento por el cual las variaciones en el proceso de fabricación acaban causando fallos paramétricos.

### **2.1 INTRODUCCIÓN**

El diseño, la fabricación y el test son las tres grandes etapas de la realización de un circuito integrado. En un entorno ideal estas etapas deberían encajar perfectamente. Por ejemplo un diseño correcto en un entorno de fabricación perfecto daría lugar a un rendimiento del 100%, en este caso la etapa de test no sería necesaria.

Sin embargo, en el mundo real todas las etapas tienen una cierta cantidad de incertidumbre que las aleja del caso ideal. Sólo una parte de los circuitos fabricados están libres de defectos y de los circuitos defectuosos sólo una porción son identificados por el test. Como resultado, tanto la etapas de diseño, como las de fabricación y test se tienen que esforzar para llegar a un compromiso que redunde en un nivel de calidad óptimo. Para ello, el test debe detectar todos los posibles defectos que aparezcan en el diseño, el diseño a su vez debe atenerse a los condicionantes del proceso de fabricación y el test debe incorporar toda la información de los defectos de fabricación para optimizar la utilización de sus recursos.

En un circuito integrado pueden aparecer numerosos tipos de defectos y a menudo el efecto que induce en su comportamiento está influenciado por el tipo de circuito (dinámico, estático, digital, analógico, memoria, etc.). Cada defecto puede necesitar una metodología de test

diferente, por ejemplo algunos defectos en circuitos digitales no son detectados por un test de tensión pero pueden serlos un test de corriente. Por tanto es importante conocer el mecanismo físico de formación de los defectos y el efecto que tienen sobre el comportamiento eléctrico del circuito integrado.

Los defectos se pueden clasificar como locales o globales. La categoría local es de naturaleza aleatoria y afecta a zonas puntuales del circuito integrado. El segundo tipo abarca las perturbaciones que afectan a grandes regiones de la oblea.

El impacto del defecto en el comportamiento del circuito se conoce como fallo. A su vez, también los fallos pueden clasificarse en dos grandes grupos; catastróficos y paramétricos. Un fallo catastrófico es el que produce un funcionamiento incorrecto del circuito, mientras que el fallo paramétrico es el que, manteniendo la funcionalidad del circuito, evita que este cumpla todas sus especificaciones (como velocidad, consumo de potencia, etc.).

Como se ha comentado anteriormente, para mejorar un proceso de fabricación es relevante conocer los diferentes mecanismos que pueden afectar a su rendimiento. Los procesos de fabricación constan de una secuencia de etapas a las que van siendo sometidas las obleas de silicio [Sze83]. El éxito de la fabricación depende principalmente de tres factores; el control de los parámetros del proceso, el layout del circuito y los cambios aleatorios en el entorno de aplicación de las sucesivas etapas también conocidos como alteraciones. Estas alteraciones del normal discurrir del proceso han sido estudiadas con detalle [Mal86] y se pueden agrupar en;

1. Errores humanos y del equipo de fabricación
2. Inestabilidades de las condiciones del proceso. Por ejemplo, fluctuaciones aleatorias en el flujo de gases utilizados en la difusión y oxidación implica que cada zona de la oblea se encuentre sometida a diferentes condiciones ambientales dificultando la fabricación de dos circuitos completamente idénticos.
3. Imperfecciones de los materiales. Entre los que se encuentran, variaciones de densidad y viscosidad de la resina fotosistiva, impurezas en los componentes químicos o contaminación de agua y gases, etc.
4. Substrato no homogéneo. Las distorsiones en el sustrato de silicio son debidas a impurezas en la estructura, dislocaciones de la red de átomos o imperfecciones superficiales durante el corte y preparación de la oblea.
5. Defectos puntuales en la litografía. Tienen que ver con errores en las máscaras de los diferentes materiales bien porque se oscurezcan zonas transparentes o porque desaparezcan zonas del diseño.

La mayoría de estas alteraciones afectan a la topología del circuito, aunque desde el punto de vista del modelado de fallos es conveniente saber como influye cada una de ellas en las prestaciones del circuito. Los defectos pueden ser agrupados de acuerdo al tipo de deformación que inducen. Por ejemplo una partícula contaminante (alteración) puede causar

una ruptura (deformación) de una línea de metal, siendo en este caso la deformación de naturaleza geométrica. Un mal control de la temperatura del proceso (alteración) durante el crecimiento del óxido de puerta puede causar una disminución de la tensión umbral de los transistores (deformación eléctrica).

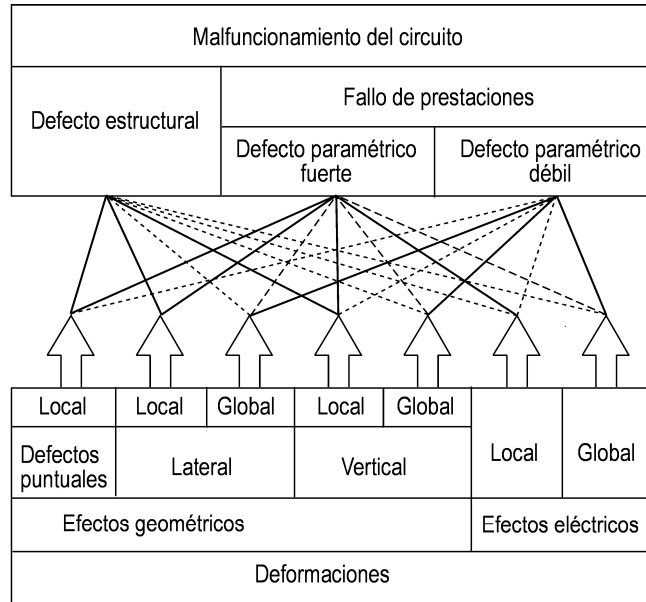


Figura 2.1. Clasificación de los defectos del proceso y deformaciones a que dan lugar [Mal86]

En general, todas las alteraciones o defectos del proceso se pueden clasificar según la deformación a que da lugar; geométrica o eléctrica como se muestra en la figura 2.1 [Mal86]. La parte inferior de la figura muestra la clasificación del mecanismo físico que da lugar al deterioro del rendimiento del proceso y la parte superior muestra el tipo de fallo que induce (estructural o pérdida de prestaciones).

Tanto las deformaciones geométricas como eléctricas tienen influencia tanto a nivel local como a nivel global en funcionalidad y/o prestaciones del circuito. Una influencia global es cuando un parámetro como la tensión umbral de los transistores afecta a la oblea completa. El término local se utiliza para una influencia confinada en una región de menor tamaño que la oblea, a menudo el concepto de defecto se asocia con deformaciones locales como la conexión y ruptura de líneas de conducción. Los defectos puntuales son causados principalmente por errores en las máscaras litográficas y forman parte de las deformaciones geométricas.

Aunque cada clase de deformación es capaz de generar una gran variedad de fallos diferentes, algunas de estas relaciones son más probables que otras y en la figura 2.1 se destacan con líneas continuas.

Dado que las variaciones globales afectan a toda o gran parte de la oblea son fácilmente detectables por estructuras diseñadas específicamente para este fin que, normalmente, en entornos de fabricación maduros se mantienen bajo control. Por tanto, desde el punto de vista

de generación de test estructural son más interesantes las deformaciones locales y los fallos de funcionamiento que se dan en el circuito.

En los siguientes apartados describiremos los mecanismos que dan lugar a la aparición de los defectos tanto en tecnologías clásicas como en tecnologías submicrónicas.

Se va a analizar cuidadosamente la relación entre los defectos físicos y los modelos eléctricos de fallo con objeto de realizar una evaluación de fallos significativa del método de test estructural propuesto en la tesis. Finalmente, concluiremos con la presentación del modelo de fallos utilizado en este trabajo.

## **2.2 MECANISMO CLÁSICO DE DEFECTOS**

Las causas y efectos de los defectos en circuitos CMOS son variadas, pero históricamente han sido clasificados en dos grandes categorías: Cortocircuitos, donde ocurren conducciones no deseadas, y abiertos, cuando conexiones deseadas no aparecen. En procesos que utilizan metalización de aluminio los cortocircuitos son más comunes y problemáticos que los abiertos y por tanto se les ha prestado más atención [She85]. Ambos tipos de defectos, cortocircuitos y abiertos, tienen propiedades eléctricas estándar, de las cuales la más estudiada ha sido su resistencia.

### **2.2.1 Cortocircuitos**

Los defectos de cortocircuito pueden ser debidos al material conductor extra o a la pérdida de material aislante. Algunas causas que dan lugar a su aparición son: errores de impresión en la máscara fotolitográfica, contaminación con partículas conductoras, grabado incompleto, pulido incompleto de líneas de metal, ruptura en el aislante, ruptura del óxido fina de puerta en los transistores, etc. [Seg04].

El comportamiento eléctrico del cortocircuito está determinado por la parte del circuito a la que afecta. Cortocircuitos a nivel de difusión a menudo involucran solo los terminales de un transistor. Cortocircuitos en el polisilicio o en la primera capa de metal (metal 1) afectan a los nudos internos de celdas estándar. Cortocircuitos en niveles superiores de metales interconectan salidas de celdas diferentes y líneas de alimentación y tierra.

### **2.2.2 Abiertos**

Los abiertos están causados por pérdidas de material conductor o exceso de material aislante. Entre los defectos que pueden dar lugar a este comportamiento se encuentran; Errores de impresión en la máscara fotolitográfica, salto de un paso del proceso de fabricación, llenado incompleto de una vía, electromigración, no grabado de un contacto, contaminación por partícula aislante, etc.

Al igual que los cortocircuitos, el comportamiento de un abierto está determinado por su localización, si corresponde a la estructura de un transistor (difusión, polisilicio, metal 1) ó a las interconexiones entre transistores (para niveles superiores de metal). En muchos casos, un

abierto completo da lugar a un nudo del circuito eléctricamente aislado de la fuente de señal, la carga almacenada en este nudo durante la fabricación o por el acoplamiento de líneas cercanas determina el funcionamiento del módulo. Para pequeños abiertos o fisuras aparece el mecanismo cuántico del efecto túnel, por lo que todavía puede circular una pequeña corriente a través de él, dando lugar a un circuito que opera más lentamente de lo esperado. Existen muchos comportamientos complejos de abierto pero en la práctica se ha mostrado que son difíciles de identificar a priori [Aru08].

### **2.2.3 Variaciones paramétricas**

El comportamiento defectuoso de un circuito no siempre está causado por problemas puntuales como cortocircuitos o abiertos. A veces, un parámetro de fabricación fuera de especificación que abarca una gran área del circuito puede dar lugar a un funcionamiento erróneo o a un incremento de la susceptibilidad a otro tipo de problemas como efectos de variaciones de temperatura, acoplo de ruido, etc. Las variaciones paramétricas tienen el origen en un cambio físico (por ejemplo disminución de la longitud de puerta efectiva de un transistor) y modifican el comportamiento eléctrico del circuito (por ejemplo transistores que son más rápidos y con mayores corrientes de fuga de lo esperado). Además, de la longitud de canal, otros parámetros de interés incluyen concentraciones del dopaje (afectan a la movilidad y capacidad), anchura del metal (resistencia y capacidad), anchura del óxido fino (corriente de fugas, prestaciones del transistor).

El diseño del circuito electrónico tiene que tener en cuenta ciertas variaciones en el proceso de fabricación pero llega un punto en que las variaciones de los parámetros exceden la tolerancia o el margen del diseño y se convierten en defectos.

## **2.3 MECANISMO DE DEFECTOS EN TECNOLOGÍAS AVANZADAS**

Con resoluciones de 130 nanómetros y menores, los procesos tecnológicos requieren técnicas especializadas para mejorar algunas de las limitaciones físicas de los materiales y equipos utilizados en la fabricación de circuitos integrados. Estos pasos dan lugar a nuevas clases de defectos que hay que tener en cuenta en el desarrollo de los métodos de test.

### **2.3.1 Defectos en el cobre**

Tradicionalmente se ha utilizado aluminio para realizar las líneas de metal en los circuitos CMOS. Sin embargo, a partir de los 130nm se empieza a utilizar líneas de cobre por su menor resistencia (un 70% menor que el aluminio), el cual tiene un método de grabado diferente.

La metalización de aluminio es un proceso substractivo, se deposita una máscara entera de metal y se eliminan las zonas no deseadas. Este método es inherentemente “sucio” y deja partículas que dan lugar a cortocircuitos, lo cual es la razón de que hayan venido predominando los defectos de cortocircuito sobre los abiertos en los procesos CMOS.

El cobre, por otra parte, utiliza un grabado “damasquino” (por el trabajo en oro y plata asociado a la ciudad de Damasco). Se aplica una máscara aislante al circuito en la que se crea

canales para las líneas y posteriormente, agujeros para las vías dentro de esos canales, se rellenan de cobre y por último el exceso de cobre se elimina con un pulido mecánico/químico (CMP). En este proceso no quedan partículas de metal contaminantes y suele dar lugar a menor nivel de defectos que el uso del aluminio.

Sin embargo, aparecen otro tipo de defectos. Si el pulido es poco agresivo quedan esquirlas de cobre en zonas no deseadas, si el pulido es excesivo se elimina demasiado cobre con lo que la línea de metal se debilita. En cualquiera de los dos casos se obtiene una superficie poco plana que puede dar lugar a defectos en las máscaras superiores. También, el pulido puede crear fracturas en el sustrato dando lugar a combinaciones de abiertos y cortocircuitos que afectan a áreas relativamente grandes [Mal03]. Otro defecto es la aparición de abiertos parciales por el llenado incompleto de cobre de las vías y canales, su efecto es más pronunciado a baja temperatura ya que al calentarse el cobre se expande dentro del canal y se mejora el contacto.

### **2.3.2 Defectos ópticos**

En las tecnologías profundamente submicrónicas muchas características del layout están por debajo de la longitud de onda utilizada en el proceso litográfico (típicamente 248nm o 193nm). Por lo tanto, a las máscaras se les aplica un proceso (corrección óptica de proximidad OPC) donde distorsionándolas ligeramente se busca asegurar el grabado ideal del circuito.

Este paso puede inducir errores en las máscaras, donde añadir regiones para corregir la distorsión óptica puede dar lugar a abiertos y cortocircuitos cuando interfiere con zonas cercanas. En general, estos errores en la máscara producen fallos catastróficos [Sch03]. Una inspección visual permite eliminar este tipo de errores, pero entonces, al evitar la corrección de la distorsión óptica se podrían formar puertas de transistores que, al perder parte del canal, son más débiles de lo usual, dando lugar a fallos de retraso.

### **2.3.3 Variaciones paramétricas**

La variación de los parámetros de fabricación en las tecnologías tradicionales causa principalmente una dispersión que provoca variaciones entre los comportamientos de diferentes chips. Con lo cual, para predecir su impacto, basta con proporcionar información sobre los modelos de peor caso o las esquinas del proceso [Nas00].

Sin embargo, en tecnologías nanométricas los parámetros de fabricación ya no están tan controlados. Existen grandes variaciones entre chips y dispersiones dentro del mismo circuito en la longitud y anchura efectiva ( $L_{\text{eff}}$  y  $W_{\text{eff}}$ ), tensión umbral ( $V_{\text{th}}$ ), corriente de apagado ( $I_{\text{OFF}}$ ) y corriente de conducción ( $I_{\text{DSAT}}$ ) de los transistores. También, adquieren importancia las fluctuaciones en el dopado de las diferentes regiones del transistor. Por ejemplo, para dispositivos con 90nm de longitud efectiva, un nivel de dopaje de  $5 \cdot 10^{18} \text{ cm}^{-3}$  significa la inyección de 170 átomos aproximadamente en el canal del transistor. Las variaciones estadísticas de los átomos dentro del canal a escala nanométrica afecta profundamente a las propiedades eléctricas MOSFET como la tensión umbral [Nar99].

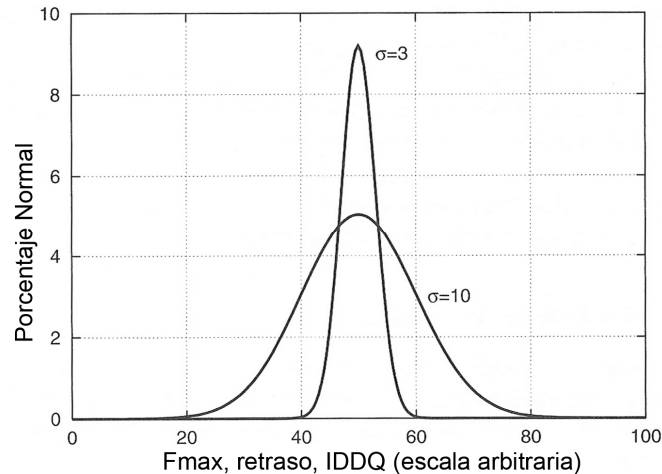


Figura 2.2. Efecto de la variación de los parámetros en los límites de test para distribuciones normales

Las prestaciones de los circuitos se ven afectadas por estas variaciones. La figura 2.2 muestra dos distribuciones normales con escalas arbitrarias. El eje X puede representar corriente estacionaria  $I_{DDQ}$ , frecuencia máxima de funcionamiento  $F_{max}$ , tiempo de acceso a memoria o cualquier parámetro del proceso. La curva estrecha tiene un valor medio de 50 y una desviación estándar de 4 unidades, representa una tecnología antigua bien establecida donde el proceso está fuertemente controlado. La curva ancha simboliza las tecnologías nanométricas, el valor medio sigue siendo 50 pero la desviación estándar crece hasta 10 unidades. Si el test aplicase límites de  $\pm 3\sigma$  el circuito tendría una gran tolerancia pasa/no pasa con lo que se podrían escapar dispositivos defectuosos enmascarados por los extremos del espectro. El límite de test se difumina y ya no se puede ajustar en función de los circuitos marginales del proceso.

#### 2.3.4 Defectos relacionados con el diseño

Mientras que el proceso tecnológico es la principal causa de aparición de defectos, el impacto de la metodología de diseño también debe tenerse en cuenta. Claramente las decisiones tomadas en el cableado de las señales (separación y grosor de línea) influyen sobre la probabilidad de aparición de defectos de cortocircuito y abierto. Además, el desarrollo de circuitos de aplicación para dispositivos portátiles en tecnologías submicrónicas requiere métodos de diseño que busquen disminuir tanto la tensión de alimentación como el consumo de potencia del circuito a la vez que mantienen sus prestaciones de velocidad. Dos de las técnicas de diseño más utilizadas son; transistores con diferentes tensiones umbrales ( $V_{th}$ ) y diferentes dominios de tensión de alimentación ( $V_{DD}$ ).

La corriente de un transistor tanto en conducción como desconectado depende de su tensión umbral. Una tensión umbral ( $V_{th}$ ) baja permite una corriente de saturación mayor y por tanto unas prestaciones de velocidad mayores pero a cambio de aumentar la corriente de apagado o corriente de fuga significativamente (leakage). Una corriente de fuga alta incrementa sustancialmente el consumo de potencia del circuito integrado. La disponibilidad de



transistores con varias tensiones umbrales permite establecer un compromiso entre velocidad y consumo. Típicamente el camino crítico de la señal a través de un circuito digital estaría implementado con transistores de  $V_{th}$  baja mientras que los módulos para los que no se requiere velocidad utilizarán los transistores con una tensión umbral mayor, pudiendo lograrse reducciones en la corriente de fuga del 70% u 80% [Ait04]. La aparición de defectos en circuitos que emplean diferentes tensiones umbrales son más difíciles de modelar puesto que el cálculo de las tensiones que determinan los niveles lógicos de entrada y salida de las puertas son más complicados de calcular.

Dado que el consumo de potencia de un circuito varía con el cuadrado de la tensión de alimentación muchos diseños de bajo consumo utilizan tensiones de alimentación variables. La tensión de alimentación se puede ajustar dinámicamente en todo el circuito dependiendo de la velocidad de procesado requerida o bien se puede dividir físicamente el circuito en diferentes dominios físicos cada uno con su propio nivel de tensión de alimentación. Al igual que en el caso anterior, es difícil establecer el efecto en el comportamiento del sistema de un cortocircuito sobre dispositivos asociados a diferentes dominios de tensiones de alimentación.

## 2.4 DEFECTOS Y FALLOS

El gran aumento de los costes asociados al test funcional ha motivado el desarrollo de un tipo de test que busca detectar la presencia de defectos en el circuito sin necesidad de medir cada una de sus especificaciones. El análisis del circuito busca revelar las condiciones de fallo a través de métodos de test estructurales. Este análisis de fallos requiere un modelo o abstracción de los defectos, que pueden darse en el circuito integrado, con un aceptable nivel de precisión y que sea útil para la simulación y la generación de tests.

El modelado de los defectos implica la definición abstracta, o lógica, de fallos que dan lugar aproximadamente al mismo comportamiento erróneo que el defecto físico. Por tanto, un fallo se puede definir como el impacto eléctrico de un defecto físico a un nivel de abstracción mayor. Sus principales aplicaciones están relacionadas con la evaluación de los métodos de test y la mejora del rendimiento del proceso de fabricación.

El test estructural asume que el diseño del circuito es esencialmente correcto y que sus prestaciones ya han sido verificadas en silicio con un prototipo. El proceso de fabricación al no ser ideal introduce defectos en el circuito integrado. Los defectos causan fallos lo cual resulta en el comportamiento erróneo del circuito. El modelo de fallos en un test estructural es útil únicamente para simulación y no proporciona información sobre su probabilidad real de aparición en el circuito. También se considera que el fallo tiene un impacto local como, por ejemplo, establecer una conexión eléctrica entre dos nudos que de otro modo están aislados. Por tanto, efectos que son debidos a variaciones globales del proceso deberían ser detectados en el entorno de fabricación por circuitos monitores específicos.

### 2.4.1 Utilidad del modelo de fallos

Los modelos de fallos juegan un papel importante en el éxito del test estructural, siendo utilizados en la;

**Generación de test.** El modelo de fallos cumple dos objetivos durante la generación de test. Primero proporciona una indicación del grado de mejora esperable del método de test al mostrar cuantos fallos quedan por detectar. El segundo objetivo es cuantificar la eficacia del test, calculando la fracción de los fallos detectados (cobertura de fallos) y la fracción de los fallos que no pueden ser detectados (fallos no testables).

**Simulación de fallos.** La simulación de fallos requiere un modelo de fallos. Excepto para unos pocos casos sencillos (como fallos stuck-at para circuitos con un número reducido de entradas), la simulación de fallos no puede probar que un fallo es no testable, pero puede evaluar el método de test y determinar su cobertura.

**Estimación de calidad.** El propósito último de la métrica de cobertura de fallos es proporcionar un modo de asegurar que un método de test para el chip va a permitir cumplir unos requisitos de calidad demandados. La calidad se mide en términos de defectos mientras que la cobertura lo hace en función de fallos, por lo que a veces es necesario utilizar modelos sencillos con objeto de cuantificar esta relación [Dwo01].

**Diagnosis de fallos.** Los modelos de fallos se pueden utilizar durante el proceso de diagnosis para ayudar a encontrar la raíz de los circuitos defectuosos. Los algoritmos de diagnosis de fallos utilizan un modelo para predecir el comportamiento del circuito en fallo, comparar las predicciones con el funcionamiento del circuito defectuoso e identificar cual de las simulaciones se acerca más al comportamiento observado. De este modo se identifica las causas más probables para un posterior estudio. Para que este proceso tenga éxito el defecto real debe estar comprendido en la lista de fallos y esta tiene que ser lo suficientemente pequeña para permitir discriminar entre cada uno de los fallos [Ait95].

### 2.4.2 Niveles del modelado de fallos

Existen diversas formas de representar los defectos físicos de los ICs con el propósito de incluirlos en un simulador de fallos. Una clasificación de estos fallos puede hacerse de acuerdo a su nivel de abstracción, donde la elección del nivel de abstracción es un compromiso entre la precisión del modelo de fallos y el coste de simulación. Así un modelado lógico a nivel de puerta es el más rápido pero también el menos preciso que un modelo a nivel de layout obtenido de un análisis inductivo de fallos (IFA). El primero permite utilizar relaciones booleanas para determinar la funcionalidad del circuito pero al ignorar aspectos del comportamiento eléctrico del defecto no tiene en cuenta la influencia del valor de la resistencia en las tensiones de los nudos internos. El segundo modela eléctricamente la geometría y material del defecto pero conlleva enormes requisitos computacionales.

Las etapas de desarrollo de un producto electrónico van desde los requerimientos de diseño, pasando por las especificaciones funcionales hasta las especificaciones estructurales [Bee86].

Estas etapas se muestran en la parte izquierda de la figura 2.3. Sus correspondientes niveles de test, llamados test de verificaciones se muestran en la parte derecha de la figura. Cada tipo de test tiene un objetivo distinto, que consiste en asegurar que las correspondientes especificaciones se cumplen adecuadamente. Al final del proceso de verificación, si el diseño es correcto, pasa a producción y los tests de verificación se substituyen por los tests de producción. En este entorno, el nivel del modelado de fallo está determinado por el tipo de análisis que se realiza al circuito.

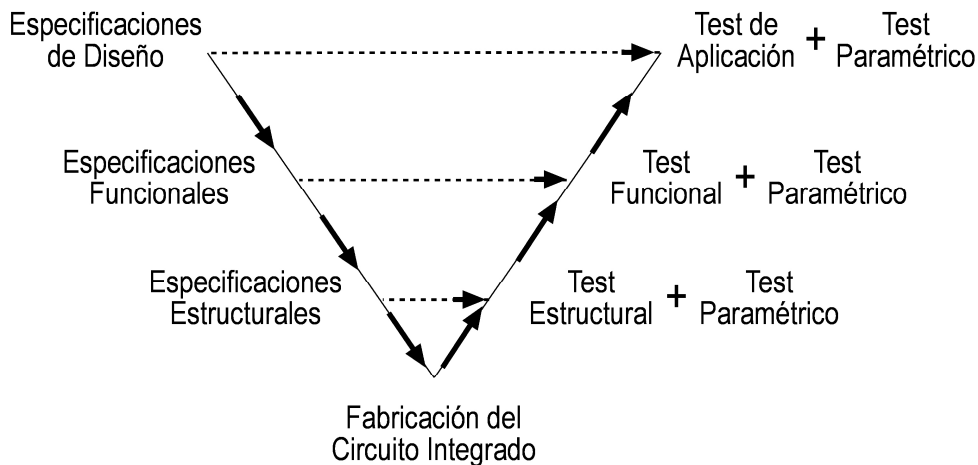


Figura 2.3. Proceso de diseño y verificación ideal [Bee86]

El objetivo del test funcional es verificar el funcionamiento del circuito integrado, por lo tanto normalmente no está basado en un modelo de fallos sino enfocado a las especificaciones del circuito. Sin embargo, algunos test funcionales pueden aprovechar las ventajas de los modelos de fallos cuando estos se enfocan hacia a la funcionalidad del circuito. Por ejemplo, las memorias RAM tienen su propio modelo donde junto con los fallos stuck-at, se incluyen fallos stuck-open, fallos de acceso, fallos de acoplamiento entre celdas, fallos de retención de dato, etc, permitiendo diseñar algoritmos específicos de test para cada tipo de fallo [Sac07].

El objetivo del test estructural es asegurar la correcta estructura del circuito integrado con respecto a las especificaciones originales. Por tanto se requieren modelos de fallos que representen los defectos del proceso de producción. Los vectores de test aplicados al circuito se generan para detectar estos fallos. Sin embargo, debido a consideraciones económicas, a veces no es posible verificar todos los posibles defectos del circuito, por lo que se suele alcanzar un compromiso entre el modelo de fallo y el coste del test. Adicionalmente, el modelo de fallos permite desarrollar estrategias de diseño para testabilidad (DfT) que mejoran la economía del test mientras aumentan o mantienen la cobertura de fallos.

El diseño adecuado de un circuito no garantiza por sí solo que el dispositivo va a funcionar correctamente en el sistema. Es necesario caracterizar su comportamiento bajo las diferentes condiciones que se supone que el circuito va a encontrar en su operación diaria. También, hay que garantizar que se cumplen expresamente las prestaciones reportadas en las hojas de datos y posibles solicitudes de los clientes. Cuantificar las prestaciones del circuito en términos de

velocidad, parámetros AC y DC, consumo de potencia y sensibilidad frente a condiciones del entorno (temperatura, tensión...) son los objetivos del test paramétrico.

Los defectos objetivo del test estructural se representan por modelos de fallos con varios niveles de abstracción. Un nivel alto estará formado por fallos adecuados a una representación lógica del circuito digital, donde destaca el modelo stuck-at. El siguiente escalón es sustituir las puertas lógicas por su representación a nivel de transistor con lo que los defectos se modelan por fallos de puente, fallos de cortocircuito de óxido de puerta (GOS) y fallos de abierto.

El nivel de abstracción inferior cambia la representación de los transistores por su geometría física a nivel de layout, donde los defectos dan lugar, además de fallos de puente, GOS y abiertos, a fallos que conllevan grandes variaciones en los tamaños de componentes (por ejemplo, cuando se desconecta alguno de los elementos unitarios conectados en paralelo en transistores de gran tamaño) o a la aparición de nuevos dispositivos si el defecto distorsiona las zonas de difusión de drenador y fuente. La continua mejora de la calidad de los circuitos integrados requiere un estudio de la probabilidad de ocurrencia de cada posible defecto. El modelo de fallos a nivel de transistor considera todos los fallos equiprobables, sin embargo este no es el escenario habitual.

Para extraer una lista de fallos catastróficos de forma realista hay que tener en cuenta no sólo datos estadísticos sobre probabilidad de aparición de defectos, materiales de las máscaras y distribución de tamaños físicos, sino también el layout del circuito a analizar. Toda esta información es procesada por herramientas de análisis inductivo de fallos (IFA) [Wal86][Mal87][Seb95]. Sin embargo, la ventaja de disponer de los fallos más relevantes del circuito se ve contrarrestada no solo por la necesidad de obtener datos precisos del proceso de fabricación, de difícil acceso, sino también del layout del circuito, lo cual pospone la etapa de evaluación del método de test muy atrás en el proceso de diseño de los circuitos integrados.

Una comparativa entre el modelo de fallos obtenida de una herramienta IFA y un modelo de fallos a nivel de transistor realizada por Olbrich [Olb96] llega a la conclusión que mientras sólo el primer método permite estimar datos de rendimiento de fabricación, el modelo de fallos a nivel de transistor es un vehículo adecuado para realizar un análisis cualitativo del método de test.

Por tanto en este capítulo, tras una breve presensación del modelo de fallos stuck-at a nivel lógico, nos centraremos en el estudio de la relación defecto-fallo a nivel de transistor con un análisis del modelado de fallos de puente, GOS y abiertos.

El test paramétrico considera variaciones en los procesos de fabricación que, al desviarse demasiado de sus valores nominales, dan lugar a la aparición de defectos en circuito. Estos defectos se modelan como fallos paramétricos consistentes en desviaciones de los parámetros eléctricos de los componentes que llevan a que alguna especificación del circuito no se cumpla. En el apartado 2.4.7 se describe con más detalle la relación entre los defectos y los modelos de fallos paramétricos.

### 2.4.3 Fallos stuck-at

El modelo de fallos stuck-at, originalmente publicado por Eldred [Eld59] para circuitos formados por resistencias y tubos de vacío, fue el primero utilizado y aún sigue siendo uno de los más comunes en circuitos digitales. En el modelo de fallo stuck-at más sencillo, se asume que un único nudo del circuito toma un valor lógico fijo representado por una conexión directa a la línea de alimentación (stuck-at 1) o la de tierra (stuck-at 0) independientemente del valor de las entradas [Hay84]. Este modelo tiene varias ventajas;

- 2 Simplicidad. Normalmente se aplica a nivel de puerta lógica, solo hay dos fallos por cada una de las entradas y salidas.
- 3 Comportamiento lógico. El funcionamiento del circuito digital continúa siendo descrito por ecuaciones booleanas y, por tanto, pueden utilizarse las relaciones de equivalencia tradicionales.
- 4 Trazabilidad. El número de fallos es directamente proporcional al tamaño del circuito, por lo que se pueden analizar circuitos de gran tamaño, incluso con millones de puerta, de una sola pasada.
- 5 Resultados medibles. Dado que el número de fallos está acotado, es posible determinar con precisión si un conjunto de entradas detecta o no un fallo y por tanto cuantificar la figura de cobertura.

El modelo de fallos stuck-at ha venido siendo utilizado para múltiples tecnologías y ha soportado sucesivas disminuciones del tamaño de los transistores por lo que tiene el mayor conjunto de herramientas maduras asociado a él. Aunque el comportamiento de algunos de los defectos se puede asimilar a fallos stuck-at (a pesar de que realmente no conlleven la conexión de un nudo a tierra o alimentación), en los nuevos procesos, con transistores más pequeños y mayor número de niveles de metal, aparecen defectos que no se pueden incluir en el modelo stuck-at, como son fallos de cortocircuito que crean lazos de realimentación en circuitos combinatoriales y secuenciales, o algunos fallos de abierto en los terminales de los transistores.

### 2.4.4 Fallos de puente

La topología del circuito es a menudo diferente de su representación lógica, especialmente en puertas complejas. Algunas conexiones del circuito lógico no se pueden asignar a un lugar físico del layout y viceversa. Esto conlleva que algunos defectos no puedan ser modelados adecuadamente, por ejemplo el cortocircuito drenador-fuente de un transistor NMOS en una puerta NAND.

Modelar los fallos a nivel de transistor presenta mejoras en la caracterización de los defectos físicos de los circuitos integrados. Galiay [Gal80] analizó los circuitos defectuosos de un microprocesador NMOS de 4 bits, encontrando que los abiertos y cortocircuitos en la metalización y difusión eran las principales causas de fallo. Varios de estos defectos no

podieron ser modelados utilizando el modelo de fallos stuck-at, aunque sí tienen representación a nivel de transistor.

Una extensión sencilla del modelo stuck-at es considerar, además de cortocircuitos con las líneas de alimentación, conexiones entre diferentes nudos del circuito. A este modelo se denomina modelo de fallos de puente [Mei74].

Los fallos de puente inducen comportamientos eléctricos anormales que dependen, además de la topología del circuito, de ciertas variables como; tipo de resistencia a que da lugar el defecto (óhmica o no lineal), si las conexiones aparecen entre nudos internos de los módulos o entre las entradas y salidas de bloques diferentes, estructura combinatorial o secuencial del circuito afectado, conexiones a líneas de alimentación y tierra, material del defecto que da lugar al fallo (metal, polisilicio, difusión), relación entre tamaños (W/L) de los transistores afectados, etc.

#### 2.4.4.1 Concepto de resistencia crítica

Los fallos de cortocircuito o puente se activan cuando los nudos involucrados son llevados a valores diferentes de tensión. En este momento, en circuitos digitales, aparece un camino de conducción desde la tensión de alimentación, por transistores PMOS activos, a través del fallo de cortocircuito (modelado como una resistencia) y por los transistores NMOS activos hasta tierra. Cuanto menor sea la resistencia que modela el defecto de cortocircuito más probable es que el camino de conducción cambie el funcionamiento del circuito.

<b>Resistencia (<math>\Omega</math>)</b>	1700	1720	1750	1780	2000	3000
<b>Retraso</b>	Stuck-at 0	600ps	250ps	150ps	70ps	<10ps

Tabla 2.1. Resistencia y retraso para un cortocircuito en la tecnología de 90nm

Esta idea se puede extender al concepto de “resistencia crítica” por debajo de la cual el circuito no funciona y por encima lo hace correctamente [Rod92]. Realmente hay múltiples resistencias críticas para cada cortocircuito, como se muestra en la tabla 2.1, que detalla los retrasos asociados al valor resistivo de un fallo de puente entre la salida de un inversor en la tecnología de 90nm [Ait08]. Existe una resistencia crítica, por debajo de  $1700\Omega$ , que produce un fallo lógico (stuck-at 0) bajo cualquier circunstancia, un conjunto de resistencias donde el valor crítico depende de los requerimientos de velocidad y del entorno de operación del circuito y finalmente una resistencia crítica para un test  $I_{DDQ}$ , donde el defecto causa un incremento de corriente estacionaria medible. Por ejemplo, una técnica  $I_{DDQ}$  con  $100\mu A$  de resolución será capaz de identificar cortocircuitos entre dos nudos cuya tensión difiera en un voltio para resistencias menores de  $10k\Omega$ .

#### 2.4.4.2 Defectos de puente en circuitos digitales

Los defectos de puente en circuitos digitales dan lugar a diferentes comportamientos según afecten a módulos combinatoriales o secuenciales.

**Cortocircuitos en circuitos combinatoriales.** Los defectos de puente que aparecen en circuitos combinatoriales se pueden clasificar en dos grandes categorías; Fallos que no introducen realimentación en el sistema y los que, por medio de la realimentación, pueden inducir un comportamiento secuencial.

Los fallos de puente que no crean caminos de realimentación aparecen entre un nudo del circuito y otro punto que no afecta a ninguna de sus entradas o entre dos entradas de una misma puerta lógica. Este es el tipo más sencillo de fallos y cuando se activa los nudos afectados alcanzan tensiones intermedias dependientes del valor de su resistencia y la corriente que suministran los transistores involucrados.

El otro tipo de cortocircuito (realimentación) crea un camino de lógico desde la salida de una puerta hacia su entrada. El comportamiento de estos fallos es complejo y pueden aparecer tres situaciones diferentes;

1. La salida del módulo digital afectado no depende del valor de la entrada afectada por el cortocircuito con lo que tenemos un fallo similar al caso anterior.
2. La salida de la celda toma el mismo valor lógico que la entrada afectada por el cortocircuito. Estos fallos han sido considerados tradicionalmente redundantes al tener el mismo nivel lógico. Esto sólo es cierto si la puerta que fija la entrada proporciona un nivel de corriente mayor que la puerta de la salida conectada a través del fallo. En caso contrario podría aparecer un lazo de memoria, si la puerta de salida es dominante, o un incremento del retraso en circuito si su contribución es similar.
3. La salida del bloque digital tiene un nivel lógico opuesto al de la entrada afectada por el fallo de puente. También aquí pueden aparecer dos comportamientos diferentes, si la puerta que fija la entrada tiene un nivel de corriente superior a la salida obtendremos un nivel lógico erróneo y un incremento de corriente. En caso de que domine la puerta conectada a la salida de la celda el defecto causa una oscilación cuya frecuencia viene dada por el retraso de propagación entre ambos nodos.

**Cortocircuitos en circuitos secuenciales.** Dado que el circuito secuencial conserva la información de su estado anterior, la detección de los defectos de puente es más complicada.

Para mejorar la eficacia del test de corriente en este tipo de circuitos, Lee introdujo el concepto de “lazo de control” para designar a un grupo de transistores que se agrupan entre sí para crear un elemento de memoria [Lee92]. El lazo de control se dice que está en un estado flotante cuando mantiene el dato memorizado y por tanto no es sensible a ningún valor lógico externo. En esta situación algunos cortocircuitos del lazo de control con puertas externas pueden cambiar el dato lógico almacenado en la memoria sin incrementar el consumo de corriente estacionaria. También, algunas estructuras de flip-flops implementadas con puertas NAND o con puertas de transmisión pueden exhibir comportamientos donde un defecto de cortocircuito no da lugar a un incremento de  $I_{DDQ}$  ni tampoco tiene reflejo en el test de tensión [Met93][Rod94].

Para obtener flip-flops completamente testables se han propuesto diseños donde, añadiendo una pequeña porción de lógica, se logran detectar todos los fallos de puente con un test  $I_{DDQ}$  o un test de tensión [Sac95].

**Cortocircuitos en celdas de memoria.** Al igual que en los circuitos secuenciales, los defectos de puente en memorias SRAM pueden o no causar un incremento de la corriente estacionaria dependiendo de los nudos afectados [Nai93]. La razón por la que no se incrementa  $I_{DDQ}$  es la misma que en los flip-flops y ocurre en los lazos de control flotantes donde se almacena el valor del dato. Tampoco son detectables por un test  $I_{DDQ}$  defectos de puente con celdas de memoria adyacentes, dado que cuando las celdas de memoria no son accedidas expresamente no mantienen su estado lógico y por tanto no se crean conflictos que originen el incremento de corriente. Sin embargo, estos defectos podrían ser detectados con test funcionales.

Según la tecnología va permitiendo mejoras en la resolución del proceso de fabricación, las características de los fallos de puente se van modificando. Por ejemplo, la resistencia crítica se reduce porque a medida que el tamaño del transistor disminuye su fuerza de conducción aumenta, lo cual dificultará la detección de los cortocircuitos por los test de tensión. También, en las tecnologías submicrónicas, el incremento de las corrientes de fuga hace menos efectivo el test  $I_{DDQ}$ , por lo que hay que abandonar el límite de detección único y moverse hacia procesados más sofisticados de las medidas como técnicas Delta- $I_{DDQ}$  [Thi99], cociente de corrientes [Max00], comparación con los chips adyacentes [Daa02], etc.

#### **2.4.5 Fallos GOS**

La puerta de un transistor MOS está aislada de su canal por una capa fina de óxido aislante ( $\text{SiO}_2$ ). Para una tecnología de 130nm, la anchura del óxido es de 3nm y cada generación posterior requiere reducir esta magnitud. El crecimiento del óxido fino es una etapa muy crítica en la fabricación VLSI siendo su control una de las claves para mantener la calidad y fiabilidad del proceso [Sch94].

Un cortocircuito del óxido de puerta (GOS) es una conexión eléctrica a través del óxido fino entre la puerta y uno de los otros tres terminales del transistor (drenador, fuente, sustrato). Típicamente el valor resistivo del cortocircuito es del orden de unos pocos  $\text{k}\Omega$ , con lo que estos defectos son difícilmente detectables por test funcionales o de tensión y comprometen la fiabilidad del circuito [Haw99]. Sin embargo, cuando se excitan lógicamente pueden ser detectados por un test de corriente.

En uno de los primeros estudios de este tipo de defectos se encontró que los cortocircuitos GOS son uno de los mecanismos que más afectaban a la fiabilidad del circuito [Haw85][Sod86]. En el experimento, se sometió a más de 5000 circuitos de memoria RAM estática a una prueba con una tensión de alimentación alta. De los que 687 fallaron por ruptura del dieléctrico del óxido de puerta, de ellos 254 (37%) fallaron el test de corriente pero pasaron el test funcional mientras que los restantes 433 fallaron tanto el test  $I_{DDQ}$  como los test de tensión.



Los defectos GOS son causados por varios motivos. Los cortocircuitos entre la puerta y el drenador o fuente son a menudo originados por descargas electrostáticas. Pueden aparecer tanto durante el proceso de fabricación como posteriormente debido a rupturas provocadas por campos eléctricos demasiados grandes y estrés térmico. La aparición retardada también se conoce como TDDDB (Time Dependent Dielectric Breakdown) y es debida principalmente a dos motivos. El primero es la aparición de defectos debido a impurezas durante el proceso de fabricación que causan un estrechamiento local del óxido fino, lo cual da lugar a un mayor campo eléctrico que va aumentando el daño en esa región. El segundo es debido a las cargas atrapadas en el óxido durante el proceso de fabricación, estas zonas atraen más a los electrones calientes que continúan deteriorando el óxido. Ambos procesos se van agravando con el tiempo hasta que dan lugar a una ruptura completa del óxido [Sod86][Sch94][Haw99].

Hawkins y Soden utilizaron descargas electrostáticas (ESD) y técnicas láser en la creación de GOS para poder estudiar las propiedades eléctricas de estos defectos y construir un modelo de fallos adecuado. El ESD crea un gran campo eléctrico cerca del borde de la puerta y produce cortocircuitos entre la puerta y el drenador/fuente del transistor. Para polisilicio dopado “n” y difusión “n+” estos defectos causan resistencias cuyos valores abarcan desde  $800\Omega$  hasta  $4k\Omega$ . Las técnicas de láser permiten crear defectos en cualquier región de la puerta con lo que permite crear cortocircuitos entre la puerta dopada “n” y el sustrato “p” donde la unión PN se transforma en una conexión resistiva al aparecer el canal. Utilizando un modelo bidimensional para el transistor, esta resistencia dividiría el transistor original en dos cuyas anchuras dependerían de la posición del defecto. Para transistores PMOS, el GOS entre el polisilicio “n” y la fuente/drenador “p+” forma una unión PN y la conexión con el sustrato da lugar a una resistencia que al formarse el canal provoca la aparición un transistor bipolar lateral.

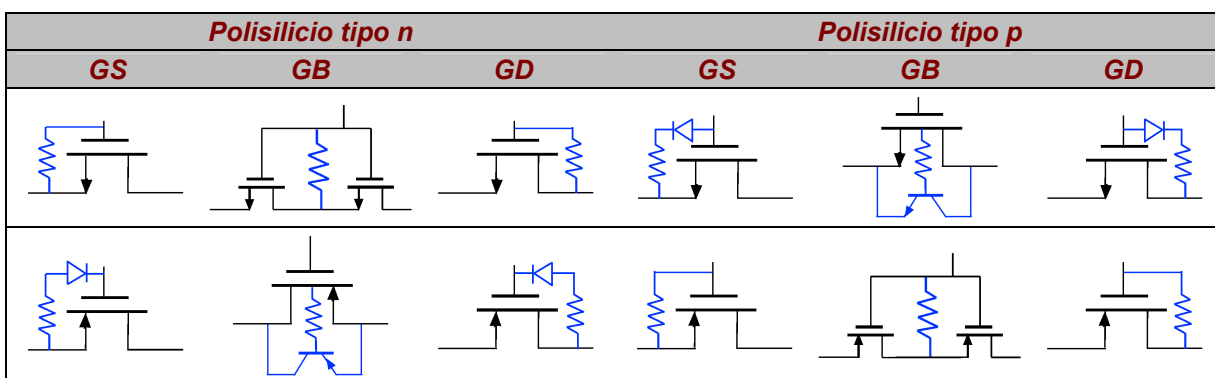


Tabla 2.2. Modelo eléctrico generalizado para cortocircuitos en el óxido de puerta [Seg95]

Teniendo en cuenta todas las combinaciones de tipos de transistor, localización del defecto y tipo de dopado de puerta se puede construir el modelo de fallos generalizado para los GOS de la tabla 2.2 con 12 subcircuitos [Syt89][Seg95]. Los principios eléctricos son; Los cortocircuitos entre puerta y drenador/fuente da lugar a resistencias o diodos dependiendo de si el tipo de dopaje es el mismo o diferente respectivamente. Los cortocircuitos entre puerta y sustrato que conectan regiones de diferente dopaje crean un transistor MOS parásito

mientras que los defectos que unen regiones del mismo tipo activan un transistor bipolar lateral.

Aunque los defectos GOS no lleguen a causar el malfuncionamiento completo del transistor y permitan mantener al circuito integrado su comportamiento lógico, degradan sus prestaciones (especialmente las temporales) al reducir la transconductancia del transistor afectado. Mientras que tradicionalmente los GOS han dado lugar a un incremento de corriente que puede ser detectado por un test  $I_{DDQ}$ , al disminuir en tecnologías submicrónicas el tamaño de los transistores y la tensión de alimentación están apareciendo rupturas suaves (SBD Soft Breakdown dielectric) donde el valor de la resistencia que modela el defecto es grande [Pom99] dificultando la detección de la corriente.

#### 2.4.6 Fallos de abierto

Mientras los cortocircuitos son el tipo de defecto más común en la mayoría de los procesos CMOS también hay que considerar los defectos que dan lugar a abiertos. El principal efecto es desconectar una línea de la fuente de señal que la controla y dejarla en alta impedancia. El nudo no tiene camino de conducción a alimentación o tierra y su tensión depende de las propiedades y topología de los elementos cercanos. Las dos principales variables que establecen la tensión final de un nudo flotante son el tamaño de la rotura, que determina si los electrones pueden atravesar el abierto debido al efecto túnel, y la cantidad de carga almacenada.

La carga almacenada en la línea flotante depende del acoplo capacitivo con los nudos cercanos y de la carga en los terminales del transistor a los que puede estar conectada (normalmente una combinación compleja de ambas contribuciones).

La línea flotante puede estar enmarcada en un divisor capacitivo cuando parte de ella transcurre sobre un área de pozo (conectado a  $V_{DD}$ ) y otra parte sobre el sustrato (conectado a GND). La relación entre ambas capacidades establece la tensión final  $V = C_1/(C_1 + C_2) \cdot V_{DD}$ , siendo  $C_1$  la capacidad entre el nudo flotante y alimentación y  $C_2$  la capacidad entre el nudo y tierra. En general la tensión se puede expresar como  $V = \alpha \cdot V_{DD}$  con  $\alpha$  una constante que varía entre 0 y 1.

Normalmente, las líneas de metal están rodeadas por otras líneas que conducen señales. Entre ellas aparecen capacidades parasitas que acoplan todos los nudos. Esta capacidad será pequeña si las líneas se cortan perpendicularmente pero puede ser significativa si las líneas transcurren paralelas durante una cierta distancia. Se forma nuevamente un divisor capacitivo que fija la tensión en  $V = \alpha \cdot V_{DD} + \sum_{i=1}^n \alpha_i \cdot V_i$ , donde  $n$  es el número de nudos con tensión  $V_i$  al que está acoplada la línea flotante y  $\alpha_i$  son un conjunto de constantes entre 0 y 1. En este caso las tensiones en los nudos  $V_i$  pueden experimentar transiciones, con niveles digitales o analógicos, variando la tensión  $V$  con el tiempo.

La carga almacenada en el nudo flotante correspondiente a la puerta de un transistor está fuertemente influenciada por el acoplamiento con los terminales de drenador, fuente y canal [Ren92][Cha94][Joh94]. Aquí la tensión de drenador juega un importante papel en la tensión de puerta que se puede expresar como

$$V_{FG} = \frac{Q_{FG}}{C_G} + \alpha \cdot V_{DS} \quad (1)$$

Donde  $Q_{FG}$  es la carga en el nudo flotante,  $C_G$  es su capacidad y  $\alpha$  varía entre 0 y 1. Resultados experimentales en [Cha94] y [Joh94] muestran tensiones de puerta entre 3 y 5 voltios demostrando que los transistores pueden conducir niveles significativos de corriente

Pequeñas rupturas o fisuras en líneas de metal, contactos o vías muestran un comportamiento eléctrico inusual para los abiertos. Rupturas estrechas, menor de  $0.01\mu\text{A}$ , pueden soportar mecanismos cuánticos que permiten circular electrones gracias al efecto túnel cuando una tensión entre sus extremos crea un campo eléctrico [Hen91]. El efecto túnel permite a una partícula atravesar una barrera de potencial finita como consecuencia de la dualidad onda-partícula. Un mecanismo dominante se conoce por “Fowler-Nordheim tunneling” y la densidad de corriente  $J_e$  asociada se puede describir [Hou52] cuantitativamente por;

$$J_e = \frac{1.55 \cdot 10^{-6} \cdot E^2}{\phi} \exp\left(\frac{-6.86 \cdot 10^7 \cdot \phi^{3/2} v(y)}{E}\right) \quad (2)$$

Donde  $J_e$  es la densidad de corriente en  $\text{A}/\text{cm}^2$ ,  $\phi$  es la función de trabajo del metal en  $\text{eV}$ ,  $E$  es el campo eléctrico en  $\text{V}/\text{cm}^2$  y  $v(y)$  es una función de la forma del defecto. Cuanto más pequeña es la fisura más corriente circula por ella. Estos defectos dar lugar a la aparición de fallos que inducen retraso en la propagación de la señal.

Otra contribución a la carga en las líneas flotantes viene de la carga inducida durante la fabricación debido a procesos como el grabado o la implantación iónica. Aunque normalmente esta carga se elimina durante etapas posteriores de calentamiento del metal, se puede almacenar alguna porción en el óxido. Su efecto aparecerá durante el funcionamiento del circuito complicando el modelado exacto de los fallos de abiertos.

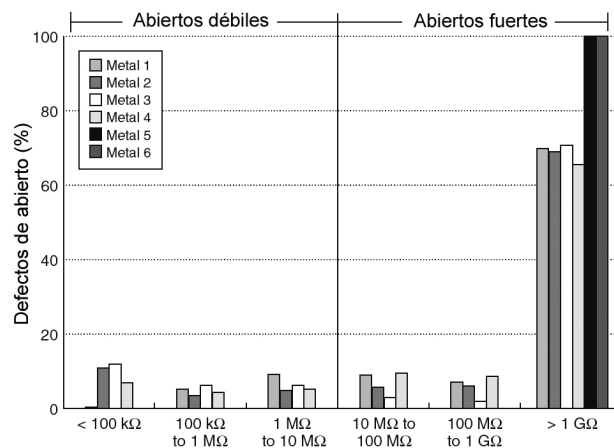


Figura 2.4. Distribución del valor de resistencia que modela un defecto de abierto [Rod02]

Un análisis experimental [Rod02], realizado en un proceso basado en aluminio de 180nm, muestra que bastantes de los abiertos que aparecen en las líneas de interconexión son parciales o “casi abiertos” (se pueden modelar por resistencias menores de  $10M\Omega$ ), estos defectos que son difíciles de detectar, siendo el porcentaje de abiertos fuertes con resistencias superiores a  $1G\Omega$  mayor del 65% para todos los niveles de metal (figura 2.4). Resultados similares a los obtenidos para defectos de abierto se producen también en vías y contactos. La resistencia del defecto de abierto en los dos niveles de metales superiores (5 y 6) es siempre mayor que  $1G\Omega$  debido a que, en estas últimas etapas del proceso, la anchura de las líneas es sensiblemente superior a las demás (tabla 2.6) haciendo extremadamente improbable la aparición de fisuras que den lugar a abiertos débiles.

#### 2.4.6.1 Abiertos en circuitos lógicos

El aumento de los niveles de interconexión conlleva la proliferación del número de vías, incrementando la probabilidad de aparición de defectos que den lugar a pérdida de alguna de ellas o a un incremento en su resistencia. El comportamiento resultante no es fácilmente modelable ya que en algunos casos el circuito sigue funcionando, aunque a velocidades menores, mientras que en otros las líneas flotan hacia tensiones desconocidas.

En los circuitos digitales los defectos de abierto causan seis comportamientos diferentes dependiendo del tamaño del abierto y de su localización [Haw94]. Estas seis clases, válidas también para tecnologías nanométricas, son las siguientes.

**Abierto de puerta de transistor.** El primer tipo de defecto es una desconexión entre el polisilicio de la puerta y la línea de metal sobre ella. Aparentemente no llega señal a la puerta del transistor pero aparece un divisor capacitivo entre drenador-puerta y puerta-fuente. Si la tensión resultante está por encima de la tensión umbral, el transistor conduce y se comporta como una resistencia lenta que soporta una correcta operación lógica del circuito. Sin embargo, los márgenes de ruido, velocidad de operación y consumo de corriente estacionaria se ven comprometidos.

**Abiertos de puertas lógicas.** El segundo y tercer tipo de defecto de abierto afectan a un par de transistores complementarios. El abierto es muy susceptible a su entorno físico y presenta una tensión flotante que puede fijar la salida de la puerta a un nivel lógico fijo equivalente a fallos stuck-at 0 o stuck-at 1. Se consideran dos clases de defectos diferentes dependiendo de si la salida se mantiene en los raíles de alimentación ( $V_{DD}$  o GND) o está flotando en una tensión intermedia que acarrea la conducción de ambos transistores. El resultado para este último caso es un nivel  $I_{DDQ}$  elevado.

**Abiertos en circuitos secuenciales.** El cuarto tipo de defecto de abierto es propio de circuitos secuenciales como flip-flops. Afectan al transistor NMOS o PMOS de las puertas de transmisión CMOS. Existen varias posibles localizaciones y comportamientos cuyo resultado se traduce en una degradación de los niveles lógicos y de la respuesta del circuito [Haw94].

**Abiertos que deja un transistor stuck-at open.** Si un abierto aparece en los terminales de drenador o fuente, aunque aparece la carga de inversión en el canal, esta no se transfiere fuera del transistor. Lo cual da lugar a nudos flotantes que van a mantener el estado lógico anterior para algunos vectores de test. Aunque son fallos difíciles de detectar se pueden utilizar secuencias de dos entradas lógicas que diferencien entre el circuito en fallo y el libre de fallo [Sod89].

**Abiertos debidos a pequeñas fisuras.** El sexto tipo de defectos aparecen para pequeñas rupturas en las líneas de interconexión. Como se ha comentado, algunos electrones aun pueden circular entre ambos extremos debido al mecanismo cuántico del efecto túnel. Inducen degradaciones en las prestaciones de los circuitos y estos defectos se solapan con otro tipo denominados paramétricos.

### 2.4.7 Fallos paramétricos

Los defectos paramétricos no se comportan como los abiertos o cortocircuitos. Estos fallos están relacionados con la velocidad de operación del circuito y son función de la temperatura, la tensión de alimentación y la frecuencia del reloj.

Los fallos paramétricos normalmente son insensibles a muchos métodos de test como el  $I_{DDQ}$ , el test de tensión, o los test funcionales y dan lugar a problemas de fiabilidad que pueden emerger en cualquier momento de la vida del circuito. Debido a la naturaleza de estos fallos, su detección y caracterización requiere equipos de medida caros y el desarrollo de placas de test complejas para la conexión del circuito.

Los fallos paramétricos pueden aparecer con o sin la presencia de defectos, pero en ambos casos el circuito no verifica alguna de las especificaciones debido a la alteración de un parámetro del proceso o al incremento de la sensibilidad del circuito a la temperatura, tensión de alimentación, acoplo capacitivo/inductivo entre diferentes señales, frecuencia de reloj y/o radiación.

<b>Mecanismo de Fallo</b>		<b>Efecto Físico</b>
Intrínseco	Variación de parámetros del proceso de fabricación	Variación de $V_{th}$ Variación de la anchura de las capas de dieléctrico Variación de resistencia de interconexión, anchura del metal, espaciado, espesor, granularidad Variación de $L_{eff}$ Variación de $W_{eff}$ Variación de la relación de longitud NMOS-a-PMOS Resistencia de difusión
Extrínseco o intrínseco	Metal: Defecto vía-interconexión Electromigración Hueco por estrés físico	Metal resistivo
	Óxido: Defecto o desgaste Portadores calientes	Cortocircuito en óxido de puerta Inyección de portadores calientes

Tabla 2.3. Mecanismos de fallo paramétrico y efectos físicos [Seg04]

Los fallos paramétricos se pueden calificar en intrínsecos y extrínsecos [Seg04]. Los fallos paramétricos intrínsecos están causados por una interacción de parámetros eléctricos y no por la aparición de algún defecto. Pueden ser la combinación de los efectos de varios parámetros, cada uno de ellos está dentro de especificaciones, los que den lugar a la aparición del defecto. Por ejemplo, transistores con longitudes de canal menores de la media junto con tensión una umbral también por debajo del valor nominal da lugar a un circuito muy rápido pero cuya corriente de fuga eleva el consumo de potencia por encima de los valores requeridos.

Los fallos paramétricos extrínsecos son causados por pequeños defectos que dan lugar a una distribución estadística de los parámetros del circuito que, sin provocar un funcionamiento erróneo, evita que el circuito cumpla todas sus especificaciones.

Los parámetros de los dispositivos electrónicos y sus interconexiones varían considerablemente dentro de un mismo chip, entre diferentes chips de la misma oblea, entre las diferentes obleas de un mismo lote de fabricación y entre diferentes lotes de fabricación dificultando la predicción del funcionamiento exacto del circuito integrado [Bow00][Kun01]. La tabla 2.3 muestra diversas variedades de mecanismos de fallos, tanto intrínsecos como extrínsecos, y el efecto físico que tienen sobre el circuito.

En los siguientes apartados se detallan algunos de los orígenes de los fallos paramétricos y como afectan a la velocidad de los transistores individuales del circuito integrado

#### 2.4.7.1 Fallos paramétricos intrínsecos

Dos factores causan los defectos paramétricos intrínsecos; físicos y del entorno. Las variaciones físicas vienen de las limitaciones del proceso de fabricación que permiten variaciones estructurales en las características geométricas y eléctricas de los transistores y de sus interconexiones. El efecto del entorno de funcionamiento del circuito se traduce en la sensibilidad de algunas de sus prestaciones, especialmente la velocidad máxima de funcionamiento  $F_{max}$ , a variaciones de la tensión de alimentación, temperatura y ruido.

##### 2.4.7.1.1 Parámetros geométricos de los transistores

Las variaciones en los parámetros geométricos de los transistores son debidas a una combinación de limitaciones en las máscaras fotolitográficas, del proceso químico de grabado, del control de la temperatura, de las implantaciones iónicas, etc.

**Longitud efectiva de canal ( $L_{eff}$ ).** Este parámetro es el que estadísticamente más afecta a la velocidad máxima de operación del circuito ( $F_{max}$ ) [Ber98]. La principal razón es que  $L_{eff}$  está en el denominador de la corriente de saturación ( $I_{D,sat} = \mu_0 C_{OX} (W/L_{eff}) (V_{GS} - V_{th})^2$ ). Pequeñas disminuciones en  $L_{eff}$  originan incrementos en  $I_{D,sat}$ , las capacidades pueden ser cargadas y descargadas más rápidamente, permitiendo funcionar a mayores frecuencias al circuito. La relación entre la corriente de saturación y la longitud de canal efectiva se muestra en la figura 2.5 para dos grupos de transistores NMOS con dos longitudes de canal distintas [Kes91]. Se

aprecia una gran variabilidad en ambas magnitudes a pesar de haber diseñado los transistores con la misma longitud de canal.

Otro factor es que la disminución de  $L_{\text{eff}}$  causa una reducción de la tensión umbral, lo cual también permite un aumento de la velocidad del transistor a través de la tensión de sobrevoltaje ( $V_{GS} - V_{th}$ ).

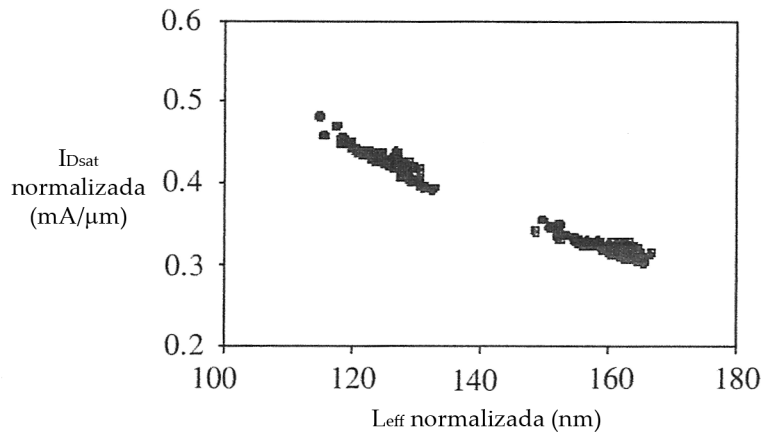


Figura 2.5. Corriente de saturación ( $I_{Dsat}$ ) para dos grupos de NMOS [Kes91]

**Anchura efectiva del canal ( $W_{\text{eff}}$ ).** Tiene una menor influencia en la velocidad de conmutación del transistor pero es parámetro importante en transistores con dimensiones mínimas. Afecta especialmente a la tensión umbral  $V_{th}$  a través de su dependencia con el tamaño del canal del transistor.

**Relación entre longitudes de NMOS y PMOS.** Esta variación puede afectar a circuitos digitales ya que la relación entre los tamaños de los transistores NMOS y PMOS determina los márgenes de ruido, las tensiones de computación de las puertas y las velocidades de subida y bajada de las tensiones de salida.

**Anchura del óxido de puerta ( $T_{OX}$ ).** La anchura del óxido de puerta tiene un impacto muy importante en las prestaciones eléctricas del transistor ya que afecta directamente a la transconductancia, tensión umbral y corriente del dispositivo. Actualmente el óxido de puerta contiene unas pocas capas de moléculas de  $\text{SiO}_2$  y la presencia o ausencia de una de ellas puede causar discrepancias locales del 15%-20% en el parámetro  $T_{OX}$  con el consiguiente efecto de la fuerza del campo eléctrico [Seg04].

#### 2.4.7.1.2 Parámetros eléctricos de los transistores

Los parámetros eléctricos, relacionados con la ecuación de la corriente del transistor, pueden llegar a inducir fallos paramétricos si variaciones en el proceso de fabricación inducen dispersiones demasiado grandes en ellos. Entre ellos se encuentran la tensión umbral  $V_{th}$ , la corriente de saturación  $I_{Dsat}$  y la corriente de apagado  $I_{off}$ .

**Tensión umbral  $V_{th}$ .** La tensión umbral tiene su propia distribución estadística. Afecta a la velocidad de funcionamiento del circuito a través de la tensión de sobrevoltaje (menor  $V_{th}$ , mayor  $(V_{GS} - V_{th})$  y mayor  $I_{Dsat}$ ). Las variaciones en la tensión umbral son debidas a implantes

no homogéneos y variaciones dimensionales de  $L_{\text{eff}}$  y  $W_{\text{eff}}$ . Las dimensiones en un transistor de canal corto alteran la tensión umbral  $V_{\text{th}}$  al variar su valor entre la región central del canal y sus extremos, debido a que un drenador físicamente cercano induce una bajada de la barrera de potencial de la fuente (Drain induced Barrier Lowering DIBL).

La dependencia de la tensión umbral con el tamaño ( $W/L$ ) de los transistores se muestra en la tabla 2.4 para una tecnología de  $0.18\mu\text{m}$  a  $25$  grados centígrados. Los dispositivos cortos muestran una tensión umbral objetivo de  $417\text{mV}$  (con un rango de dispersión de  $\pm 14\%$  debido a variaciones del proceso), mientras que la progresiva reducción de la anchura del canal disminuye la  $V_{\text{th}}$  hasta  $324\text{mV}$ .

<b>Transistor NMOS</b>	<b>Tensión umbral (Voltios)</b>			
	<b>Dimensiones (W/L)</b>	<b>Lenta SS</b>	<b>Típica TT</b>	<b>Rápida FF</b>
Canal grande	$10\mu\text{m}/10\mu\text{m}$	0.348	0.319	0.290
Canal corto	$10\mu\text{m}/0.18\mu\text{m}$	0.475	0.417	0.364
Canal estrecho	$0.24\mu\text{m}/10\mu\text{m}$	0.332	0.281	0.232
Canal pequeño	$0.24\mu\text{m}/0.18\mu\text{m}$	0.415	0.324	0.242

Tabla 2.4. Tensiones umbrales ( $V_{\text{th}}$ ) para transistores NMOS de diferentes tamaños

La variación 3-sigma en los valores de tensión umbral aumenta a medida que progresa la miniaturización del proceso. Un estudio comparativo muestra que, mientras los valores medios de  $V_{\text{th}}$  se reducen desde los  $0.4$  voltios hasta los  $0.3$  voltios al pasar de una tecnología de  $0.36\mu\text{m}$  a otra  $0.18\mu\text{m}$ , la dispersión aumenta desde el  $12\%$  hasta el  $29\%$  [Nar99].

**Corriente de saturación  $I_{\text{psat}}$ .** Tanto la variación de la longitud efectiva de los transistores (figura 2.6) como la tensión umbral afectan de forma importante a la corriente de saturación y través de ella, a la máxima frecuencia de funcionamiento del circuito.

**Corriente de apagado.  $I_{\text{off}}$**  es la corriente que discurre entre el drenador y la fuente cuando el transistor está apagado. Afecta a la potencia consumida por el circuito integrado en estado estacionario. Idealmente debería ser despreciable, pero en las tecnologías nanométricas  $I_{\text{off}}$  se incrementa debido a que tiene una dependencia exponencial con la disminución de la tensión umbral según la ecuación;

$$I_{\text{OFF}} = \frac{W}{L} I_0 \left( \frac{T}{T_{\text{ref}}} \right)^2 e^{(V_{\text{GS}} - V_{\text{TH}})/nV_T} \left( 1 - e^{-V_{\text{DS}}/V_T} \right) \quad (3)$$

Siendo  $W$  y  $L$  la anchura y longitud del canal respectivamente,  $T$  la temperatura de operación,  $T_{\text{ref}}$  la temperatura de referencia,  $I_0$  un parámetro dependiente del proceso,  $V_{\text{TH}}$  la tensión umbral,  $V_{\text{GS}}$  y  $V_{\text{DS}}$  las tensiones puerta-fuente y drenador-fuente respectivamente y  $V_T$  la constante térmica.

Este fenómeno se puede apreciar en la tabla 2.5 donde se muestra la corriente de conducción  $I_{\text{ON}}$  y apagado  $I_{\text{OFF}}$  para transistores NMOS ( $L_{\text{eff}}=60\text{nm}$ ) en una tecnología que permite



implementar dos tipos de transistores, con baja y alta tensión umbral [Tho02]. La reducción de la corriente  $I_{OFF}$  entre ambos casos es un orden de magnitud.

<b>Transistor NMOS</b>	<b><math>V_{DD}</math> (V)</b>	<b><math>I_{OFF}</math> (nA/<math>\mu</math>m)</b>	<b><math>I_{ON}</math> (mA/<math>\mu</math>m)</b>
Baja $V_{th}$ (0.12 V)	1.4	100	1.30
Alta $V_{th}$ (0.17 V)	1.4	10	1.14
Baja $V_{th}$	0.7	20	0.37
Alta $V_{th}$	0.7	2	0.32

Tabla 2.5. Corriente de apagado y corriente de conducción para un transistor con  $L_{eff}=60nm$  [Tho02]

### 2.4.7.1.3 Interconexiones

En las tecnologías nanométricas la disminución de los tamaños de las interconexiones y el aumento de su densidad de empaquetado añade resistencia a las líneas y aumenta la capacidad de acoplamiento entre ellas, pudiendo llegar a ser su comportamiento tan crítico como el de los transistores [Syl01].

Los principales parámetros geométricos de las líneas metálicas son; “pitch” (mínima anchura más la separación mínima con otra estructura similar), número de niveles y la relación altura-anchura de un contacto o vía (depende del nivel en el cual está implementada la interconexión). El escalado de la tecnología trae un incremento del número de niveles, una mejora de la resolución y por tanto una disminución del tamaño de las interconexiones y un cambio en el aspecto de las líneas que pasan de ser más anchas a ser más altas. La tabla 2.6 muestra los datos para una tecnología de 130nm [Tho02].

<b>Máscara</b>	<b>Pitch (nm)</b>	<b>Grosor (nm)</b>	<b>Relación Altura-Anchura</b>
Aislante	345	450	-
Polisilicio	319	160	-
Metal 1	293	280	1.7
Metal 2 y 3	425	360	1.7
Metal 4	718	570	1.6
Metal 5	4164	900	1.7
Metal 6	1143	1200	2.1

Tabla 2.6. Datos para las interconexiones de un proceso de 130nm [Tho02]

La resistencia de las líneas depende, además de su geometría, únicamente del material utilizado (aluminio o cobre). La capacidad se ve afectada por las propiedades dieléctricas del material que envuelve a las líneas tanto en el mismo nivel de interconexiones como con los niveles superiores e inferiores. La inductancia depende de la topología de las líneas cercanas y se manifiesta cuando existen cambios grandes de corriente.

El objetivo de las interconexiones es mantener la integridad de la señal dentro del sistema acotando la influencia de los dos principales fenómenos de degradación que son el acoplo

entre señales (crosstalk) y el deterioro de la tensión de alimentación debido al ruido capacitivo ( $C(dv/dt)$ ) e inductivo ( $L(di/dt)$  ground bounce) de sus conexiones.

**El acoplo capacitivo de las señales** se da entre líneas cercanas físicamente. La cercanía de las líneas (tabla 2.6) facilita que la aparición de una transición en una línea (agresora) provoque un pico de tensión en una línea estática adyacente (receptora) [Rub94]. La amplitud del ruido depende de varios factores como nivel de corriente de las puertas que controlan la línea agresora y receptora, la capacidad de acoplamiento, las pérdidas resistivas y el ancho de banda del circuito receptor. Este factor puede ser el desencadenante de fallos lógicos en circuitos integrados modernos si los márgenes de ruido son sobrepasados.

**El ruido en las tensiones de alimentación.** Este ruido aparece en las líneas de distribución de al alimentación y tierra debido a dos factores.

Uno está asociado con la resistencia de la red y se conoce como ruido de caída IR (IR drop noise). La corriente que circula por los transistores provoca una caída de tensión en la resistencia de la línea haciendo que diferentes partes del circuito tengan diferentes niveles de tensión de tierra/alimentación. En casos críticos, la tensión de tierra de una puerta puede estar cercana a la tensión umbral de conducción de un transistor NMOS conectado a su salida, lo cual incrementa el nivel de corriente de apagado llegando a comprometer también el nivel lógico de la segunda celda. La tensión IR se puede eliminar con una malla robusta de distribución de las tensiones de alimentación.

El segundo ruido es debido a la inductancia de las líneas de la tensión de tierra/alimentación y se la conoce como ruido delta-I ( $\Delta I$  noise). Ocurre cuando varias celdas o dispositivos conmutan simultáneamente y el transitorio de corriente causa una caída de tensión igual a  $V_{drop} = L(di/dt)$ . La variación de tensión se incrementa con la inductancia parasita de la línea y con la velocidad de variación de la corriente. Este último parámetro está relacionado con los rápidos tiempos de subida y bajada de la lógica digital que pueden llegar a ser del orden unas pocas decenas de picosegundos. La inductancia de las líneas se minimiza empaquetando los circuitos integrados de tal modo que se acorte su cableado y dedicando un gran número de estos cables en paralelo a las líneas de alimentación. En circuitos funcionando a velocidades de gigaherzios y con una tensión de alimentación de 1.2V, el ruido  $\Delta I$  puede llegar hasta los 0.35V (30%) [Tan00]. La manera de reducirlo es integrar en el chip condensadores de desacoplo entre  $V_{DD}$  y GND junto a las celdas digitales para que suministren los picos de corriente de conmutación de las puertas.

Los picos de tensión pueden causar funcionamientos erróneos en circuitos estáticos CMOS si llegan a afectar a los elementos de memoria. En los circuitos dinámicos puede ser peor ya que alterarían el balance de carga y descarga de los nudos que implementan las funciones lógicas.

#### **2.4.7.1.4 Fallos de Retraso**

Todos los circuitos terminan fallando si se aumenta la frecuencia de reloj lo suficiente. A la frecuencia en que esto ocurre se la conoce como frecuencia máxima de operación ( $F_{max}$ ) y está

relacionada con el mínimo tiempo que necesita la señal para propagarse entre los elementos de memoria internos del circuito. No todos los caminos de propagación de la señal requieren el mismo tiempo para completarse, los que tienen la mayor limitación se conocen como caminos críticos. Estos caminos deben ser identificados para optimizar la topología del circuito de tal modo que se admita la mayor velocidad de propagación posible.

La variación de los parámetros del proceso de fabricación alteran la velocidad de propagación de la señal. La respuesta de la industria frente a este efecto no deseado es caracterizar los circuitos en función de su velocidad máxima y así poder establecer diferentes calidades. Hay cuatro maneras a través de las cuales los defectos paramétricos intrínsecos causan los retrasos; Retraso de interconexión, retraso de acoplo, retraso inducidos por la tensión de alimentación y retrasos provocados por la temperatura.

**Retraso de interconexión.** Se pueden extraer del modelo RC de las líneas metálicas. La resistencia está influenciada por la granularidad, anchura, altura, longitud y calidad de las vías mientras que la capacidad de acoplo se ve afectada por la uniformidad del dieléctrico y la separación entre líneas.

**Retraso de acoplo.** El acoplo (crosstalk) afecta significativamente al circuito al incrementar o reducir el retraso dependiendo de la dirección de cambio de las señales de la celda agresora y de la receptora, pudiendo llegar a perturbar los tiempos de setup y de hold de los elementos de memoria [Cai01].

**Retraso debido a la tensión de alimentación.** La reducción de la tensión de alimentación tiene aspectos positivos al controlar los niveles de corriente tanto estacionarios como dinámicos. Sin embargo, disminuye la máxima velocidad del circuito al incrementar el retraso. En una primera aproximación, el retraso de una puerta CMOS utilizando transistores de canal largo se puede expresar como [Seg04];

$$\tau_D = C_L V_{DD} \frac{2L}{W \mu_0 C_{ox}} \frac{1}{(V_{DD} - V_{th})^2} \quad (4)$$

Donde  $C_L$  es la carga de salida de la puerta,  $\mu_0 C_{ox}$  es un parámetro determinado por el proceso de fabricación,  $V_{th}$  es la tensión umbral del transistor y  $L$  y  $W$  son las dimensiones del dispositivo. Se puede apreciar que una reducción de la tensión de alimentación implica un incremento del retraso de propagación. La manera de compensarlo es reducir la tensión umbral  $V_{th}$  a costa de incrementar la corriente subumbral o corriente de apagado.

Las prestaciones de un procesador Intel Pentium 4 se pueden obtener relacionando la máxima velocidad de funcionamiento con la tensión de alimentación [Tho02] (figura 2.6). Esta gráfica muestra que un decremento de un milivoltio en  $V_{DD}$  causa una reducción de la frecuencia máxima ( $F_{max}$ ) de decenas de kilohercios. La variación de la tensión de alimentación puede ser estática debido a un error en el regulador de tensión o dinámica debido a la caída de tensión IR por las variaciones instantáneas de la corriente durante cada pulso de reloj. Este tipo de comportamiento es difícil de modelar en los circuitos actuales por la complejidad de la

red de alimentación. Normalmente, los diseñadores utilizan unas condiciones máximas y mínimas de tensión de alimentación y temperatura  $V_{LT_H}$  y  $V_{HT_L}$  (conocidas por esquinas del proceso) con modelos simplificados que pueden ignorar algunos de sus efectos combinados [Bre96].

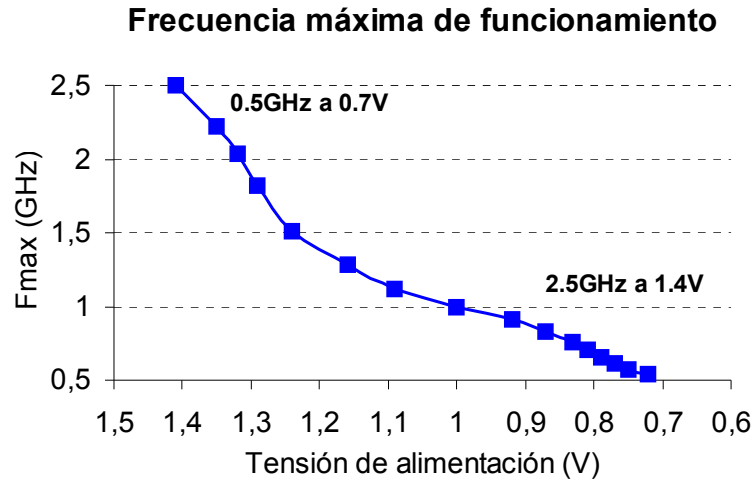


Figura 2.6. Frecuencia máxima vs. tensión de alimentación en un Pentium 4 [Tho02]

**Retraso debido a la temperatura.** La temperatura de un circuito integrado actualmente es superior a los 100 grados centígrados coexistiendo zonas frías y calientes dentro del mismo chip. La temperatura tiene una fuerte influencia en la velocidad de procesado de cada transistor puesto que la movilidad de los portadores decrece rápidamente con el incremento de la temperatura y la disminución de la tensión umbral. Llegando a inducir una sensibilidad de decenas de kilohercios en la frecuencia máxima del circuito por grado centígrado [Seg02]. La variación de la temperatura dentro del mismo chip también afecta a los demás parámetros eléctricos modificando localmente las características de los transistores. Lo cual puede causar fallos de retrasos, especialmente críticos en el árbol de distribución del reloj [Bot04].

La última edición del “International Technology Roadmap for Semiconductors” [ITRS2007] predice que el diseño de circuitos integrados tendrá que lidiar con un incremento de la variabilidad de los parámetros claves del proceso de fabricación en el futuro (tabla 2.7).

<b>Año</b>	<b>2008</b>	<b>2009</b>	<b>2010</b>	<b>2011</b>	<b>2012</b>	<b>2013</b>
Pitch (nm)	57	50	45	40	36	32
$V_{DD}$	10%	10%	10%	10%	10%	10%
$V_{TH}$	35%	42%	42%	42%	58%	58%
Dimensiones críticas	12%	12%	12%	12%	12%	12%
Retraso	48%	49%	51%	60%	63%	63%
Potencia	57%	63%	68%	72%	76%	80%

Tabla 2.7 Futuros requerimientos para la variabilidad máxima de los parámetros [ITRS2007]

### 2.4.7.2 Fallos paramétricos extrínsecos

Los fallos paramétricos extrínsecos aparecen debido a la presencia de pequeños defectos. Algunos ejemplos de este comportamiento están causados por contactos y vías resistivas, astillas metálicas, rupturas de óxido de puerta, estrechamientos de líneas de interconexión y abiertos de interconexión débil.

**Vías y contactos resistivos.** Aparecen en estructuras metálicas imperfectas causadas por vacíos de metal en relleno del contacto, mala eliminación de las películas aislantes, pequeñas partículas contaminantes o desalineaciones entre los diferentes niveles de metal [Bak99]. Aparecen tanto en tecnologías basadas en cobre como en aluminio y la temperatura tiene una gran influencia en su valor resistivo. Debido al coeficiente de expansión térmico, un aumento de temperatura mejora la conectividad y disminuye la resistencia permitiendo una respuesta más rápida. Este defecto puede incrementar la resistencia típica de las vías (entre  $2\Omega$  y  $20\Omega$ ) hasta valores mayores que  $1M\Omega$  [Rod02]. Las simulaciones SPICE muestran que este defecto sólo induce errores lógicos para vías con resistencias mayores que unos cientos de kilohmios por lo que normalmente su presencia en el circuito se detecta a través de la relación entre la velocidad de funcionamiento y la temperatura.

**Astillas metálicas.** Son partículas que quedan entre dos líneas de interconexión apenas tocándolas. Cuando la temperatura se incrementa la astilla se expande llegando a provocar un cortocircuito. Por tanto es deseable introducir una etapa “burn-in” en la fabricación del circuito integrado para activarlas dado que los test actuales no son adecuados para detectar estas partículas [Rig98]. Este fenómeno siempre ha existido pero su importancia ha aumentado con el uso reciente del pulido químico/mecánico.

**Rupturas del óxido de puerta.** Presentan un gran problema de fiabilidad en las tecnologías tradicionales dado que la energía almacenada en la puerta ( $0.5 \cdot C \cdot V_{DD}^2$ ) puede dañar la capa del dieléctrico, fundiendo sus cristales, para dar lugar a un defecto de baja resistividad [Seg95]. Con el escalado de la tecnología tanto las dimensiones del transistor como la tensión de alimentación disminuyen, con lo cual la ruptura del óxido adquiere un carácter más suave que da lugar a una conducción óhmica de alta resistencia [Seg04].

**Pérdidas de material en una línea de metal.** Pueden ser debidas a partículas contaminantes, electromigración o estrés físico. La línea metálica sigue teniendo una resistencia pequeña por lo que el defecto apenas tiene influencia eléctrica pero genera un gran riesgo de fiabilidad [Seg02]. Su detección no es posible hasta que degenera en un abierto debido a la electromigración.

**Abiertos débiles.** Causan un incremento en la resistencia de la línea de interconexión sin impedir el paso de corriente por ella. Estos defectos son una porción significativa de los defectos de abierto en el proceso de fabricación [Rod02]. Incluyen un amplio rango de resistencias y sólo cuando tienen un valor muy grande ( $>1G\Omega$ ) se pueden considerar abiertos fuertes.

## 2.5 MODELO DE FALLOS

En este trabajo nos basamos en un modelo de fallos a nivel de transistor. Este modelo permite mantener la precisión de un simulador eléctrico en la determinación de tensiones y corrientes en el circuito bajo test, a la vez que proporciona un conjunto reducido de fallos que hace manejable la evaluación de fallos del método de test.

El modelo incluye los fallos catastróficos comúnmente más utilizados; cortocircuitos, abiertos, perforaciones en el óxido del puerta (GOS) y una gran desviación de la anchura del transistor ( $W_{low}$ ) (figura 2.7) y los fallos paramétricos a nivel del propio transistor.

**Fallos de cortocircuito o puente.** Los fallos de cortocircuito son los dominantes cuando se utiliza litografía fotoresistiva positiva, típica en los procesos CMOS [Sod89b]. La aparición de cortocircuitos entre los terminales del transistor tienen dos orígenes principales; defectos resistivos debidos a trozos de material entre dos líneas o cortocircuitos en el óxido de solapamiento puerta-fuente y puerta-drenador [Seg04]. Estos fallos tienen comportamientos tanto lineales u óhmicos (I-V) como no lineales, con rangos de resistencia desde cerca de  $0\Omega$  hasta más de  $1M\Omega$ . Los defectos de puente no lineales incluyen ciertas clases de GOS, uniones PN deterioradas, transistores mal formados y ciertos defectos físicos particulares, mientras que los cortocircuitos óhmicos son debidos a partículas de metal o polisilicio y a ciertos tipos de GOS [Haw85].

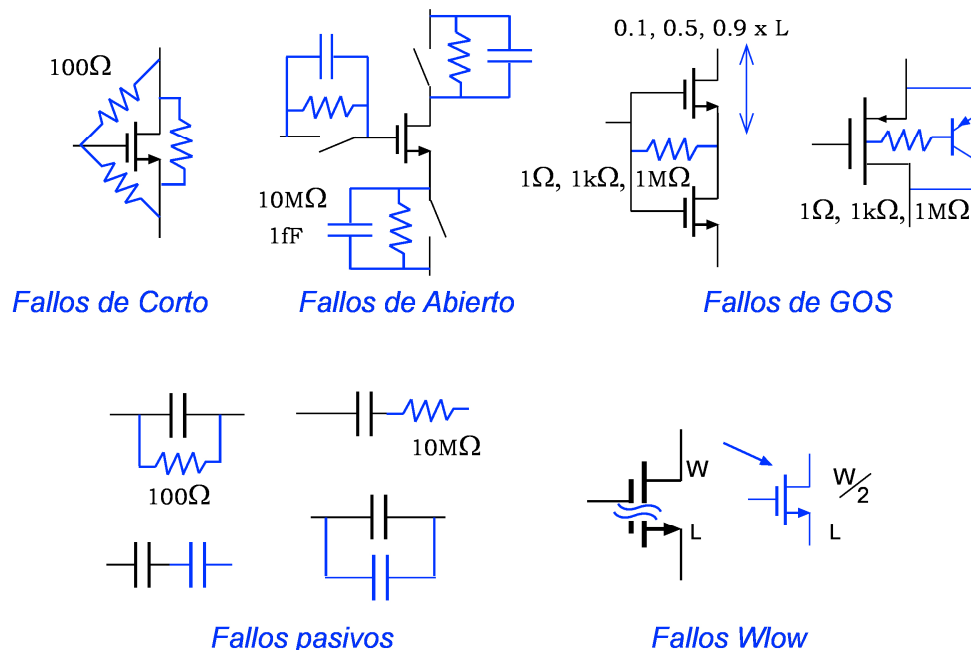


Figura 2.7. Modelo de fallos catastrófico a nivel de transistor utilizado

En un circuito integrado especialmente construido para investigar la resistencia de los fallos de puente se examinaron 400 defectos [Rod92] encontrándose valores de resistencia hasta  $19K\Omega$  con un gran agrupamiento entorno a los  $500\Omega$ . Por otra parte, Hawkins y Soden midieron defectos resistivos entre puertas tipo N y difusiones N con rangos desde  $1k\Omega$  hasta  $4k\Omega$  [Sod86]. En la elección del valor de la resistencia que modela el cortocircuito físico

existe un elemento de arbitrariedad porque los cortocircuitos y fallos de puente aparecen entre diferentes máscaras del proceso de fabricación y con diferente intensidad, de tal modo que abarcan un amplio rango de resistencias. Se ha elegido un valor de  $100\Omega$  representativo de la mayor parte de cortocircuitos físicos reportados en [Har94]. La figura 2.7 muestra los tres posibles cortocircuitos entre los terminales de cada transistor.

**Fallos de abierto.** Los defectos de abierto son rupturas no intencionadas en las líneas de conexión del circuito en metal, polisilicio o difusión. Estos defectos tienen un comportamiento complejo y difícil de predecir dependiendo su tamaño (fisura o desconexión completa), localización (drenador, puerta), número de nudos involucrados, acoplos capacitivos con líneas adyacentes, etc. [Aru08].

El principal efecto de una línea abierta en un circuito integrado es que un nodo no está conectado eléctricamente a la salida de un dispositivo pudiendo quedar flotando o en alta impedancia.

La tensión en el nudo flotante depende principalmente de dos variables el tamaño de la ruptura y la carga almacenada en el nudo. Si la ruptura es pequeña (fisura) los electrones aún pueden pasar por el abierto debido al efecto túnel y por tanto la carga en el nudo desconectado es controlada débilmente por el transistor previo. Si la ruptura es grande, la carga en el nudo flotante depende del acoplo capacitivo con las líneas adyacentes y la carga almacenada en los restantes terminales del transistor dando lugar a un estado de conducción del transistor impredecible.

En este trabajo el valor de la resistencia elegido para el abierto es de  $10M\Omega$  (junto con un condensador de  $1fF$  en paralelo) que modela abiertos débiles en los que una corriente muy pequeña puede circular debido al efecto túnel. Algunos de los abiertos fuertes que provocan transistores en corte o abiertos pueden ser modelados por cortocircuitos puerta-fuente y puerta-drenador respectivamente.

Las capacidades parasitas no se han considerado debido a la dificultad de asignarlas a uno u otro lado del abierto. Un modelo realista del defecto de abierto debería considerar el layout del circuito, donde primero se introduciría el abierto y posteriormente se realizaría la extracción para obtener el circuito a analizar. Esta tarea, cuando se estudian una gran cantidad de abiertos, requiere una gran cantidad de tiempo de computación haciendo difícil su aplicación. El modelado utilizado, sin ser totalmente representativo de todas las posibles estructuras físicas, permite realizar un análisis de la salida del sensor de corriente entre el circuito libre de fallo y el circuito defectuoso.

**Cortocircuito de óxido de puerta.** Las perforaciones en el óxido de puerta son debidas a la ruptura de la fina capa de dióxido de silicio ( $SiO_2$ ) entre la puerta de polisilicio y la estructura de silicio que se encuentra debajo. A pesar de que las zonas de óxido fino dañadas se comportan correctamente, incluso permitiendo en algunos casos el correcto funcionamiento del circuito, los GOS pueden degradar las prestaciones temporales del circuito contribuyendo a acortar el tiempo su vida.

Mientras que los cortocircuitos entre puerta y fuente/drenador se pueden modelar con una conexión resistiva, en los GOS entre puerta y canal del transistor la posición del defecto y el tipo de dopaje del polisilicio tiene una gran influencia sobre el modelo [Syt89][Cha94].

Nosotros hemos considerado un polisilicio tipo-N donde el GOS entre puerta y sustrato divide al NMOS en dos transistores en serie que comparten la puerta (figura 1). Ambos transistores mantienen la misma anchura de canal y se asignan tres valores para la división de la longitud de canal (0.1L, 0.5L y 0.9L). La corriente que circula entre la puerta y el canal del NMOS se modela con tres valores diferentes de resistencia ( $1\Omega$ ,  $1K\Omega$ ,  $1M\Omega$ ). En los transistores PMOS un fallo GOS puerta-sustrato crea un transistor PNP en paralelo con el PMOS donde la corriente de fallo es modelada por una resistencia entre la puerta del MOSFET y la base del bipolar para la que también se consideran tres valores ( $1\Omega$ ,  $1K\Omega$ ,  $1M\Omega$ ) [Seg95][Seg96].

**Fallos en elementos pasivos.** El valor absoluto de los componentes pasivos, tanto resistencias como condensadores, a pesar de presentar emparejamiento muy bueno (0.1%) está sujeto a una gran dispersión durante el proceso de fabricación (15%-25%). El modelo de fallos incluye variaciones del 50% en el valor nominal de los componentes. También se considera un cortocircuito entre sus terminales ( $100\Omega$ ) y el abierto de uno de ellos ( $10M\Omega$ ).

**Reducción del tamaño de los transistores.** Un defecto puntual en el layout del circuito puede desconectar a un transistor que ha sido dividido en varios módulos, especialmente los de gran tamaño o los transistores de los pares diferenciales que se suelen colocar en topologías de centroide común. Hemos modelado este tipo de defectos como una reducción del 50% de la anchura del transistor en fallo.

Se ha asumido la existencia de un único fallo durante cada simulación y no se han simulado fallos redundantes, por ejemplo en los dos transistores de un espejo de corriente, donde la puerta y la fuente están conectados juntos, solo se considera un cortocircuito puerta-fuente.

**Los fallos paramétricos** se pueden definir como fallos debidos a la variación de uno o un conjunto de parámetros del circuito de tal modo que la distribución específica de los mismos evita que el circuito cumpla las especificaciones de diseño. Los fallos paramétricos aparecen en dos formas; una causada en sistemas libres de defectos por algún parámetro de fabricación que se desvía demasiado de su valor nominal (intrínsecos), la segunda afecta a la funcionalidad del circuito a través de condiciones de funcionamiento demasiado agresivas o de algún defecto en el chip (extrínsecos) [Bow00].

El número de parámetros del proceso de fabricación que pueden variar es grande. Sin embargo, en las investigaciones realizadas para optimizar el rendimiento de los circuitos analógicos, se ha establecido un número de parámetros que son relativamente independientes entre sí y cuya influencia en las prestaciones del circuito son más significativas [Yu86] [Wan94][Kri95][Cha01].



Los parámetros más frecuentemente escogidos son para los transistores; la tensión umbral de conducción  $V_{THO}$ , la anchura del canal  $W$ , la longitud del canal  $L$ , la transconductancia  $K'$  y la anchura del óxido fino  $T_{OX}$ . Para condensadores la capacidad del óxido  $C_{OX}$  y para resistencias la resistencia por cuadro  $R_{SH}$ .

$V_{THO}$  y  $K'$  son parámetros eléctricos que se miden después de terminar la fabricación, añadiendo a la oblea circuitos de control específicos, y representan la combinación de los efectos físicos de varios parámetros del proceso. Tanto  $V_{THO}$ , que representa la tensión umbral del transistor, como  $K'$ ,  $W$  y  $L$ , que determinan la ganancia, son coeficientes de primer orden del modelo analógico de la corriente de drenador.

El conjunto de parámetros utilizado está formado por  $V_{THO}$ ,  $T_{OX}$ ,  $\Delta W$  y  $\Delta L$  al ser un grupo de parámetros independientes entre sí que pueden caracterizar el comportamiento del transistor [Aus04]. En este trabajo escogemos variaciones del parámetro  $T_{OX}$  en lugar de la transconductancia  $K'$  puesto que la relación entre ambos parámetros es proporcional ( $K' = \mu_0 \cdot C_{OX} / T_{OX}$ ) y además la anchura del óxido del canal del transistor permite incluir el efecto de la variación del parámetro en la respuesta en frecuencia del circuito [Yan86]. Todos ellos se corresponden con coeficientes del modelo BSIM3v3 [Che96] de los transistores y por tanto se pueden incluir fácilmente en el simulador eléctrico SPICE.

Una aproximación más general al modelo de fallos paramétricos se propone en [Mal86] donde en vez de parámetros SPICE se manejan variables relacionadas con el proceso tecnológico de fabricación (como las difusiones de boro y arsénico, el tiempo de oxidación, la movilidad, etc.). Sin embargo, este modelado exige un enorme poder de cómputo y el desarrollo de herramientas específicas.

Consideramos fallos paramétricos debidos exclusivamente a variaciones locales (sólo en el transistor en fallo) ya que suponemos que las variaciones globales de los parámetros de producción serán detectadas por los circuitos de control incluidos en la oblea.

Las desviaciones introducidas en  $V_{THO}$  y  $T_{OX}$  se obtienen doblando la desviación de estos parámetros que aparece entre el modelo típico y los modelos rápido y lento proporcionados por el fabricante para los transistores. Para  $\Delta W$  y  $\Delta L$  se consideran variaciones en la anchura y longitud del canal del transistor en fallo igual a la anchura y longitud de canal mínima con que la tecnología permite fabricar los transistores. Este pequeño valor permite además tener en cuenta el efecto del desemparejamiento [Mic92] entre los dispositivos analógicos.

En resumen, para realizar la evaluación de fallos utilizaremos el modelo de fallos catastrófico a nivel de transistor en los circuitos digitales y los bloques analógicos. Mientras que el modelo de fallos paramétrico ha sido incluido exclusivamente en los circuitos analógicos a nivel de transistor.

## 2.6 CONCLUSIONES

En este capítulo se ha comenzado con una breve introducción tanto de los mecanismos clásicos de defectos como los que, debido al escalado de los transistores e interconexiones, van apareciendo en las nuevas tecnologías.

Posteriormente se presenta la relación entre defecto físico y su modelo de fallos eléctricos, puesto que un adecuado modelo de fallos es uno de los requisitos para que la evaluación que realizaremos sobre el método de test propuesto sea significativa. Un resumen de los defectos físicos, mecanismos de fallos y disfunciones del circuito se muestra en la tabla 2.8 [Seg04]. Los defectos están agrupados en dos grandes categorías dependiendo si el origen del problema es de fiabilidad (interconexiones, óxido o dispositivos) o es debido a imperfecciones del proceso de fabricación (defectos por partículas, problemas de vías, control del proceso o variabilidad de los parámetros). En cada caso se muestra el mecanismo responsable del fallo, el defecto físico que induce y el impacto sobre el funcionamiento del circuito. Un mismo defecto físico puede ser causado por diferentes mecanismos. Por ejemplo un defecto de abierto puede deberse a un problema de electromigración en una línea de metal o a la malformación de una vía. Los defectos físicos se han diferenciado en tres clases; cortocircuitos (incluidos los GOS), abiertos y fallos paramétricos.

El modelo de fallos está orientado hacia un test estructural, por tanto para reflejar el comportamiento de los defectos se utiliza como componente básico el transistor. De esta manera es fácil incluir información sobre la topología del circuito. Los principales componentes de este modelo de fallos son;

- 1 Fallos de puente donde un concepto importante es el de resistencia crítica, que es el mínimo valor que tiene que tomar la resistencia para que el fallo sea detectable por un método de test dado.
- 2 Ruptura del óxido fino de puerta (GOS) que da lugar a conexiones resistivas entre puerta y drenador/fuente y la aparición de nuevos dispositivos entre la puerta y el sustrato al formarse el canal del transistor.
- 3 La ruptura de las interconexiones entre los transistores genera defectos de abiertos que se pueden clasificar en abiertos duros y débiles. Los abiertos duros provocan la desconexión completa de una línea, su comportamiento depende de la tensión residual la cual está determinada por la topología del layout a través del acoplo capacitivo de las líneas adyacentes. El abierto débil ( $<1M\Omega$ ) sigue permitiendo un pequeño paso de corriente utilizando el fenómeno cuántico del efecto túnel, donde la temperatura de funcionamiento tiene una gran influencia en el tamaño de estos abiertos débiles. Su principal consecuencia son retrasos de funcionamiento del circuito.
- 4 Los defectos paramétricos afectan a una amplia zona del circuito y sin llegar a producir un funcionamiento erróneo del circuito evitan que se cumpla algunas de sus prestaciones. Se pueden agrupar en dos grandes categorías; fallos intrínsecos (debidos exclusivamente

a desviaciones del proceso) y fallos extrínsecos (intervienen defectos sutiles). El apartado 2.4.7 describe la mayoría de las causas de ambos tipos y como influyen en la velocidad de funcionamiento del circuito.

Defectos tipo puente	Defectos de abierto	Defectos paramétricos
----------------------	---------------------	-----------------------

Fuente	Mecanismo de fallo	Defecto físico	Disfunción del circuito							
			<i>Stuck-at</i>	<i>Tensión Intermedia</i>	<i>I<sub>DDQ</sub> elevada</i>	<i>Nodo flotante</i>	<i>Efecto memoria</i>	<i>Retraso</i>	<i>Crosstalk</i>	<i>Salto V<sub>DD</sub>/GND</i>
Fiabilidad de interconexiones	EM	Cortocircuito del metal	Raro	Siempre	Siempre	No	Pocos casos	Probable	No	No
		Rotura del metal	Raro	Probable	Muy probable	Lo más probable	Probable	Si hay pequeñas roturas	No	No
	Estrés en el metal	Hueco	Raro	Probable	Muy probable	Lo más probable	Probable	No	No	No
Fiabilidad del óxido	Desgaste del óxido	Cortocircuito de puerta	Raro	Lo más probable	Siempre	No	No	Muy probable	No	No
Fiabilidad del dispositivo	Inyección de portadores calientes (HCI)	Cortocircuito de puerta	Raro	Lo más probable	Siempre	No	No	Muy probable	No	No
		Variación de $V_{th}$	No	No	No	No	No	Lo más probable	No	No
Proceso de fabricación	Partícula o imperfección	Cortocircuito	Probable	Siempre	Siempre	No	Pocos casos	Muy probable	No	No
		Abierto	Raro	Probable	Muy probable	Lo más probable	Probable	No	No	No
	Problema de vías o interconexiones	Abierto	Raro	Probable	Muy probable	Lo más probable	Probable	Si hay pequeñas roturas	No	No
		Línea/vía de R alta	No	No	No	No	No	Sí	No	No
	Control de proceso	Cortocircuito de puerta	Raro	Lo más probable	Siempre	No	No	Muy probable	No	No
	Variación de proceso	Variación de $V_{th}$	No	No	No	No	No	Lo más probable	No	No
		Variación IDL	No	No	No	No	No	Lo más probable	Muy probable	Raro
		Variación de $p$ de interconexión	No	No	No	No	No	Lo más probable	Raro	Muy probable
		Cambio de anchura de metal	No	No	No	No	No	Lo más probable	Muy probable	Muy probable
		Variación de $L_{eff}$	No	No	No	No	No	Lo más probable	Raro	Raro
Variación de $W_{eff}$	No	No	No	No	No	Lo más probable	Raro	Raro		

Tabla 2.8. Resumen de defectos físicos, mecanismos de fallo y disfunciones del circuito [Seg04]

Finalmente, se presenta el modelo de fallos utilizado en la tesis que considera un conjunto de fallos catastróficos a nivel de transistor comúnmente utilizados en la literatura (cortocircuitos, abiertos, GOS). También, tiene en cuenta la variación de los parámetros del proceso focalizando los fallos paramétricos en las prestaciones eléctricas de un único transistor. Puesto que asumimos que el efecto sobre regiones mayores del circuito integrado tendrá una mayor influencia en el comportamiento del circuito (y por tanto serán más fácilmente detectables) o bien serán revelados por los circuitos específicos de control que se implementan en la oblea para monitorizar el proceso de fabricación.

Puntualmente, se realizará una evaluación de fallos utilizando un modelo a nivel de layout aunque, como se mostrará, los resultados cualitativos obtenidos del modelo de fallos a nivel de esquemático y de layout son similares. Por tanto, para la mayor parte del trabajo nos obtendremos la lista de fallos del esquemático del circuito ya que permite un estudio más ágil del método de test al no requerir la versión finalizada del layout del circuito.

## BIBLIOGRAFÍA

- [Ait95] R.C. Aitken, "Finding defects with fault models," IEEE International Test Conference, 1995, pág. 498-505
- [Ait04] R. Aitken, S. Becker, "Cell library techniques using advanced transistor structures," International Conference on Integrated Circuit Design and Technology, 2004, pág. 199-204
- [Ait08] R.C. Aitken, "Defect or variation? Characterizing standard cell behavior at 90nm and below," IEEE Transactions on Semiconductor Manufacturing, vol. 21, nº 1, febrero, 2008, pág. 46-54
- [Aru08] D. Arumí, R. Rodríguez-Montañés, J. Figueras, "Experimental characterization of CMOS interconnect open defects," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 27, nº 1, enero 2008, pág. 123-136
- [Aus04] Austria Micro Systems, "0.35  $\mu\text{m}$  CMOS C35 process parameters," 2004
- [Bak99] K. Baker, G. Gronthoud, M. Lousberg, I. Schanstra, C. Hawkins, "Defect-based delay testing of resistive vias-contacts a critical evaluation," IEEE International Test Conference, 1999, pág. 467-476
- [Bee86] F.P.M. Beenker, K.J.E. Van Eerdewijk, R.B.W. Gerritsen, F.N. Peacock, M. Van der Star, "Macro testing: unifying IC and board test," IEEE Design & Test of Computers, vol. 3, nº 6, diciembre 1986, pág. 26-23
- [Ber98] K. Bernstein, K. Carrig, C. Durham, P. Hansen, D. Hogenmiller, E. Nowak, N. Rohrer, "High speed CMOS design styles," Kluwer Academic Publishers, 1998
- [Bot04] S.A. Bota, M. Rosales, J.L. Rosello, A. Keshavarzi, J. Segura, "Within die thermal gradient impact on clock-skew: a new type of delay-fault mechanism," IEEE International Test Conference, 2004, pág. 1276-1283
- [Bow00] K.A. Bowman, X. Tang, J.C. Eble, J.D. Menldl, "Impact of extrinsic and intrinsic parameter fluctuations on CMOS circuit performance," IEEE Journal of Solid-State Circuits, vol. 35, nº 8, agosto 2000, pág. 1186-1193
- [Bre96] M. Breuer, S. Gupta, "Process aggravated noise (PAN): New validation and test problems", IEEE International Test Conference, 1996, pág. 914-923
- [Cai01] F. Caignet, S. Delmas-Bendhia, E. Sicard, "The challenge of signal integrity in deep-submicrometer CMOS technology", Proceedings of the IEEE, vol. 89, nº 4, abril 2001, pág. 556-573
- [Cha94] V.H. Champac, A. Rubio, J. Figueras, "Electrical model of the floating gate defect in CMOS ICs: Implication on  $I_{DDQ}$  testing," IEEE Transactions on Computer Aided Design of Integrated Circuits and Systems, vol. 13, nº 3, marzo 1994, pág. 359-369
- [Cha01] A. Chandrakasan, W. Bowhill, F. Fox, "Design of High-Performance Microprocessor Circuits", IEEE Press, 2001
- [Che96] Y. Cheng, M. Chan, K. Hui, M. Jeng, Z. Liu, J. Huang, K. Chen, J. Chen, R. Tu, P.K. Ko, C. Hu, "BSIM3v3.3.0 MOSFET model users' manual," Universidad de California, 1996
- [Daa02] W.R. Daasch, J. McNames, R. Madge, K. Cota, "Neighborhood selection for  $I_{DDQ}$  outlier screening at wafer sort," IEEE Design & Test of Computers, vol. 19, nº 5, octubre 2002, pág. 74-81
- [Dwo01] J. Dworak, J.D. Wicker, S. Lee, M.R. Grimaila, M.R. Mercer, K.M. Butler, B. Stewart, L.C. Wang, "Defect-oriented testing and defective-part-level prediction," IEEE Design & Test of Computers, vol. 18, nº 1, febrero 2001, pág. 31-41
- [Eld59] R.D. Eldred, "Test routines based on symbolic logical statements," Journal of the ACM, vol. 6, nº 1, 1959, pág. 33-36

- [Gal80] J. Galiay, Y. Crouzet, M. Vergnialt, "Physical versus logical fault models MOS LSI circuits: Impact on their testability," IEEE Transactions on Computers, vol. 29, n° 6, junio 1980, pág. 537-531
- [Har94] R.J.A. Harvey, A.M.D. Richardson, E.M.J.G. Bruls, K. Baker, "Analogue fault simulation based on layout dependent fault models," IEEE International Test Conference, 1994, pág. 641-649
- [Haw85] C.F. Hawkins, J.M. Soden, "Electrical characteristics and testing considerations for gate oxide shorts in CMOS ICs," IEEE International Test Conference, 1985, pág. 544-555
- [Haw94] C.F. Hawkins, J.M. Soden, A.W. Righter, F.J. Ferguson, "Defect classes – An overdue paradigm for CMOS IC testing," IEEE International Test Conference, 1994, pág. 413-425
- [Haw99] C.F. Hawkins, J. Segura, J. Soden, T. Dellin, "Test and reliability: partners in IC manufacturing?" IEEE Design & Test of Computers, vol. 16, n° 4, diciembre 1999, pág. 63-73
- [Hay84] J.P. Hayes, "Fault modeling for digital MOS integrated circuits," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol.3, n° 3, Julio 1984, pág. 200-208
- [Hen91] C.L. Henderson, J.M. Soden, C.F. Hawkins, "The behavior and testing implications of CMOS IC logic gate open circuits," IEEE International Test Conference, 1991, pág. 302-310
- [Hou52] J.M. Houston, "The slope of logarithmic plots of the Fowler-Nordheim equation," Physical Review, vol. 88, n° 2, octubre 1952, pág. 349
- [ITRS2007] Semiconductor Industry Association, "International technology roadmap for semiconductors 2007," <http://www.itrs.net/Links/2007ITRS/Home2007.htm>
- [Joh94] S. Johnson, "Residual charge on the faulty floating gate CMOS transistor," IEEE International Test Conference, 1994, pág. 555-561
- [Kes91] K. Keshavarzi, A. Roy, C. Hawkins, "Intrinsic leakage in low power deep submicron CMOS ICs," IEEE International Test Conference, 1997, pág. 146-155
- [Kri95] K. Krishna, S.W. Director, "The linearized performance penalty (LPP) method for optimization of parametric yield and its reliability," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 14, n° 12, diciembre 1995, pág. 1557-1568
- [Kun01] S. Kundu, S.T. Zachariah, S. Sengupta, R. Galivanche, "Test challenges in nanometer technologies," Journal of Electronic Testing, vol. 17, n° 3-4, junio 2001, pág. 209-218
- [Lee92] K.J. Lee, M.A. Breuer, "Design and test rules for CMOS circuits to facilitate  $I_{DDQ}$  testing of bridging faults," IEEE Transactions on Computer-Aided Design, vol. 2, n° 5, mayo 1992, pág. 659-670
- [Mal86] W. Maly, A.J. Strojwas, S.W. Director, "VLSI Yield prediction and estimation: a Unified framework," IEEE Transactions on Computer Aided Design, vol. 5, n° 1, enero 1986, pág. 114-130
- [Mal87] W. Maly, "Realistic fault modelling for VLSI testing", ACM/IEEE Design Automation Conference, 1987, pág. 173-180
- [Mal03] W. Maly, A. Gattiker, T. Zanon, T. Vogels, R.D. Blanton, T. Storey, "Deformations of IC structure in test and yield learning," IEEE International Test Conference, 2003, pág. 856-865
- [Max00] P. Maxwell, P. O'Neill, R. Aitken, R. Dudley, N. Jaarsma, M. Quach, D. Wiseman, "Current ratios: A self-scaling technique for production  $I_{DDQ}$  testing," IEEE International Test Conference, 2000, pág. 1148-1156
- [Mei74] K.C.Y. Mei, "Bridging and stuck-at faults," IEEE Transactions on Computers, vol. 23, n° 7, julio 1974, pág. 720-727
- [Met93] C. Metra, M. Favalli, P. Olivo, B. Ricco, "Testing of resistive bridging faults in CMOS flip-flop," Proceedings European Test Conference, 1993, pág. 530-531
- [Mic92] C. Michael, M. Ismail, "Statistical modelling of device mismatch for analog MOS integrated Circuits," IEEE Journal of Solid-State Circuits, vol. 27, febrero 1992, pág. 154-165
- [Nai93] S. Naik, F. Agricola, W. Maly, "Failure analysis of high-density CMOS SRAMs: using realistic defect modeling and IDDQ testing," IEEE Design & Test of Computers, vol. 10, n° 2, junio 1993, pág. 13-23
- [Nar99] S. Narendra, D. Antoniadis, V. De, "Impact of using adaptive body bias to compensate die-to-die  $V_t$  variation on within-die  $V_t$  variation," International Symposium on Low Power Electronics and Design, 1999, pág. 229-232
- [Nas00] S.R. Nassif, "Design for variability in DSM technologies," IEEE International Symposium Quality Electronic Design, 2000, pág. 451-454
- [Olb96] T. Olbrich, J. Perez, I.A. Grout, A.M.D. Richardson, C. Ferrer, "Defect-oriented vs schematic-level based fault simulation for mixed-signal ICs," IEEE International Test Conference, 1996, pág. 511-520
- [Pom99] T. Pompl, H. Wurzer, M. Kerber, R.C.W. Wilkins, I. Eisele, "Influence of soft breakdown on NMOSFET device characteristics," IEEE International Reliability Physics Symposium Proceedings, 1999, pág. 82-87
- [Ren92] M. Renovell, G.N. Cambon, "Electrical analysis and modeling of floating-gate fault," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 11, n° 11, noviembre 1992, pág. 1450-1458
- [Rig98] A.W. Righter, C.F. Hawkins, J.M. Soden, P. Maxwell, "CMOS IC reliability indicators and burn-in economics," IEEE International Test Conference, 1998, pág. 194-203
- [Rod92] R. Rodriguez-Montañes, E. Bruls, J. Figueras, "Bridge defects resistance measurements in a CMOS process," IEEE International Test Conference, 1992, pág. 892-896

- [Rod94] R. Rodríguez-Montañés, J. Figueras, "Analysis of bridging defects in sequential CMOS circuits and their current testability," European Design and Test Conference, 1994, pág. 356-360
- [Rod02] R. Rodríguez-Montañés, J.P. de Gyvez, P. Volf, "Resistance characterization for weak open defects," IEEE Design & Test of Computers, vol. 19, n° 5, octubre 2002, pág. 18-26
- [Rub94] A. Rubio, N. Itazaki, X. Xu, K. Kinoshita, "An approach to the analysis and detection of crosstalk faults in digital VLSI circuits," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 13, n° 3, marzo 1994, pág. 387-395
- [Sac95] M. Sachdev, "I<sub>DDQ</sub> and voltage testable CMOS flip-flop configurations," IEEE International Test Conference, 1995, pág. 534-543
- [Sac07] M. Sachdev, J. Pineda de Gyvez, "Defect-oriented testing for nano-metric CMOS VLSI circuits," Springer US, 2007
- [Sch94] K.F. Schuegraf, D. Park, C. Hu, "Reliability of thin SiO<sub>2</sub> at direct-tunneling voltages," International Electron Devices Meeting, 1994, pág. 609-612
- [Sch03] F. Schellenberg, "A little light magic [optical lithography]," IEEE Spectrum, vol. 40, n° 9, septiembre 2003, pág. 34-39
- [Seb95] C. Sebeke, J.P. Teixeira, M. Ohletz, "Automatic fault extraction and simulation of layout realist faults for integrated analogue circuits," European Design and Test Conference, 1995, pág. 464-468
- [Seg95] J. Segura, C. Benito, A. Rubio, C.F. Hawkins, "A detailed analysis of GOS defects in MOS transistors: Testing implications at circuit level," IEEE International Test Conference, 1995, pág. 544-551
- [Seg96] J. Segura, C. DeBenito, A. Rubio, C.J. Hawkins, "Detailed analysis and electrical modeling of gate oxide shorts in MOS transistors," Journal of Electronic Testing: Theory and Applications, vol. 8, 1996, no. 3, pág. 229-239
- [Seg02] J. Segura, A. Keshavarzi, J. Soden, C. Hawkins, "Parametric failures in CMOS ICs - A defect-based analysis," IEEE International Test Conference, 2002, pág. 90-99
- [Seg04] J. Segura, C. Hawkins, "CMOS electronics: How it works, how it fails", IEEE Press, 2004.
- [She85] J.P. Shen, W. Maly, F.J. Ferguson, "Inductive fault analysis of MOS integrated circuits," IEEE Design and Test, diciembre 1985, pág. 13-26
- [Sod86] J.M. Soden, C.F. Hawkins, "Test considerations for gate oxide shorts in CMOS ICs," IEEE Design & Test of Computers, vol. 3, n° 4, agosto 1986, pág. 56-64
- [Sod89] J.M. Soden, R.K. Treece, M.R. Taylor, C.F. Hawkins, "CMOS IC stuck-open fault electrical effects and design considerations," IEEE International Test Conference, 1989, pág. 423-430
- [Sod89b] J.M. Soden, C.F. Hawkins, "Electrical properties and detection methods for CMOS IC defects," European Test Conference, 1989, pág. 159-167
- [Syt89] M. Sytryzcki, "Modeling of gate oxide shorts in MOS transistors," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 8, n° 3, marzo 1989, pág. 193-202
- [Syl01] D. Sylvester, K. Keutzer, "Impact of small process geometries on microarchitectures in systems on a chip," Proceedings of the IEEE, vol. 89, n° 4, abril 2001, pág. 467-489
- [Sze83] S.M. Sze, "VLSI technology," McGraw Hill Book Company, 1983
- [Tan00] K.T. Tang, E.G. Friedman, "On-chip  $\Delta I$  noise in the power distribution networks of high speed CMOS integrated circuits," IEEE International ASIC/SOC Conference, 2000, pág. 53-57
- [Thi99] C. Thibeault, "An histogram based procedure for current testing of active defects," IEEE International Test Conference, 1999, pág. 714-723
- [Tho02] S. Thompson, M. Alavi, M. Hussein, P. Jacob, C. Kenyon, P. Moon, M. Prince, S. Sivakumar, S. Tyagi, M. Bohr, "130nm logic technology featuring 60nm transistors, low-k dielectrics and Cu interconnects," Intel Technology Journal, vol. 6, n° 2, 2002, pág. 5-13
- [Wal86] H. Walker, S.W. Director, "VLASIC: A catastrophic fault yield simulator for integrated circuits," IEEE Transactions on Computer-Aided Design, vol. 5, n° 4, octubre 1986, pág. 541-556
- [Wan94] Z. Wang, S.W. Director, "An efficient yield optimization method using a two step linear approximation of circuit performance," European Design and Test Conference, 1994, pág. 567-571
- [Yan86] P. Yang, D. Hocevar, P. Cox, C. Machala, P. Chaterjee, "An integrated and efficient approach for MOS VLSI statistical circuit design," IEEE transactions on Computer-Aided Design, vol. 5, enero 1986, pág. 5-14
- [Yu86] T.K. Yu, S.M. Kang, L.N. Hajj, T.N. Trick, "Statistical modeling of VLSI circuit performances," IEEE International Conference in Computer-Aided Design, 1986, pág. 224-227

