

**UNIVERSIDAD DE CANTABRIA**



Departamento de Tecnología Electrónica,  
Ingeniería de Sistemas y Automática

**TESIS DOCTORAL**

**TEST BASADO EN SENSORES DE CORRIENTE  
INTERNOS PARA CIRCUITOS INTEGRADOS  
MIXTOS (ANALÓGICOS-DIGITALES)**

**Memoria** presentada para optar al grado de  
**DOCTOR EN CIENCIAS FÍSICAS POR LA UNIVERSIDAD DE CANTABRIA**

por Román Mozuelos García,  
Licenciado en Ciencias Físicas,

Santander, 2009

# Capítulo 4

---

## CIRCUITOS DE PRUEBA

---

En este capítulo se describen los circuitos de prueba diseñados para evaluar la eficiencia del método de test de corriente transitoria. Entre los circuitos se incluyen módulos digitales formados por un banco de registros y la lógica de selección de un convertidor digital-analógico (DAC). Los bloques analógicos analizados son la sección analógica del DAC en modo corriente, un buffer de tensión, un amplificador de operacional. También se ha diseñado una celda de memoria de corriente  $S^2I$ , un integrador  $S^2I$  y un convertidor analógico-digital  $S^2I$  para estudiar la aplicación del test  $I_{DDT}$  a circuitos basados en corrientes conmutadas.

### 4.1 INTRODUCCIÓN

Los circuitos de prueba son un importante vehiculo que permite a la industria y al mundo académico desarrollar nuevas herramientas, comparar y contrastar diferentes metodologías e investigar nuevos algoritmos y técnicas de test. En los trabajos de diseño para test (DfT) el estándar para el mundo digital ha sido el conjunto de circuitos propuestos en el “International Symposium on Circuits and Systems” (ISCAS) de 1985 [Brg85] y de 1989 [Brg89]. Estos circuitos suministrados en un formato simple con una pequeña información adicional han sido utilizados durante largo tiempo y sobre ellos se ha realizado mucho trabajo.

El comité “Test Technology Technical Council” del IEEE (TTTC) propuso un conjunto similar para los circuitos analógicos y de señal mixta en la “International Test Conference” de 1997 (ITC’97) [Kam97]. Los circuitos de prueba del ITC’97 incluyen un amplificador operacional, un filtro continuo de variables de estado, un filtro “leapfrog”, un convertidor digital-analógico basado en redes de resistencias, un convertidor ADC de capacidades conmutadas y el lazo de control de un PLL. Un conjunto de circuitos analógicos similar fue posteriormente sugerido por R. Kondagunturi et al. [Kon99].

El único de estos circuitos que hemos utilizado en este trabajo es el amplificador operacional, presente en ambas propuestas, aunque se han diseñado versiones propias con topologías ligeramente diferentes debido a que se fabricaron con un proceso tecnológico distinto al que aparece en el ITC'97. Por el mismo motivo se diseñó una nueva versión del convertidor donde se cambió la estructura base que paso de estar formada por resistencias a estar constituida por fuentes de corriente. También, dado nuestro interés en analizar la metodología de diseño basada en corrientes conmutadas se diseñaron diversos módulos de este tipo del que se fabricó uno de ellos.

El método de test  $I_{DDT}$  propuesto se basa en el análisis de la forma de onda de la corriente de alimentación a través de ramas seleccionadas del circuito bajo test. Para ello se ha diseñado un conjunto de sensores de corriente (BICS) que integrados junto al CUT permiten realizar una medida precisa y un primer preprocesado de la señal. Existen dos tipos básicos de sensor de corriente, uno diseñado para analizar módulos digitales y el otro para estudiar los bloques analógicos. De este último hay dos versiones una utiliza una carga resistiva para realizar la conversión de la corriente muestreada a la tensión de salida y la otra recurre a un elemento inductivo para este mismo propósito.

La relación entre los BICS y los circuitos de prueba utilizados en su evaluación de fallos se muestra en la tabla 4.1.

<i>Sensor de corriente</i>	<i>Circuito continuo</i>	<i>Circuito conmutado</i>	<i>Apartado</i>
Sensor sección digital	Módulos digitales del Convertidor D/A		4.3
Sensor sección analógica con carga resistiva	Buffer de tensión en tecnología SOG		4.2
	Módulos analógicos del Convertidor D/A		4.3
Sensor sección analógica con carga inductiva	Amplificador de transimpedancia		4.3
	Amplificador operacional		4.4
		Celda de memoria $S^2I$	4.5
		Integrador $S^2I$	4.5
		Convertidor A/D $S^2I$	4.5

*Tabla 4.1. Circuitos de prueba y sensores de corriente que evalúan*

Una primera versión del convertidor digital analógico (DAC) se diseñó para ser utilizado en una primera evaluación de la metodología de test durante la estancia que el autor realizó en la Universidad de Lancaster (Reino Unido) [Olb96], dentro del marco del proyecto europeo AMATIST (“Analog and Mixed Signals Advanced Test for Improving System Level Testability”).

El buffer de tensión se eligió como circuito de prueba durante la estancia efectuada en la Universidad de Twente (Holanda) dentro del mismo proyecto AMATIST. En ese momento, el departamento “IC-Technology and Electronics” (ICE) diseñaba una brújula electrónica para

analizar, entre otros objetivos, la viabilidad de implementar sistemas mixtos (analógico/digital) con una tecnología de mares de puertas (“Sea of Gate” SOG) desarrollada originalmente para circuitos digitales. El sensor de corriente dinámica se diseñó para el único módulo terminado en ese momento de la etapa de diseño, un amplificador operacional configurado como buffer de tensión [Tan98].

Los restantes circuitos de prueba, junto con análisis más elaborados del convertidor DAC, se llevaron a cabo durante los proyectos CICYT financiados por el gobierno Español “Métodos de Diseño para Test y Test de Tensión e Intensidad en Circuitos Digitales y Mixtos VLSI” y “Techniques for Mixed Analog-Digital Circuits Application to High Frequency Communication Transceivers and MEMS”

En los restantes apartados del capítulo se describen con detalle los circuitos de prueba, sus prestaciones, donde se sitúa la corriente analizada por el BICS y como se realiza su muestreo.

## 4.2 SEGUIDOR DE TENSIÓN

El sensor de corriente se ha incluido en un módulo analógico de un circuito mixto desarrollado en el departamento IC-Technology and Electronics (ICE) de la facultad de Ingeniería Eléctrica de la universidad de Twente en Holanda.

El sistema implementa una brújula para un reloj de pulsera [Tan97] para ser construido en un modulo multi-chip (MCM). El bloque analizado controla y evalúa las señales de dos sensores magnéticos (fluxgates) que miden el campo magnético de la tierra en dos direcciones perpendiculares y extraen el norte geomagnético calculando el arcotangente de la división de las dos medidas.

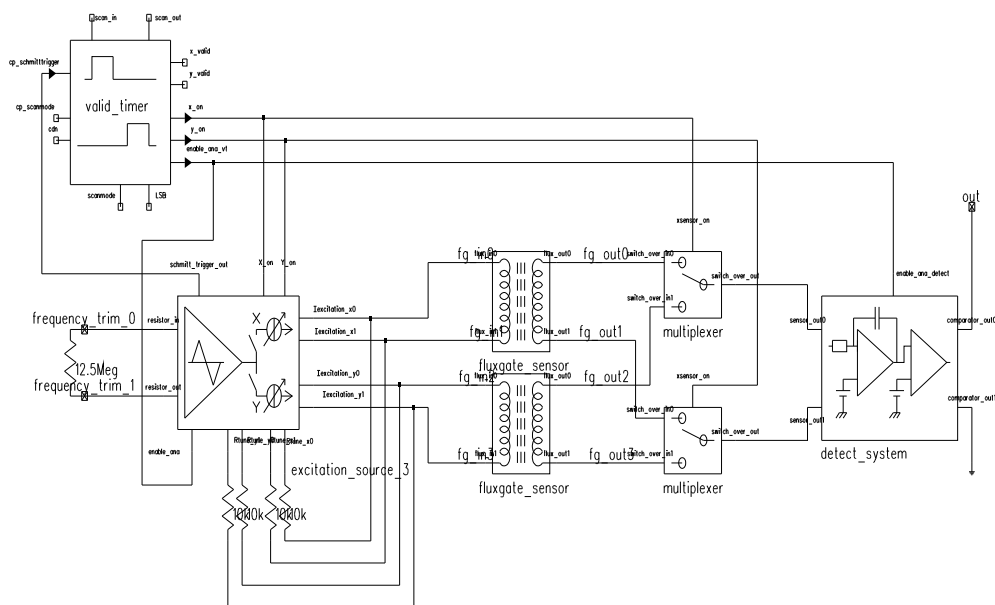


Figura 4.1. Sección analógica de la brújula con los sensores magnéticos

La sección analógica del circuito está dividida en dos bloques; el subsistema de excitación que genera una señal triangular de corriente y el subsistema de detección que acondiciona la

respuesta del sensor para obtener pulsos de duración proporcional al tiempo que cada sensor magnético se mantiene saturado. Los sensores magnéticos se encuentran entre ambos subsistemas colocados perpendicularmente y multiplexados en el tiempo para reducir el consumo de potencia (figura 4.1). Un bloque digital controla la secuencia temporal.

El método de test de corriente transitoria se aplica exclusivamente al subsistema de excitación dado que el momento de realizar este trabajo era el único bloque completamente terminado. El esquemático del modulo (figura 4.2) consta de tres partes:

- 1 Un oscilador de relajación que genera la señal triangular de tensión, por medio de la carga y descarga de un condensador de salida, con una frecuencia cercana a los 8kHz. También proporciona una salida digital de la misma frecuencia para ser utilizada como reloj que controla la operación de los bloques analógicos y el procesado de la orientación magnética obtenida por el subsistema de detección.
- 2 El condensador del oscilador de relajación está directamente conectado a la salida, por lo tanto el siguiente bloque analógico degradaría la frecuencia y linealidad de la salida a menos que se añada un amplificador operacional configurado como seguidor de tensión.
- 3 El tercer bloque son dos convertidores de tensión a corriente encargados de generar los grandes niveles de corriente que requiere el sensor magnético (12mA de amplitud).

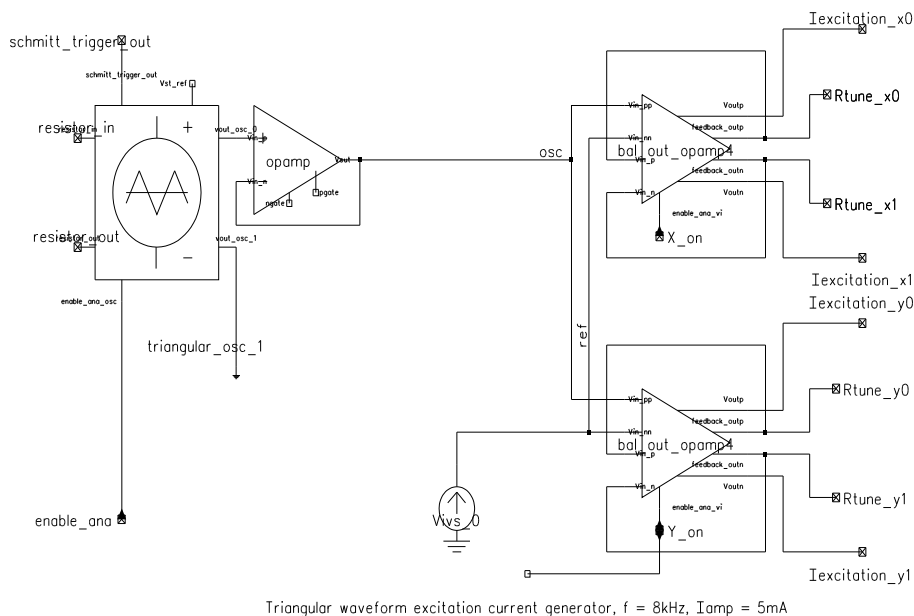


Figura 4.2. Subsistema de excitación

Sólo uno de estos bloques, el amplificador operacional, no tiene una conexión directa a un pin externo del chip. El comportamiento del oscilador puede ser verificado a través de su salida digital, los convertidores de corriente tensión están conectados a pines externos que son cableados para alimentar la bobina primaria del sensor magnético y a través de ellos se puede analizar si comportamiento. Por lo tanto, se realizará el análisis el amplificador operacional a través de su consumo de corriente transitoria, como bloque representativo típico en la mayoría de los sistemas mixtos.



corriente del par diferencial. Para facilitar el emparejamiento el transistor de muestreo (M3) se coloca lo más cerca posible del CUT. Las etapas del circuito se corresponden con las descritas en el apartado 3.5.1. La corriente se convierte en tensión mediante los transistores NMOS (M5, M6 y M7). Las variaciones de tensión son acondicionadas por un amplificador CMOS en fuente común. El nivel de digitalización de la señal se establece por una cadena de inversores. Se incluyen varios transistores para permitir una desconexión externa del sensor (M1, M2, M4 y M22). Se han utilizado una etapa adicional de inversores, no mostrados en la figura 4.4, para aumentar la corriente de salida del sensor.

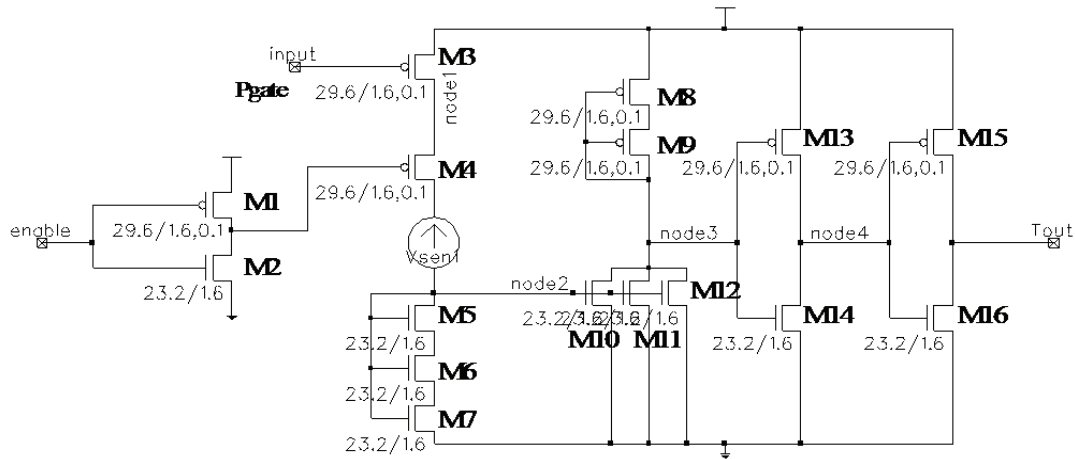


Figura 4.4. Sensor de corriente integrado (BICS)

La salida del circuito es una secuencia de pulsos digitales cuya comparación (anchura y número) con la señal esperada para el circuito libre de fallo se utiliza para detectar los circuitos defectuosos.

La brújula del reloj de pulsera se ha fabricado utilizando una tecnología de mares de puerta (SOG) [Koo92]. Las matrices de mares de puerta son circuitos “semi-custom” para realizar prototipos y pequeñas tiradas de producción de circuitos digitales, que también pueden ser utilizados en diseños analógicos [Haa95]. Las matrices SOG normalmente consisten en un conjunto de transistores MOS, de longitud de canal mínima, que se pueden emular cualquier dimensión de transistor con combinaciones serie y paralelo [Gal94]. Utilizando el esqueleto formado por los transistores, para completar el circuito solo se requiere diseñar cuatro máscaras (dos para los niveles de metal, una máscara para los contactos y una más para las vías). Al ser una tecnología orientada al diseño digital, la realización de resistencias está limitada al encadenamiento de las tiras de polisilicio de puerta y los condensadores se pueden implementar utilizando bien condensadores metal1/metal2 o bien la capacidad de puerta de los transistores. La tecnología SOG permite realizar el diseño del layout en menos tiempo y con un coste de máscaras más reducido. A cambio, se tiene la desventaja de la restricción de los dispositivos disponibles, un uso ineficiente del área y una mayor susceptibilidad al acoplo de ruido.

El esqueleto de la matriz se muestra en la figura 4.5. Los transistores tienen una longitud mínima de canal igual a  $1.6\ \mu\text{m}$ , la anchura es  $23.2\ \mu\text{m}$  para el transistor NMOS y  $29.6\ \mu\text{m}$  para el transistor PMOS.

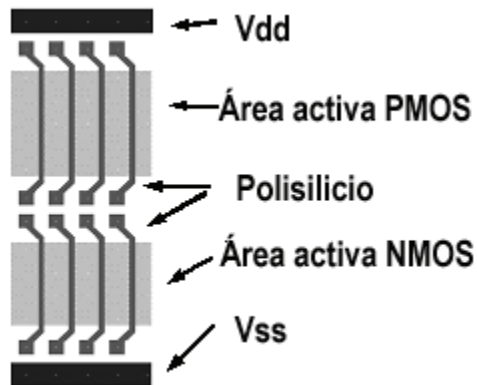


Figura 4.5. Esqueleto de la matriz de mares de puertas

El diseño del amplificador operacional (figura 4.3) requiere tamaños de transistores varias veces mayores que el elemento unitario, Por ejemplo, los transistores del par diferencial  $W/L = 232\ \mu\text{m} / 8\ \mu\text{m}$  se deben implementar utilizando un bloque formado por 10 transistores en paralelo y 5 en serie. La transformación de un transistor en un bloque combinado afecta al comportamiento del amplificador operacional y produce inestabilidades en la respuesta transitoria a alta frecuencia [Gal94]. Este cambio obliga al rediseño de la etapa de compensación y al aumento de los condensadores de compensación desde  $0.5\ \text{pF}$  hasta  $1.5\ \text{pF}$ .

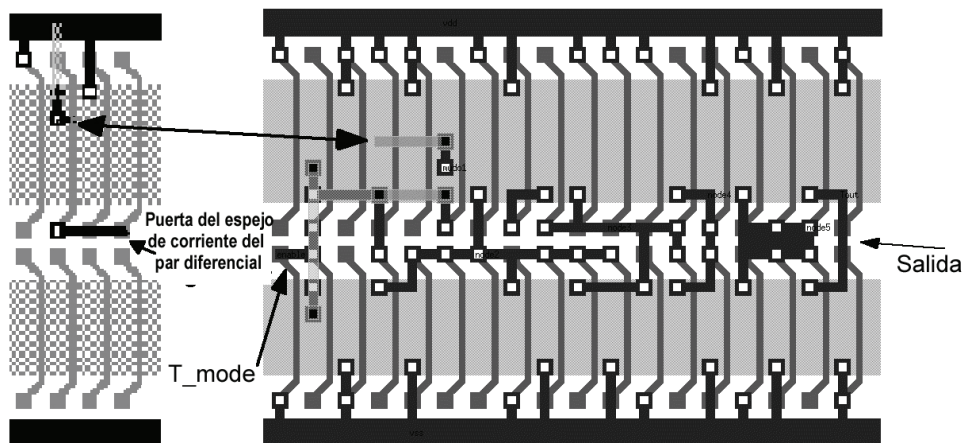


Figura 4.6. Layout del BICS

El layout del sensor de corriente se ha dividido en dos partes. La primera es el transistor que comparte la tensión de puerta y de fuente con el espejo de corriente de la etapa diferencial. Este transistor se ha colocado dentro del amplificador operacional de tal modo que se evite cruzar otras señales sobre la línea de puerta que pudiesen afectar a la forma de onda de la corriente transitoria a través de la capacidad parásita entre ambas. El otro bloque realiza el procesamiento de la corriente adquirida y se ha situado cerca del CUT. La figura 4.6 muestra el layout del sensor donde el elemento de muestreo se encuentra a la izquierda y el bloque de procesado a la derecha.



El objetivo de los vectores de test es maximizar el efecto de los fallos sobre la forma de onda de la corriente de alimentación a través del CUT. La señal triangular de 8kHz del oscilador de relajación no es apropiada para el test de corriente transitoria. Esta señal varía tan lentamente que mantiene siempre al amplificador operacional en un estado estacionario sin generar transiciones bruscas en los nudos internos del circuito que puedan dar lugar a picos de corriente de alimentación.

El vector de test más adecuado es un pulso en la entrada no inversora del amplificador operacional configurado como seguidor de tensión. Por tanto, se necesita acondicionar un pin adicional al chip para inyectar la señal y un multiplexor analógico para conmutar la entrada del amplificador operacional entre el pulso de tensión en modo test y la salida del oscilador en funcionamiento normal. Los pines que se necesitan incluir en el chip para realizar el test de corriente son (figura 4.7):

1. Test Enable: Permite desconectar el sensor de corriente del CUT y de la línea de alimentación del sistema. También se utiliza para que el multiplexor analógico conecte el vector de test al amplificador operacional.
2. Pulso de test: Entrada externa donde se aplica el vector de test
3. Tout: Salida digital del sensor de corriente

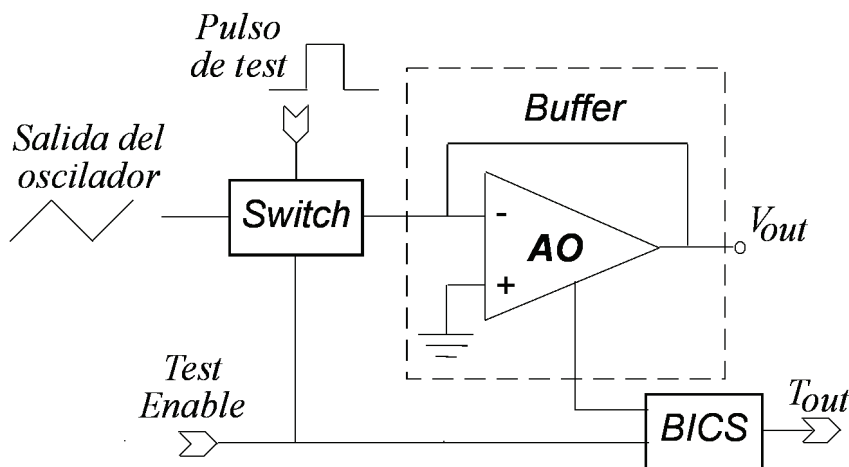


Figura 4.7. Pines adicionales requeridos para realizar el test de corriente transitoria

El sensor de corriente comparte la alimentación y la tierra del circuito bajo test. Para circuitos más complejos, con varios amplificadores operacionales y sensores de corriente, se pueden compartir los terminales de habilitación, entrada del vector de test y, realizando un sencillo postprocesado dentro chip, colapsar las salidas de los diversos sensores en un único pin.

La distribución final se muestra en la figura 4.8. Los dos bloques del sensor de corriente se sitúan a la izquierda (elemento de muestreo) y en la parte superior (bloque de procesado) del amplificador operacional. El sensor ocupa el setenta por ciento del área total. El multiplexor analógico se localiza en la parte superior izquierda.

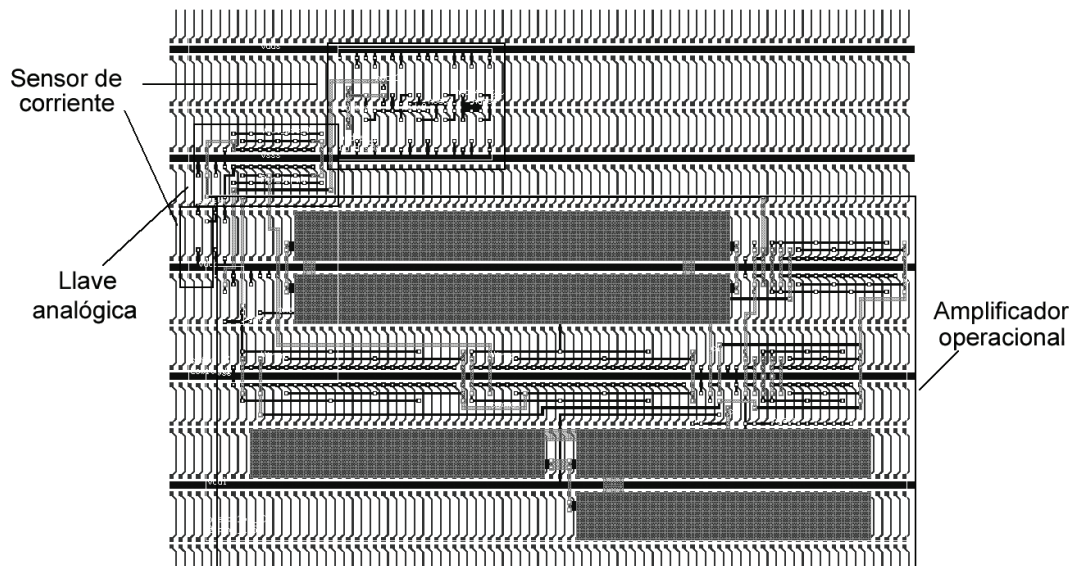


Figura 4.8. Layout final del amplificador operacional y de los módulos de test

La simulación del circuito extraído del layout de la figura 4.8 muestra que el comportamiento del amplificador obtenido a través de la frecuencia de ganancia unidad y del margen de fase no se ve afectado por la carga del sensor de corriente. Tampoco se ve afectada la linealidad de la salida del oscilador ni su frecuencia.

La salida del sensor de corriente se mantiene fija a la tensión de alimentación hasta que aparece una transición en la entrada del amplificador operacional (figura 4.9), en ese momento se genera un pulso cuya anchura es proporcional a la duración del transitorio de corriente. Los cambios en la forma de onda de la corriente debido a la aparición de defectos en el CUT se trasladan en la desaparición de pulsos o en su ensanchamiento a la salida del BICS con respecto al circuito libre de fallo [Tan98].

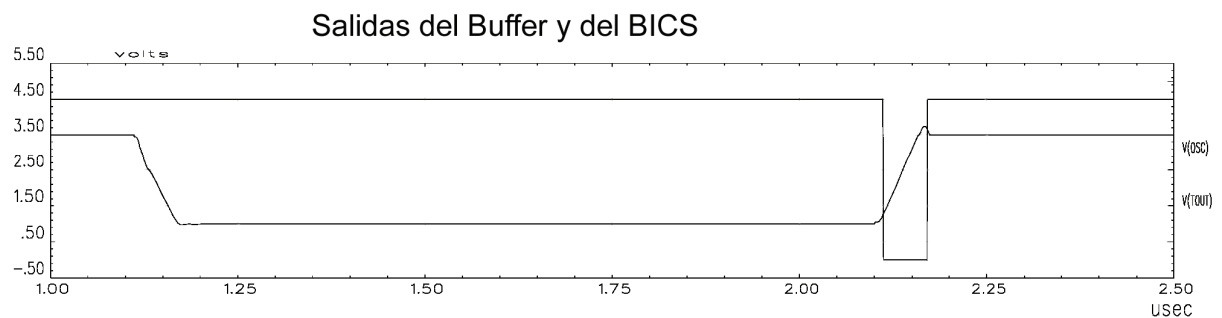


Figura 4.9. Salidas del BICS y del amplificador operacional para un pulso de entrada

### 4.3 DAC EN MODO CORRIENTE

Otro de los circuitos diseñados para analizar la metodología de test propuesta es un convertidor digital-analógico (DAC) de bajo consumo. Un DAC produce una salida analógica  $A$  proporcional a una entrada digital  $D$  que puede ser descrita matemáticamente por:

$$A = \alpha \cdot D \quad (1)$$

Siendo  $\alpha$  el factor de proporcionalidad. Como D es una magnitud adimensional,  $\alpha$  tiene la dimensión y el valor de la escala completa de A. Por ejemplo, si  $\alpha$  es una magnitud de tensión  $V_{REF}$  queda;

$$A = V_{REF} \cdot (b_{n-1} \cdot 2^{-1} + b_2 \cdot 2^{-2} + \dots + b_0 \cdot 2^{-n}) \quad (2)$$

Donde  $b_{n-1}$  es el valor binario (1 ó 0) del bit más significativo (MSB) y  $b_0$  es el valor binario del bit menos significativo (LSB). Un cambio en el LSB da lugar al cambio más pequeño posible a la salida, tensión denominada resolución del convertidor y cuyo valor viene dado por:

$$V_{LSB} = \frac{1}{2^n} V_{REF} \quad (3)$$

De las ecuaciones anteriores se puede ver que en un DAC, cada código digital de entrada genera un múltiplo o una fracción de la magnitud de referencia en la salida analógica. Es decir, la conversión D/A se puede ver como una función de multiplicación o división, donde la referencia es una de las tres magnitudes eléctricas; tensión, corriente o carga. La precisión de la función de transformación determina la finalidad del convertidor, mientras la velocidad a la que cada producto o división se puede seleccionar y establecer a la salida nos da la velocidad de conversión del DAC.

#### 4.3.1 Métrica del DAC

Las características más importantes del DAC y los parámetros que las definen se pueden agrupar en dos categorías:

1. Parámetros estáticos. Describen el comportamiento en estado estacionario obtenido de la curva de transferencia entrada-salida (tabla 4.2)
2. Prestaciones dinámicas que relacionan la operación del convertidor con la frecuencia de la señal de entrada (tabla 4.3). Para obtener algunas de las prestaciones dinámicas es necesario utilizar técnicas de procesado de la señal, tanto en el tiempo como en la frecuencia, de las muestras analógicas de salida.

<b>Parámetro</b>		<b>Descripción</b>
Valor de escala completo	FSR	Mide la diferencia entre el valor máximo y el valor mínimo de la salida
Error de Ganancia DC		Una medida de la desviación de la pendiente de una línea recta que cruza las salidas correspondiente a la entrada más pequeña y a la entrada más grande respecto al caso ideal
Error de Offset		Desviación de la tensión de salida correspondiente al código de entrada más pequeño. A veces se mide respecto al valor de la mitad de la entrada.
Resolución	LSB	Valor medio de la diferencia de la salida entre dos códigos consecutivos.
Monotonicidad		Cuando un incremento de 1 bit en el código de la entrada, garantiza el incremento o mantenimiento de la tensión analógica de salida.

No-Linealidad Integral	INL	Desviación de la tensión de salida frente al punto de una línea recta que implemente la mejor aproximación del DAC. La unidad es bits menos significativos (LSB)
No-Linealidad Diferencial	DNL	Desviación entre un cambio de 1 bit en el código de entrada y el tamaño ideal de 1 LSB. La unidad es bits menos significativos (LSB)

Tabla 4.2. Parámetros estáticos del DAC

Parámetro		Descripción
Tiempo de conversión	$t_s$	Es el tiempo desde que comienza la conversión hasta que se dispone de la salida analógica con una precisión dada. También se conoce por tiempo de asentamiento.
Tiempo de subida y bajada	$t_R$ y $t_F$	Tiempo que tarda la salida en subir o bajar entre el 10% y el 90% de la diferencia entre el valor inicial y el final.
Sobredisparo		La máxima cantidad en la cual la salida analógica excede al valor final, especificado como porcentaje.
Energía de glitch		El glitch es un movimiento incontrolado de la salida del DAC cuando cambia de un valor a otro. El área bajo la curva del sobredisparo es lo que se conoce como energía del glitch.
Relación señal-ruido	SNR	Raíz cuadrada del cociente entre la potencia de señal de salida y la potencia de ruido excluidos los armónicos. $SNR[dB] = 10 \log_{10} \left[ \frac{P_{señal}}{P_{ruido}} \right]$ Idealmente $SNR_{ideal}[dB] = 6.02n + 1.76$ donde n es el número de bits del DAC
Relación señal-ruido y distorsión armónica	SINAD	Raíz cuadrada del cociente entre la potencia de señal de salida y la potencia de ruido más la potencia de los armónicos. $SINAD[dB] = 10 \log_{10} \left[ \frac{P_{señal}}{P_{ruido+distorsión}} \right]$
Número efectivo de bits	ENOB	Medida de lo cercano que es el comportamiento del convertidor al modelo teórico. Se deriva del valor del SINAD de acuerdo a: $ENOB = \frac{SINAD[dB] - 1.76dB}{6.02dB}$
Distorsión armónica	THD	Es la relación entre la potencia de los armónicos y la potencia del tono fundamental de la señal $THD[dB] = 10 \log_{10} \left[ \frac{P_{armónicos}}{P_{señal}} \right]$
Rango dinámico libre de espurios	SFDR	Es la diferencia en dB entre el tono fundamental y la siguiente componente frecuencial de mayor tamaño

Tabla 4.3. Parámetros dinámicos del DAC

### 4.3.2 División de corriente

Las arquitecturas utilizadas para implementar un convertidor digital analógico se pueden dividir en dos grupos [Raz95]:

1. Convertidores Nyquist: Cada pulso de reloj realiza una conversión y por tanto el ancho de banda de la señal de entrada es igual a la mitad de la señal de reloj. Entre este grupo se encuentran: DACs basados en redes de resistencias (binarias o tipo R-2R), en redes de condensadores y en fuentes de corriente (binarias o segmentadas).
2. Convertidores sobremuestreados: La frecuencia de muestreo es mucho mayor que el ancho de banda de la señal de entrada. Un ejemplo son los convertidores sigma-delta ( $\Sigma\Delta$ ).

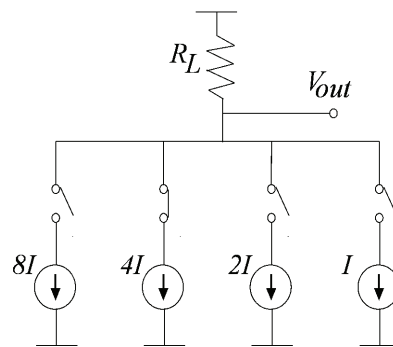


Figura 4.10. DAC basado en fuentes de corriente binarias

La mayoría de los DAC de alta velocidad están basados en arquitecturas que utilizan fuentes de corriente (figura 4.10). Dado que al poder manejar cargas resistivas directamente no requieren amplificadores de alta velocidad y por tanto son potencialmente más rápidas que otro tipo de convertidores. Sin embargo, la utilización de una resistencia de carga reduce el margen de tensión de salida debido a la tensión que se necesita asignar a las fuentes de corriente para su correcta polarización y también es bastante sensible a la impedancia de salida de las fuentes de corriente. Para evitar ambos efectos, en el DAC diseñado, se sustituirá la resistencia de carga  $R_L$  por un amplificador de transimpedancia.

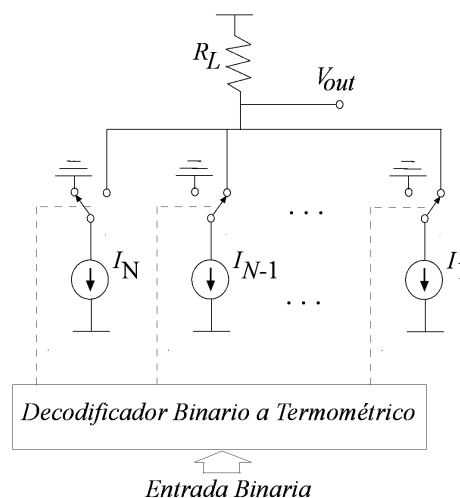


Figura 4.11. DAC basado en fuentes de corriente segmentadas

El circuito basado en fuentes de corriente con pesos binarios tiene dos importantes limitaciones. Primero, requiere un emparejamiento muy bueno de los dispositivos para alcanzar la monotonicidad en la salida ( $DNL < 1LSB$ ). Segundo exhibe grandes impulsos de glitch cuando la palabra digital de entrada requiere deshabilitar un conjunto de fuentes ( $I$ ,  $2I$ ,  $4I$ ) para activar la siguiente ( $8I$ ). Las arquitecturas segmentadas alivian ambos problemas (figura 4.11).

En la arquitectura de la figura 4.11 se utiliza una matriz de  $N=2^n-1$  de fuentes de corriente idénticas que se seleccionan tras aplicar la entrada del DAC a un codificador de binario a termométrico. A medida que la entrada digital va aumentando, se van conectando más fuentes de corriente a la salida sin apagar ninguna, reduciendo el impulso del glitch. De esta manera, siempre se obtiene un incremento de corriente que garantiza la monotonicidad. Mientras que esta estructura proporciona un pequeño DNL (un 50% de desviación de la corriente entre dos fuentes es suficiente para obtener un  $DNL < 0.5LSB$ ), el INL puede ser bastante grande si los dispositivos no están bien emparejados.

El circuito de la figura 4.11 se denomina “totalmente segmentado” y utiliza  $2^n-1$  fuentes de corriente. El gran número de fuentes de corriente puede ser problemático para un DAC de gran resolución, tanto el área de silicio que ocupan, como por la gran capacidad que asocian al nudo de salida. A menudo, es más eficiente dividir el DAC en dos partes, una controlada por los  $C$  bits más significativos con  $2^C-1$  fuentes de corriente gruesas iguales y otra que responde a los  $F$  bits menos significativos formadas por  $F$  fuentes con pesos binarios.

Esta idea de segmentar las fuentes de corriente en dos tipos gruesas y finas fue originalmente propuesta por Schoeff en un convertidor de doce bits para obtener la monotonicidad a la salida sin necesidad de realizar ajustes durante la etapa de fabricación [Sch79].

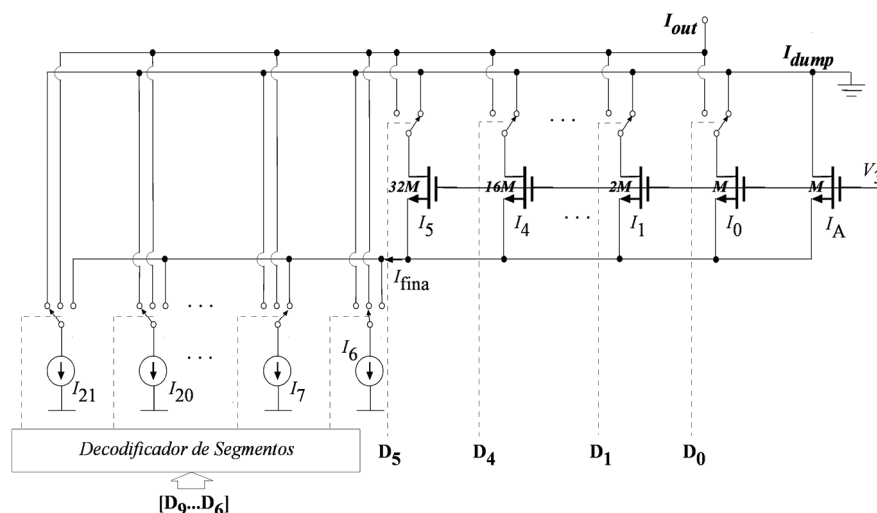


Figura 4.12. Arquitectura de un DAC con fuentes de corriente segmentadas

La figura 4.12 muestra la arquitectura utilizada en el diseño de nuestro convertidor de diez bits de resolución. El principio básico es utilizar los cuatro bits más significativos para conectar cada una de las fuentes de corriente gruesas ( $I_6$ - $I_{21}$ ) a la salida de forma que sus

corrientes se sumen y utilizar las subdivisiones ( $I_5-I_0$ ), controladas por los seis bits menos significativos, para proporcionar pasos más finos.

Para ilustrar este principio analizamos la corriente de salida cuando se realiza un barrido de la tensión digital de entrada  $D_{in}$  desde 0 hasta el mayor valor posible  $2^{10}-1$  [ $D_9-D_0$ ]. Mientras que la entrada está comprendida entre 0 y  $2^6-1$  la fuente de corriente gruesa  $I_6$  está conectada al divisor fino. El código binario de los 6 bits menos significativos [ $D_5-D_0$ ] selecciona cuales de las fuentes de corriente fina ( $I_5-I_0$ ) están conectadas al nudo de salida  $I_{out}$ . En este instante, el resto de las fuentes, tanto finas como gruesas, están conectadas a una tensión de referencia (tierra) cuyo corriente no se manifiesta en la salida ( $I_{dump}$ ) del DAC. La fuente  $I_A$  se añade para que la corriente que la matriz fina inyecte en una fuente gruesa alcance  $2^6=64$  unidades.

Cuando la palabra digital de entrada es  $2^6$ , la fuente gruesa  $I_6$  se conecta a la salida ( $I_{out}$ ),  $I_7$  al divisor fino y el resto de fuentes gruesas ( $I_{21}-I_8$ ) a tierra. De esta manera la diferencia de corriente de salida correspondiente a  $D_{in}=2^6-1$  y  $D_{in}=2^6$  es igual a  $I_A$ , indicando que esta transición es siempre monótona puesto que  $I_A$  tiene un valor finito positivo. Manteniendo  $I_6$  conectada siempre a la matriz de fuentes de corriente fina, se podría perder la monotonicidad, si debido a errores de emparejamiento entre  $I_6$  y otra fuente gruesa hubiese un error en la corriente mayor que 1 LSB, puesto que se apagaría una para conectar otra. Con esta secuencia lo que se hace, al ir aumentando la entrada digital, es ir llenando cada fuente de corriente gruesa a través del divisor fino. Cuando está llena, la dejamos conectada a la salida y empezamos con la siguiente fuente gruesa.

Para la entrada entre  $D_{in}=2^7$  y  $D_{in}=2^7+2^6-1$ , las fuentes de corriente gruesas  $I_7$  e  $I_6$  están conectadas a la salida y la corriente a través del divisor fino se dirige hasta  $I_8$ .

El decodificador utilizado en esta arquitectura es más complejo que un cambio de código binario a termométrico porque también debe determinar cual de las fuentes gruesas está conectada al divisor fino.

### 4.3.3 Causas de distorsión

Las principales causas de distorsión en los convertidores digitales-analógicos que emplean matrices de fuentes de corriente son;

1. Desemparejamiento de las fuentes de corriente,
2. Impedancia finita de salida de las fuentes de corriente que debido a la no linealidad del amplificador de transimpedancia induce errores a la salida del DAC
3. La dependencia de la tensión de la resistencia de salida que realiza la conversión corriente-tensión.

#### 4.3.3.1 Emparejamiento entre fuentes de corriente

Las fuentes de corriente distribuidas en una matriz pueden exhibir desemparejamientos debido a gradientes y a variaciones aleatorias.

El efecto de los gradientes causados, por ejemplo, por variaciones en la anchura del oxido fino, dan lugar normalmente a una distribución lineal de la desviación de la corriente entre las diversas fuentes.

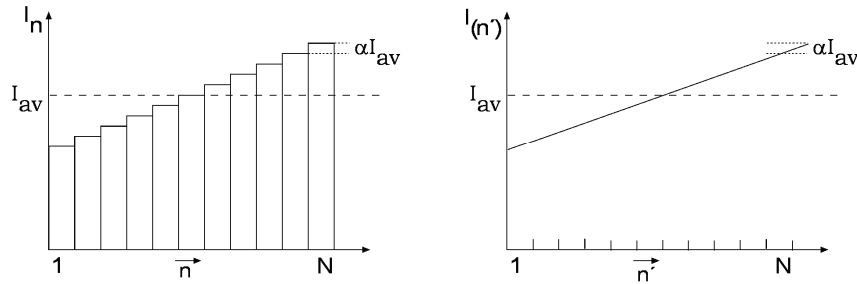


Figura 4.13. Distribución lineal de la corriente de las fuentes gruesas (a) discreta (b) continua

En la figura 4.13 se muestra una variación lineal, donde el valor de la corriente para la fuente número  $n$  ( $I_n$ ) se puede expresar como;

$$I_n = I_{av} \cdot \left[ 1 + \left( n - \frac{N+1}{2} \right) \cdot \alpha \right] \quad (4)$$

Siendo  $I_{av}$  la corriente media de todas las fuentes gruesas,  $N$  el número total de fuentes y  $\alpha$  el gradiente. Para un número grande de fuentes de corriente, el dato grueso  $D_C$  se puede aproximar por un valor continuo  $D_C'$  y  $n$  por un valor continuo  $n'$  como se muestra en la figura 4.13b. Ahora la ecuación anterior se puede reescribir como:

$$I(n') = I_{av} \cdot \left[ 1 + \left( n' - \frac{N}{2} \right) \cdot \alpha \right] \quad (5)$$

Y la corriente de salida se expresa como

$$I_{out, gruesa} = \int_0^{D_C'} I(n') \cdot dn' \quad (6)$$

Cuando se aplica una señal sinusoidal digital cuya amplitud abarca la escala completa de entrada ( $D_C'$ ) descrita como

$$D_C'(t) = \frac{N}{2} \cdot (1 + \text{sen}(wt)) \quad (7)$$

La corriente de salida del sistema se puede obtener sustituyendo (5) y (7) en (6)

$$I_{out, gruesa} = \frac{N}{2} I_{av} \left( 1 + \text{sen}(\omega t) + \alpha \frac{N}{8} (1 - \cos(2\omega t)) - \alpha \frac{N}{4} \right) \quad (8)$$

Ecuación que muestra que una distribución lineal del error de corriente entre las fuentes gruesas introduce una distorsión en el segundo armónico de la señal de salida. Un método para disminuir este tipo de distorsión es realizar una media geométrica [Sch88] donde durante la mitad del ciclo de conversión se seleccionan las  $n$  fuentes situadas más a la izquierda y durante la otra mitad del periodo de reloj las  $n$  fuentes situadas más a la derecha, la corriente de salida final será la media de ambas contribuciones. Esta técnica no se ha implementado debido a la reducida distancia sobre las que se distribuyen las 16 de fuentes de corriente



gruesas. Sin embargo, el orden de selección de las fuentes se ha elegido de tal modo que los efectos de los gradientes en el layout sean mínimos. El método se basa en la minimización de una figura de merito que es la suma para todos los códigos de la varianzas del error de linealidad integral [Con89].

Los errores aleatorios en las fuentes de corriente CMOS, también, dan lugar a variaciones en la corriente de drenador de los transistores. Asumiendo que los transistores del espejo se polarizan en la zona de saturación y tienen todos ellos las mismas curvas corriente-tensión;

$$I_D = \frac{\beta}{2} \cdot (V_{gs} - V_{th})^2 \quad \text{con } \beta = \mu_0 C_{OX} \frac{W}{L} \quad (9)$$

Podemos obtener la desviación relativa entre dos transistores con las mismas curvas corriente-tensión, debido al desemparejamiento, haciendo la derivada total de la corriente de drenador y dividiendo el resultado por  $I_D$ .

$$\frac{\Delta I_D^2}{I_D^2} = \frac{\Delta \beta^2}{\beta^2} + \frac{4 \cdot \Delta V_{th}^2}{(V_{gs} - V_{th})^2} \quad (10)$$

Donde  $\frac{\Delta \beta^2}{\beta^2} = \frac{A_\beta^2}{WL}$  y  $\Delta V_{th}^2 = \frac{A_{VT}^2}{WL}$ .

Siendo  $A_\beta$  y  $A_{VT}$  parámetros proporcionados por el fabricante que relacionan las desviaciones aleatorias de la conductancia y de la tensión umbral con el área del transistor [Pel89].

Dado que  $\mu_0 C_{OX}$  y  $V_{th}$  son constantes del proceso,  $W$ ,  $L$  y  $V_{gs}$  son los únicos parámetros bajo el control del diseñador que se pueden aumentar para disminuir la desviación relativa  $\frac{\Delta I_D}{I_D}$ .

Anchuras de canal  $W$  grandes conllevan niveles de corriente de drenador altos y capacidades puerta-drenador grandes, longitudes de canal  $L$  grandes obliga a tensiones  $V_{gs} - V_{th}$  altas para obtener un nivel de corriente  $I_D$  dado, el incremento de  $V_{gs} - V_{th}$  limita el rango de la tensión de salida en el drenador del transistor. Como consecuencia, existe un compromiso para obtener una combinación razonable de precisión, velocidad, área y margen de tensión de salida. Además, el incremento de  $W$  y  $L$  tiende a realizar una media de  $\Delta(\mu_0 C_{OX})$  y  $\Delta V_{th}$  sobre el área de puerta del transistor y disminuye por tanto su valor [Pel89].

Para un convertidor de  $N$  bits de resolución formado por  $2^N - 1$  fuentes de corriente, una estimación sencilla del INL se obtiene sumando las varianzas de la mitad de las fuentes de corrientes considerándolas sin correlación.

$$INL = \sqrt{2^{N-1}} \cdot \left( \frac{\Delta I_D}{I_D} \right) \quad (11)$$

#### 4.3.3.2 Impedancia de salida de las fuentes de corriente

Dependiendo del código digital de entrada, se conectan un número diferente de fuentes al nudo donde se suman las corrientes. Por tanto, la impedancia vista por el nudo de salida varía modificando la resistencia de carga e introduciendo no linealidad en la tensión de salida.

Considerando una selección de las fuentes de corriente a través de un código termométrico (figura 4.11), en las que la impedancia de salida de pequeña señal está representada por  $r_o$ , la tensión de salida cuando se activan  $j$  fuentes es;

$$V_{out} = -jI \left( R_1 // \frac{r_o}{j} \right) \quad (12)$$

La dependencia de la salida con el término entre paréntesis introduce una no-linealidad integral (INL). Para obtener el valor de INL consideramos la salida ideal del DAC como una línea recta entre los extremos de la ecuación 12 (tomando  $j=0$  y  $j=N$ ) y buscamos la diferencia entre la ecuación 12 y esa línea. Suponiendo que  $r_o \gg N \cdot R_1$  se obtiene que

$$INL(j) \approx \frac{I \cdot R_1^2}{r_o} j(N-j) \quad (13)$$

Que tiene un máximo en  $\frac{I \cdot R_1^2 \cdot N^2}{4 \cdot r_o}$ . Dado que la variación del fondo de escala de la tensión es aproximadamente  $N \cdot I \cdot R_1$ , la variación relativa máxima de la no linealidad integral es igual a  $INL_{max} = \frac{N \cdot R_1}{4 \cdot r_o}$ .

En el diseño del DAC realizado, para minimizar la contribución de este tipo de error, se han incluido etapas cascode en las fuentes de corriente gruesas para aumentar su impedancia de salida ( $r_o$ ). También, en vez de una resistencia de carga, la conversión corriente a tensión se realiza con un amplificador de transimpedancia que elimina la variación de tensión en el nudo donde se suman todas las corrientes.

#### 4.3.3.3 No linealidad de la resistencia

Otra fuente de no linealidad en los DAC en modo corriente (current-steering) es debida a la sensibilidad del valor de la resistencia de carga con la tensión entre sus extremos. Las resistencias de polisilicio exhiben una característica corriente tensión que sigue una función de seno hiperbólico con una linealidad que aumenta a medida que se incrementa la longitud de la resistencia [Lu81]. Por otra parte, en las resistencias difundidas la no linealidad aparece por la variación de la profundidad de la zona de depleción que es principalmente una función del nivel de dopado. Estos efectos y la dependencia de la resistencia con la temperatura deben ser tenidos en cuenta para linealidades de diez bits.

	<i>Mínimo</i>	<i>Nominal</i>	<i>Máximo</i>	<i>Unidad</i>	<i>Condiciones de Medida</i>
High Ohmic poly	0	-70	-140	ppm/V	Tensión de inicio = -10V
L/W=100µm/10µm	-40	-52.5	-65	ppm/V <sup>2</sup>	Tensión final = 10V

Tabla 4.4. Dependencia de la resistencia de realimentación con el voltaje entre sus extremos

En el DAC, se ha utilizado la posibilidad que permite la tecnología de utilizar una máscara específica para implementar la resistencia de realimentación del amplificador operacional. Esta máscara define una región donde el polisilicio se dopa ligeramente para alcanzar una alta

resistencia óhmica por cuadro evitando el alto dopaje que se aplica al polisilicio que forma las puertas de los transistores. Los coeficientes lineales (VCL) y cuadrático (VCQ) de la resistencia con el voltaje son pequeños y se adaptan a nuestras necesidades, estos coeficientes se muestran en la tabla 4.4.

El emparejamiento de este tipo de resistencias es muy bueno (0.1%) aunque nosotros no utilizaremos esta característica ya que es una sola la resistencia que realimenta el amplificador operacional.

#### 4.3.4 Diseño implementado

El convertidor elegido es un diseño basado en la suma de corriente con estructura en paralelo y la utilización de una técnica dinámica de segmentación para asegurar la monotonicidad del circuito [Sch79][Sch88].

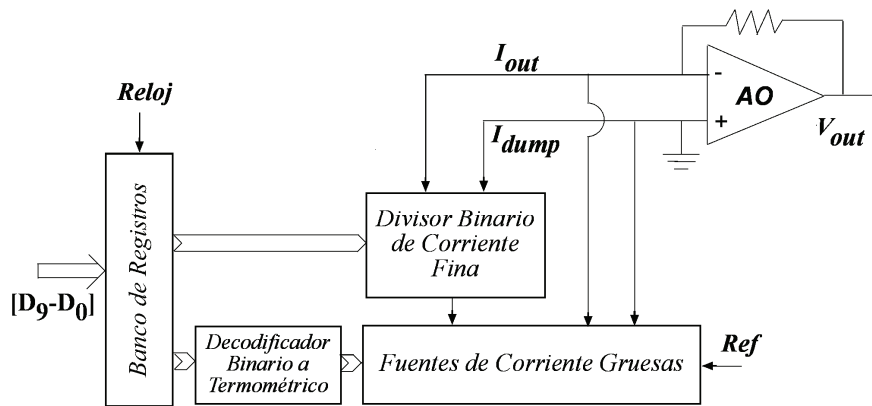


Figura 4.14. Diagrama de bloque del convertidor digital-analógico en modo corriente

La figura 4.14 muestra el diagrama del DAC con sus bloques más importantes. Las fuentes de corriente gruesa generan un conjunto de corrientes iguales que se seleccionan con un bloque de llaves de tres posiciones. Un decodificador transforma la palabra digital de entrada en un código que determina la conexión de las fuentes de corriente gruesas. Una de estas fuentes gruesas está conectada a una etapa que realiza una división más fina de la corriente y cuyo valor de corriente está controlado por los bits menos significativos de la palabra de entrada. La suma de corrientes gruesa y fina se convierte en tensión por medio de un amplificador operacional y una resistencia.

El área del convertidor es un parámetro importante puesto que está directamente relacionado con el coste del circuito [Sta04]. En una arquitectura segmentada depende tanto del tamaño de las unidades de corriente como del circuito necesario para generar y distribuir las señales de control.

En un divisor de corriente binario de  $F$  bits de resolución, el peor caso de DNL está definido por la transición de un LSB desde el máximo valor del divisor binario hasta el valor unitario de una fuente gruesa según [Mar98].

$$DNL = 2 \cdot \sqrt{2^F} \cdot \left( \frac{\Delta I_D}{I_D} \right) \quad (14)$$

Teniendo en cuenta que el modelo de desemparejamiento relaciona el área del transistor con la desviación de corriente [Pel89][Van01] de acuerdo a

$$\text{Área} = \frac{1}{2 \cdot \left( \frac{\Delta I_D}{I_D} \right)^2} \cdot \left( A_\beta^2 + \frac{4 \cdot A_{VT}^2}{(V_{gs} - V_{th})^2} \right) \quad (15)$$

Por lo tanto, el máximo DNL permitido determina el tamaño mínimo de la puerta (WL) de los transistores MOS

$$WL > 2^{F+1} \left( A_\beta^2 + \frac{4 \cdot A_{VT}^2}{(V_{gs} - V_{th})^2} \right) / DNL_{\max}^2 \quad (16)$$

La ecuación 16 muestra que, para una especificación de DNL dada, el área del transistor que genera la corriente aumenta con el número de bits de resolución de la matriz binaria. Es decir, podemos expresar el área de la fuente de corriente de menor tamaño como  $A_U = A_u \cdot 2^F$  donde  $A_u$  se toma como un tamaño de referencia (con F=0) [Mal07].

La matriz binaria controlada por los F bits menos significativos está formada por  $2^F$  transistores unitarios, por lo que su tamaño viene dado por la relación  $A_{FINA} = 2^F \cdot A_u \cdot 2^F$

La sección de fuentes de corriente gruesas está controlada por los G bits más significativos. En este caso es necesario añadir una lógica para traducir el código binario de entrada al código termométrico que activa las fuentes de corriente gruesas y cuyo tamaño podemos asumir que aumenta linealmente con el número de bits G. Por lo tanto, el área que ocupa las  $2^G$  fuentes gruesas es igual a

$$A_{GRUESA} = A_{ANALOG} + A_{DIGITAL} = A_u \cdot 2^F \cdot 2^G + G \cdot A_d \cdot 2^G \quad (17)$$

Donde  $A_u \cdot 2^F$  es el tamaño unitario de una fuente gruesa y  $A_d$  es el tamaño unitario de su celda digital de selección.

Combinando ambas aportaciones se obtiene el área para un convertidor de n bits de resolución ( $n = F + G$ ) según la ecuación

$A_{DAC} = A_u \cdot 2^{2F} + A_u \cdot 2^n + G \cdot A_d \cdot 2^G$ , reorganizando da lugar a

$$A_{DAC} = A_u \cdot \left( 2^{2F} + 2^n + \frac{A_d}{A_u} \cdot (n - F) \cdot 2^{n-F} \right) \quad (18)$$

A medida que va disminuyendo el número de bits del divisor binario de corriente (F), el área del DAC pasa de estar dominado por el tamaño y número de los transistores del divisor fino de corriente a venir definido por el tamaño del decodificador termométrico [Lin98].

Una estimación de la relación entre el área de una fuente gruesa y el elemento unitario de la matriz de fuentes finas da un valor  $\frac{A_d}{A_u} = 64$  para la tecnología empleada. Representando el área normalizada de un DAC de 10 bits en función del porcentaje de segmentación (número

de bits de la partición fina entre resolución del ADC,  $F/n$ ) nos permite obtener que la partición más adecuada es la que considera un divisor de corriente binaria fina de 6 bits (figura 4.15).

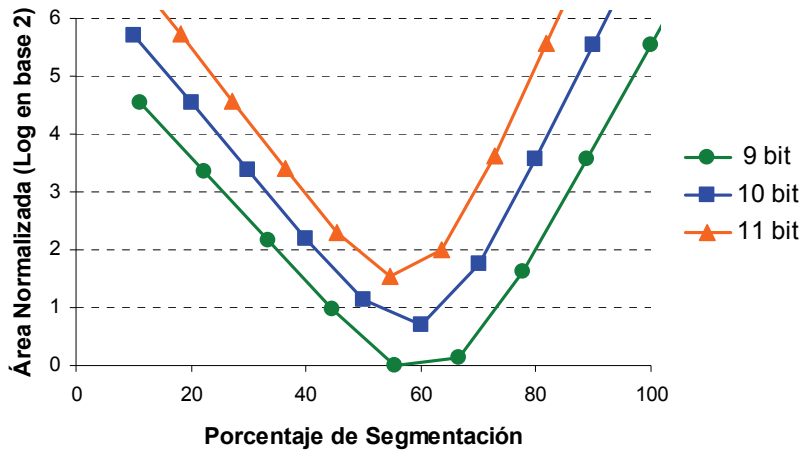


Figura 4.15. Área normalizada de un DAC para diferentes resoluciones y segmentaciones

#### 4.3.4.1 Registros y decodificador termométrico

La sección digital del convertidor está formada por un banco de registros y la lógica de selección de las fuentes gruesas. Aunque el método de test de corriente transitoria no requiere un consumo de corriente estacionaria nula, sí que se beneficia de ello al minimizar la reducción de la tensión efectiva de alimentación vista por el CUT debido a la conexión del sensor de corriente en serie entre el CUT digital y el terminal de alimentación del chip.

Por tanto, se han utilizado técnicas de diseño que evitan estados de consumo de corriente estacionaria para el circuito libre de fallo [Sod95]. En el decodificador de segmentos se utiliza un grupo de puertas complejas CMOS. Este bloque tiene cuatro entradas digitales que conectan las dieciséis fuentes de corriente gruesa a una de las tres salidas analógicas disponibles ( $I_F$ ,  $I_{OUT}$  e  $I_{DUMP}$ ) implementando la función lógica mostradas en la tabla 4.5.

Entrada digital	$I_{21}$	$I_{20}$	$I_{19}$	$I_{18}$	...	$I_8$	$I_7$	$I_6$
0000	$I_{DUMP}$	$I_{DUMP}$	$I_{DUMP}$	$I_{DUMP}$	...	$I_{DUMP}$	$I_{DUMP}$	$I_F$
0001	$I_{DUMP}$	$I_{DUMP}$	$I_{DUMP}$	$I_{DUMP}$	...	$I_{DUMP}$	$I_F$	$I_{OUT}$
0010	$I_{DUMP}$	$I_{DUMP}$	$I_{DUMP}$	$I_{DUMP}$	...	$I_F$	$I_{OUT}$	$I_{OUT}$
...	...	...	...	...	...	...	...	...
1100	$I_{DUMP}$	$I_{DUMP}$	$I_{DUMP}$	$I_F$	...	$I_{OUT}$	$I_{OUT}$	$I_{OUT}$
1101	$I_{DUMP}$	$I_{DUMP}$	$I_F$	$I_{OUT}$	...	$I_{OUT}$	$I_{OUT}$	$I_{OUT}$
1110	$I_{DUMP}$	$I_F$	$I_{OUT}$	$I_{OUT}$	...	$I_{OUT}$	$I_{OUT}$	$I_{OUT}$
1111	$I_F$	$I_{OUT}$	$I_{OUT}$	$I_{OUT}$	...	$I_{OUT}$	$I_{OUT}$	$I_{OUT}$

Tabla 4.5. Tabla de verdad del decodificador de segmentos

Los biestables son una parte esencial en todos los circuitos digitales. Desgraciadamente el uso de puertas CMOS no garantiza que todos los fallos de puente sean detectables en los circuitos secuenciales [Lee92]. En el diseño tradicional de un flip-flop disparado por flanco se utiliza cierta redundancia que enmascara la aparición del fallo de la figura 4.16.

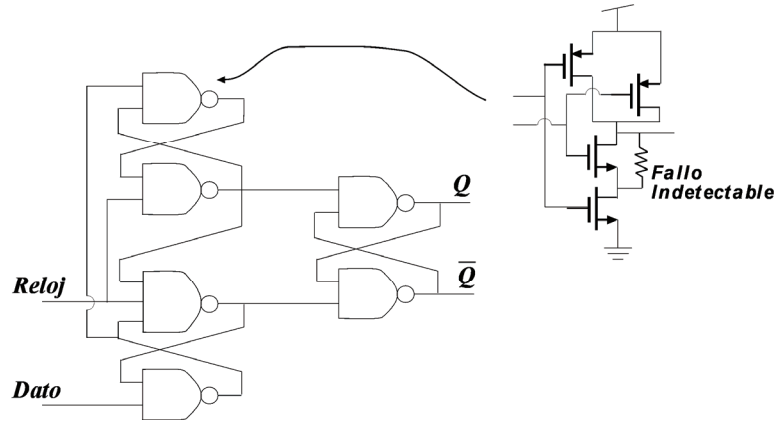


Figura 4.16. Esquemático a nivel de puerta de un FFD disparado por flanco y fallo de puente indetectable por un test de corriente

También en una configuración estándar del flip-flop tipo maestro-esclavo algún fallo de puente puede ser indetectable por un test de corriente. En el flip-flop de la figura 4.17, cuando el reloj está activo ( $Clk=1$ ), las llaves TG3 y TG4 están conectadas, el valor de la entrada se almacena en los nudos 1, 2 y 3 y el lazo de control 4, 5 y 6 está en un estado flotante manteniendo el valor anterior del flip-flop (figura 4.17b). Mientras que con  $clk=0$  las llaves TG2 y TG3 conducen, se desconecta la entrada D de los nudos 1, 2 y 3. Estos nudos pasan a formar un lazo, con un estado flotante, reteniendo el valor asignado en la fase de reloj anterior. Durante  $clk=0$ , el nudo 2 fija la tensión del nudo 4 y modifica el valor de los nudos 5 y 6, transfiriendo el dato desde el maestro al esclavo.

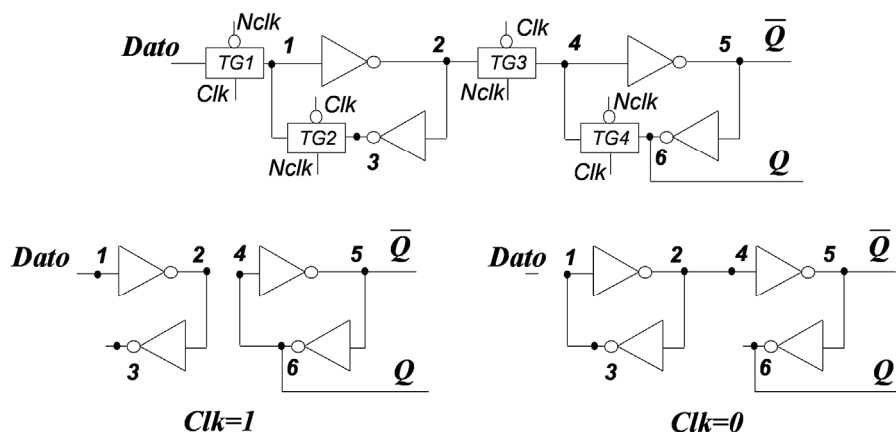


Figura 4.17. Estructura de un FFD maestro-esclavo con fallos de puente indetectables

Un fallo de puente que modifique el valor lógico de un lazo de control cuyo estado sea flotante no afecta al consumo estacionario de corriente aunque pueda ser detectado por un test

de tensión [Sac94][Rod93]. También, dependiendo del valor resistivo del fallo de puente, se modifica la forma de onda de corriente transitoria y puede llegar a ser detectado por el sensor de corriente transitoria.

Se han propuesto varios diseños de flip-flops para facilitar su análisis con un test de corriente [Rod94][Yam96]. El diseño implementado en el DAC se muestra en la figura 4.18 [Sac95]. En este circuito se ha insertado puertas unidireccionales entre los nudos 2 y 4 para evitar la existencia de lazos de control con estados flotantes.

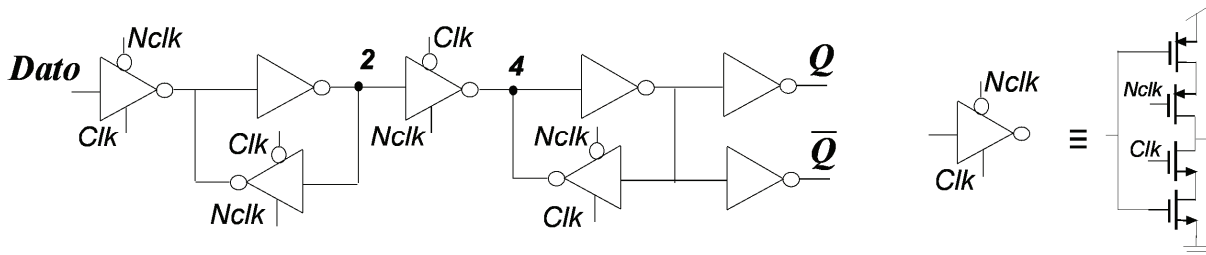


Figura 4.18. Mejora del diseño del FFD para un test de corriente

La sección digital del convertidor se ha dividido en dos partes similares. Una de ellas adaptada para la inserción de un sensor de corriente  $I_{DD}$  entre la alimentación de las celdas digitales del CUT y el pin de alimentación del sistema. En el segundo bloque se ha diseñado el layout desdoblado la línea de tierra en dos, por una parte la polarización del substrato que se conecta al pin de tierra del chip, por otra la fuente de los transistores NMOS cableados a la línea tierra virtual que aparece entre el CUT y el BICS de tipo ISS.

#### 4.3.4.2 Fuentes de corriente gruesa

El apagado de una fuente de corriente es sólo conceptual ya que desconectar el transistor de referencia le llevaría a la zona lineal y a corte. Volver a conectar el transistor y polarizarle en la zona de saturación produce un transitorio que disminuye la velocidad de operación del circuito. Además, las no linealidades asociadas con la carga y descarga de las capacidades son un posible motivo de distorsión armónica. Por ello, el método de conmutación no apaga la fuente si no que se redirecciona la corriente hacia una conexión falsa ( $I_{dump}$ ) que no tiene reflejo en la tensión de salida del DAC.

La figura 4.19 muestra el esquemático de la red de cuatro bits de fuentes de corriente gruesa con el tamaño de los transistores más relevantes donde las tensiones  $V_{ref1}$  y  $V_{ref2}$  se aplican externamente. Cada unidad genera una corriente de 27.8uA con lo que la corriente de salida total del DAC es 445uA. En este diseño no se utilizan resistencias de degeneración de fuente para minimizar la caída de tensión total del bloque.

El decodificador termométrico controla la llave de tres vías implementada con transistores NMOS. Para mejorar la precisión de la fuente de corriente se han utilizado etapas cascode que además de aumentar la resistencia de salida iguala la tensión de las llaves entre las ramas conectadas a  $I_{out}$  e  $I_{dump}$  con la rama conectada al divisor de corriente fina.

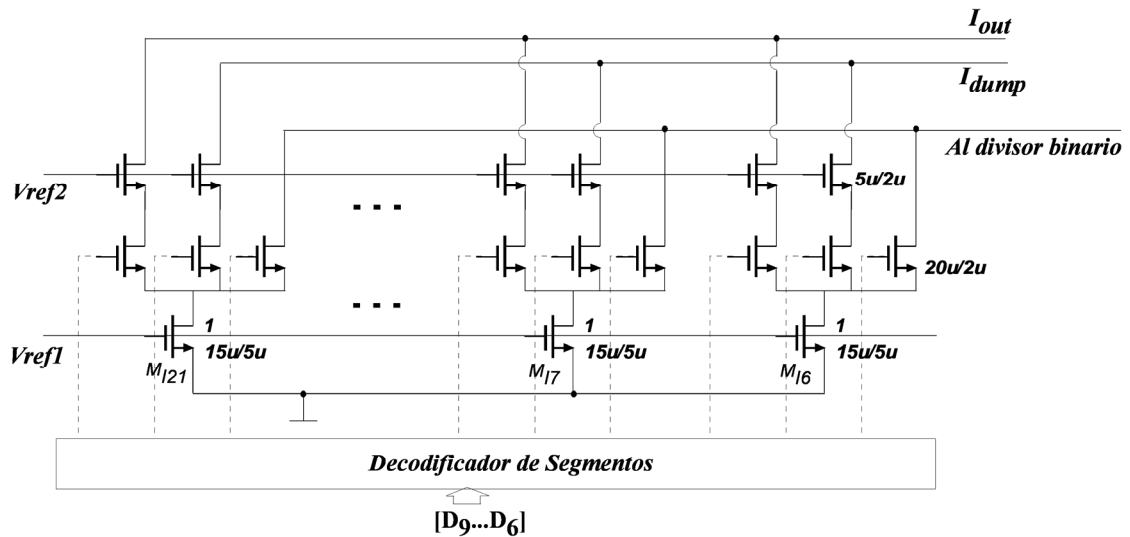


Figura 4.19. Red de fuentes gruesas

#### 4.3.4.3 Fuentes de corriente fina

La figura 4.20 muestra el esquemático con el tamaño de los transistores para el divisor binario de corriente y las llaves de dos posiciones donde la referencia  $V_{ref3}$  está conectada a  $V_{DD}/2$ . El divisor de corriente consiste en sesenta y cuatro transistores de igual tamaño que comparten los terminales de puerta y fuente. Los drenadores están combinados con pesos binarios de tal modo que el bit más significativo del divisor  $D_5$  consiste en treinta y dos transistores en paralelo. La unidad de corriente menor viene dada por  $M_{f0}$  y es igual a 435nA. Se ha añadido un transistor  $M_{fdump}$ , conectado permanentemente a la línea  $I_{dump}$ , para lograr que la corriente total proporciona a la corriente gruesa por la matriz fina sea  $2^6=64$  elementos unitarios.

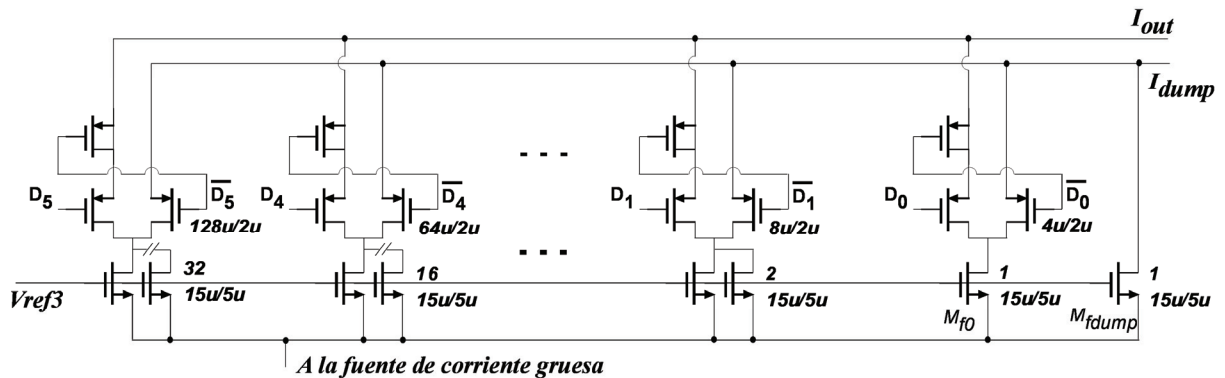


Figura 4.20. Divisor binario de corriente fina

El direccionamiento de la corriente de las ramas finas está controlado por una llave de dos vías formada por transistores PMOS. El tamaño de los transistores de las llaves también está escalado para evitar que los diferentes niveles de corriente de las ramas finas provoquen diferentes tensiones entre los extremos de las llaves y disminuyan la precisión del sistema.

En el layout, el efecto de la variación de los parámetros de fabricación se ha minimizado utilizando una distribución de centroide común para los transistores unitarios que constituyen las diversas ramas del divisor fino. Además, se ha compensado la inyección de carga debida al



“clock feedthrough” en la conmutación de las llaves con la adición de un transistor “Dummy” cortocircuitado, de la mitad de tamaño, en la rama de salida.

**4.3.4.4 Amplificador de transimpedancia**

En el caso de utilizar una resistencia para transformar la corriente de las fuentes a tensión, la velocidad de conversión del DAC está limitada por la capacidad parasita de la salida  $C_p$  debido a que este nudo experimenta una variación de tensión igual al valor de fondo de escala del DAC (figura 4.21).

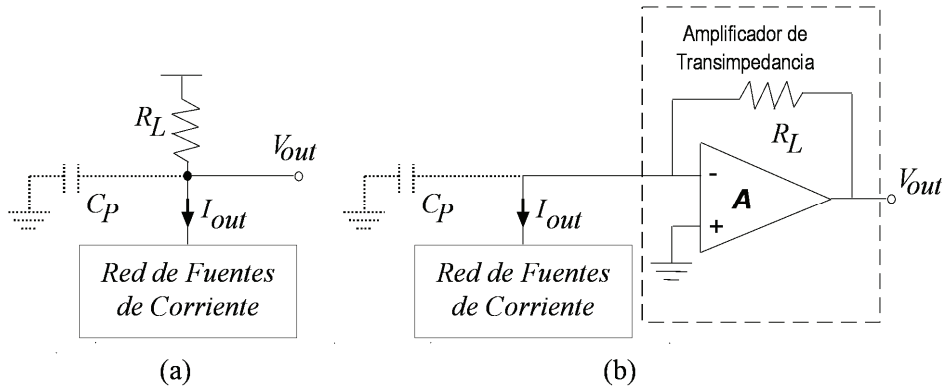


Figura 4.21. Conversión I-V utilizando (a) una resistencia y (b) un amplificador operacional

Utilizando un amplificador operacional realimentado con la resistencia se establece una tierra virtual en el nudo donde se produce la suma de corriente. Como resultado las variaciones de tensión son pequeñas y el tiempo de asentamiento de la salida viene determinado por las prestaciones del amplificador operacional.

El amplificador operacional es una estructura Miller con una etapa de salida clase AB (figura 4.22).

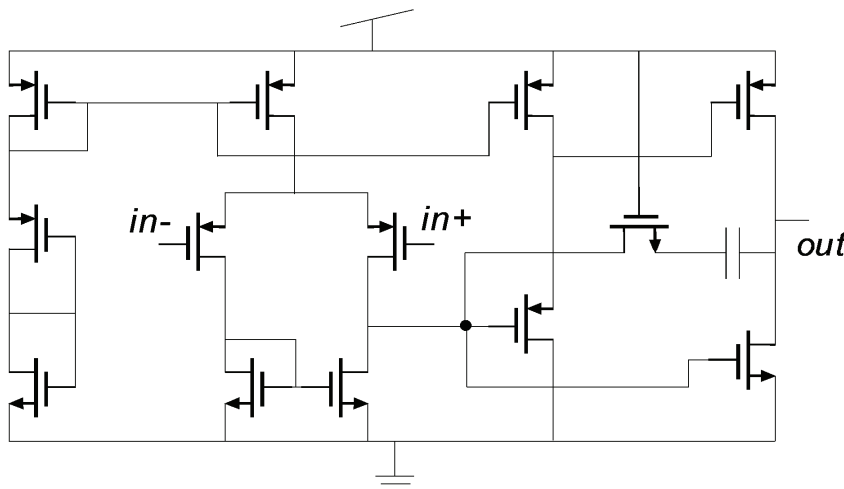


Figura 4.22. Amplificador operacional del DAC

La tabla 4.6 resume las prestaciones simuladas más importantes del amplificador, obtenidas utilizando una alimentación de 5V y un condensador de carga de 10pF.

<b>Parámetro</b>	<b>Símbolo</b>	<b>Resultado de simulación</b>
Tensión de alimentación	$V_{DD}$	5 V
Ganancia DC	$A_{v0}$	107 dB
Rechazo en modo común	CMMR	120 dB
Rechazo a la tensión de alimentación	PSSR	75 dB
Frecuencia de ganancia unidad	$f_T$	2.3 MHz
Polo dominante	$P_1$	8.5 Hz
Margen de fase	$\phi_m$	75 °
Máxima variación de la salida	SR	1.9 V/ $\mu$ s
Resistencia de salida	$R_O$	300 $\Omega$
Área	A	0.05 mm <sup>2</sup>
Consumo de corriente estacionaria	$I_{DD}$	48 $\mu$ A

Tabla 4.6. Prestaciones simuladas del OA

#### 4.3.4.5 Parámetros eléctricos del DAC

El convertidor digital analógico se ha diseñado y fabricado con la tecnología de pozo N de Alcatel Mietec 0.7 $\mu$ m (tabla 4.7).

<b>Parámetro</b>	<b>Valor</b>
Tecnología	0.7 $\mu$ m 2P3M
Número de bits	10 bits
Tensión de alimentación	5 V
Niveles digitales	CMOS
rango de tensión de salida	1 V
Consumo de corriente	1.4 mA
Área (sin pads)	0.6 mm <sup>2</sup>

Tabla 4.7. Características eléctricas del DAC

Las prestaciones del diseño se han obtenido a partir de la simulación del fichero extraído del layout utilizando los parámetros típicos proporcionados por el fabricante. Dado que se han utilizado diversas técnicas, tanto a nivel de sistema como de layout, para mejorar el emparejamiento de los transistores no se han incluido este efecto en la simulación. Por tanto, los datos se corresponden a valores de mejor caso.

Para simular la curva de transferencia del convertidor se ha aplicado una rampa digital a la entrada y se ha procesado la salida analógica del DAC, obtenida con el simulador eléctrico Spectre, utilizando un conjunto de funciones implementadas en MATLAB. Al suponer un emparejamiento ideal de los transistores tanto la No linealidad Diferencial (DNL) como la No linealidad Integral (INL) son cercanos a 0.1 LSB (figura 4.23)

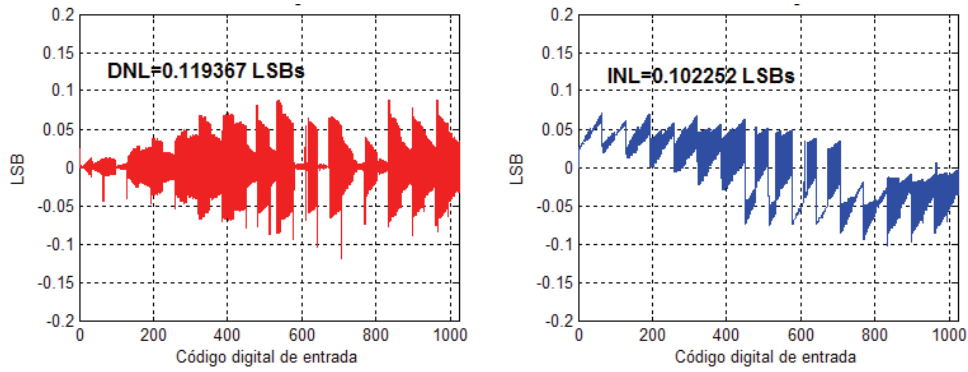


Figura 4.23. No linealidad Diferencial (DNL) e Integral (INL) simuladas para el DAC

Las prestaciones dinámicas del DAC se simulan utilizando una señal sinusoidal digital que abarca todo el rango de variación de la entrada (códigos 0 → 1023) con una frecuencia igual a la de Nyquist (4096 muestras de salida se corresponden a 2039 ciclos de la señal de entrada). A los datos obtenidos de la simulación eléctrica se le aplica la transformada rápida de Fourier (FFT), utilizando el entorno de MATLAB, para calcular la relación señal-ruido más distorsión armónica (SINAD) y el número efectivo de bits (ENOB). Para una frecuencia de reloj de  $f_{clk}=1\text{MHz}$  se obtiene SINAD=59.9dB y ENOB=9.65 Bits (figura 4.24).

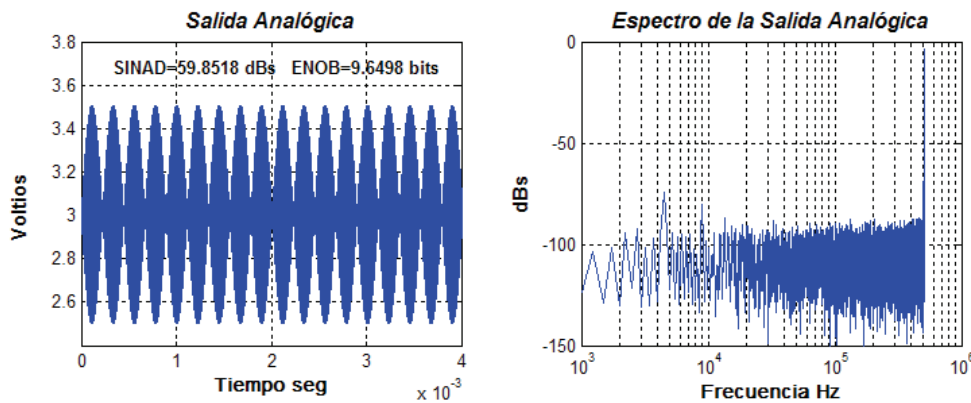


Figura 4.24. Prestaciones dinámicas del DAC simuladas para una  $f_{clk}=1\text{MHz}$

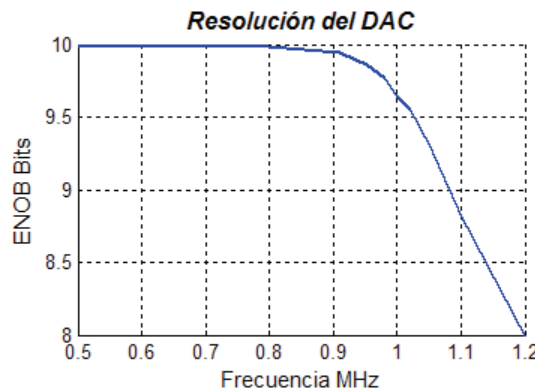


Figura 4.25. Número Efectivo de Bits simulados del DAC en función de la frecuencia de reloj

La máxima frecuencia de funcionamiento del DAC viene dada por el comportamiento en frecuencia del amplificador operacional. La figura 4.25 representa los datos simulados para el número efectivo de bits en función de la frecuencia de reloj. Una degradación de 3 dB del SINAD se corresponde con una pérdida de 0.5 Bits en el ENOB, hecho que ocurre aproximadamente a una frecuencia de reloj de 1MHz para el DAC diseñado.

La energía de glitch medida como el área del sobredisparo de la tensión de salida del ADC cuando ocurre una transición de un bit entorno a la mitad de la escala de entrada (0111111111→1000000000) es de 0.5 nanovoltios por segundo. La tabla 4.8 resume las prestaciones simuladas para el convertidor.

<b>Parámetro</b>	<b>Símbolo</b>	<b>Valor</b>
No-Linealidad Integral	INL	0.10 LSB
No-Linealidad Diferencial	DNL	0.12 LSB
Relación señal-ruido y distorsión armónica (fck=1MHz)	SINAD	59.9 dB
Número efectivo de bits (fck=1MHz)	ENOB	9.65 Bits
Rango dinámico libre de espurios	SFDR	70 dB
Tiempo de conversión hasta 0.5 LSB	$t_s$	1 $\mu$ s
Energía de glitch		0.5nV/s

Tabla 4.8. Parámetros estáticos y dinámicos del DAC

La fotografía del chip fabricado se muestra en la figura 4.26. El chip se ha medido utilizando un sistema que consta de un generador/analizador lógico HP65000C, un multímetro HP44310, una fuente de alimentación HP63010 y un osciloscopio TEK724. Todos los equipos están controlados y sincronizados por un ordenador a través del bus GPIB-488.

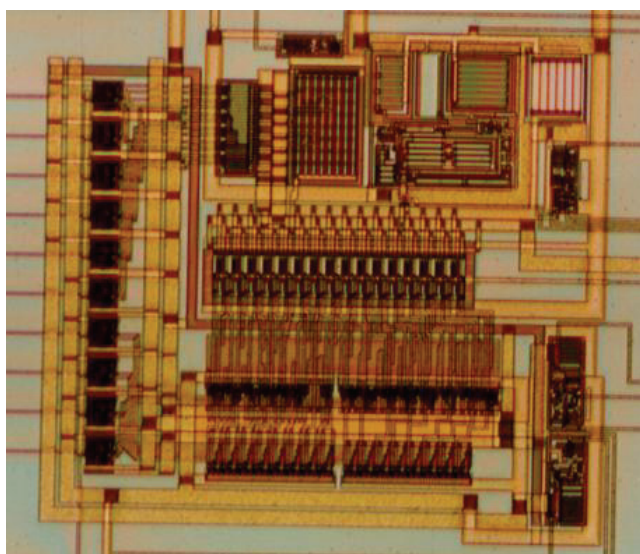


Figura 4.26. Fotografía del DAC fabricado con la tecnología Mietec 0.7 $\mu$ m

La captura del osciloscopio muestra la variación de la tensión de salida para las palabras digitales de entrada correspondientes al código decimal 0, 256, 512, 768 y 1023 (figura 4.27) junto con la señal de reloj del sistema. Se observa un sobredisparo a la salida, debido a un margen de fase del amplificador operacional menor del obtenido por simulación, que enlentece el funcionamiento del convertidor.

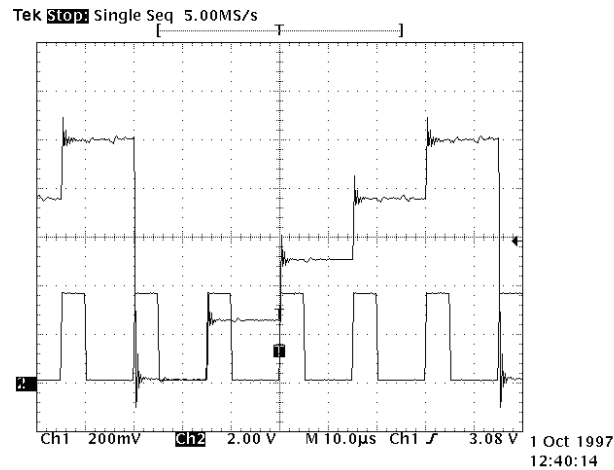


Figura 4.27. Medida del comportamiento dinámico del DAC

La función de transferencia medida (figura 4.28), excitando el DAC con una rampa digital, nos muestra un convertidor monótono cuyos principales parámetros estáticos son; tensión de offset de 5mV, resolución 0.978mV, no-linealidad diferencial máxima (DNL) de 0.69 LSB y no-linealidad integral (INL) de 1.61 LSB.

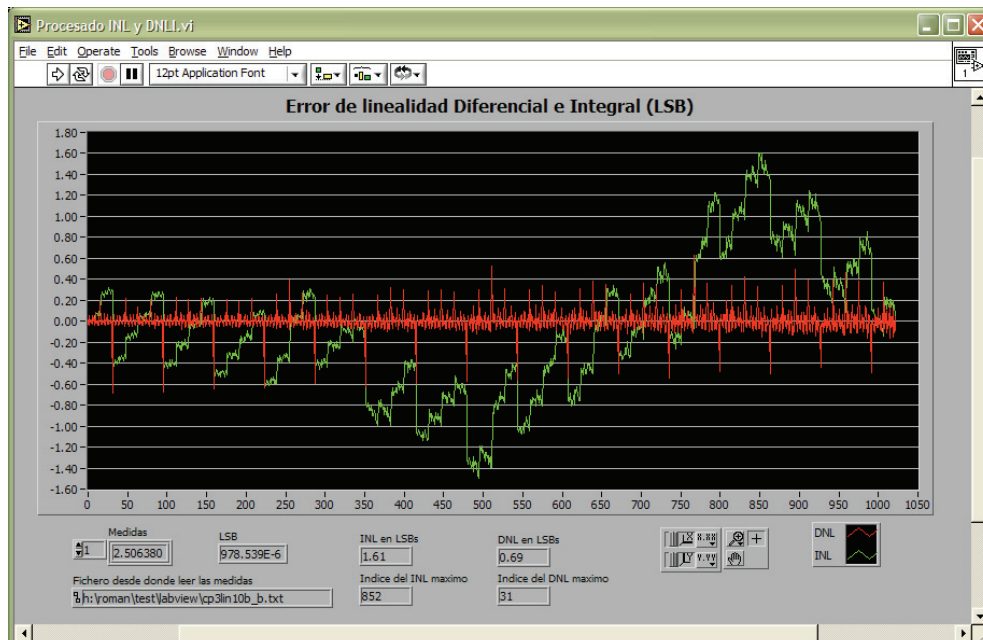


Figura 4.28. Medida de la linealidad estática del DAC

### 4.3.5 Sensores de corriente

La sección digital del DAC ha sido adaptada para introducir dos implementaciones del sensor de corriente. El sensor ISS está situado entre el CUT y la línea de tierra del sistema. El sensor IDD se coloca entre el CUT y el pin de alimentación del chip [Moz95][Moz96].

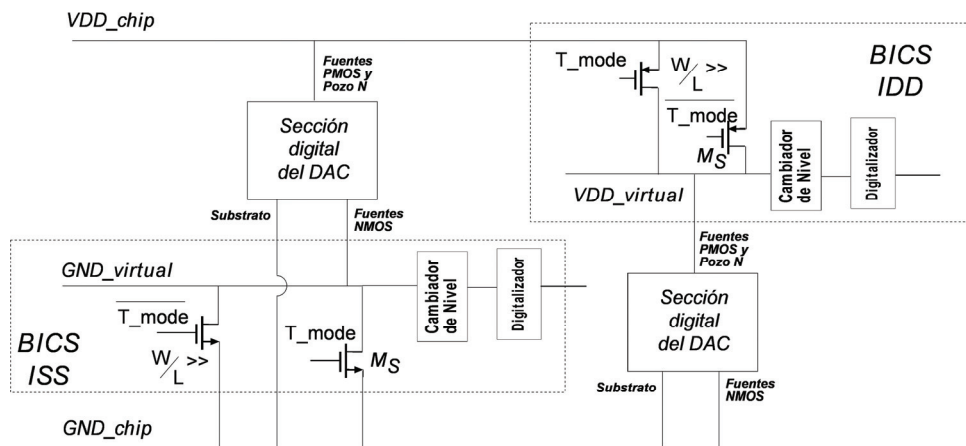


Figura 4.29. Sensores de corriente de la sección digital del DAC: (a) método ISS (b) método IDD

La estructura de ambos sensores consta de un elemento de muestreo formado por un transistor MOS polarizado en la región lineal, una conversión corriente a tensión realizada con una carga resistiva y una etapa digitalizadora construida a partir de un inversor CMOS (figura 4.29). Los sensores pueden ser deshabilitados por una señal ( $T\_mode$ ) que sustituye el transistor de muestreo por otro de mayor tamaño para eliminar casi completamente la diferencia de tensiones entre la alimentación virtual de las celdas lógicas y la alimentación del chip.

En la sección analógica el parámetro elegido para analizar el CUT ha sido la forma de onda de la corriente a través de la etapa diferencial del amplificador operacional. Con este método no sólo se verifica el funcionamiento del amplificador sino también se detecta la aparición de fallos en las fuentes de corriente del DAC. La corriente transitoria es copiada añadiendo un transistor  $M_S$  al amplificador operacional, convertida en tensión utilizando una carga resistiva y digitalizada por medio de una celda lógica (figura 4.30) [Moz99].

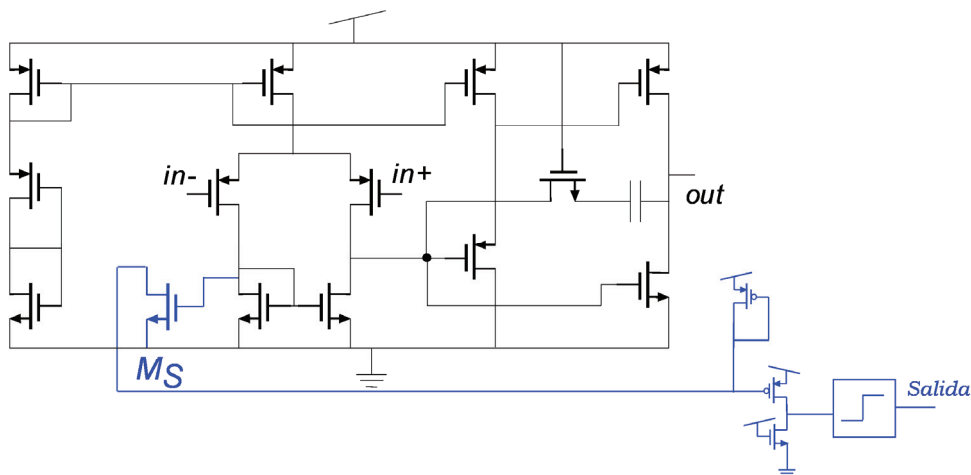


Figura 4.30. Esquemático del circuito utilizado para evaluar la sección analógica del DAC

La figura 4.31 muestra la respuesta simulada de los sensores de corriente para varias transiciones del código digital de entrada ( $0 \rightarrow 511 \rightarrow 1023 \rightarrow 0$ ). La gráfica superior muestra el bit menos significativo de entrada, la segunda el pulso de reloj y la tercera la salida analógica del DAC.

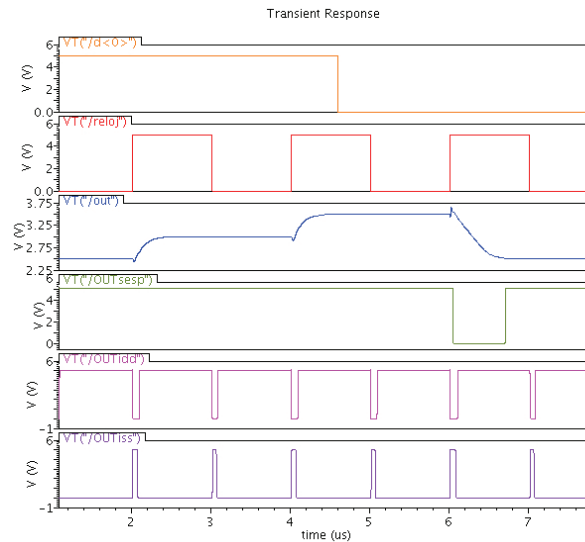


Figura 4.31. Simulación del DAC y los sensores de corriente

Los sensores de la sección digital (gráficas inferiores) muestran pulsos cuando aparecen transiciones en la señal de reloj ya que esta excita, además de los flip-flops de entrada, a las celdas del decodificador termométrico generando la corriente transitoria suficiente para activar el circuito sensor. Se puede apreciar que el sensor de la sección analógica (/OUT/Sesp, cuarta gráfica) está activo durante los flancos de bajada de la señal de salida, al utilizar una etapa digitalizadora que únicamente detecta disminuciones de la corriente en el transistor de muestreo.

La disminución de las prestaciones que los sensores de corriente provocan sobre las características del DAC son despreciables ya que el tiempo de conversión está dominado por la respuesta del amplificador operacional por lo que la reducción de la velocidad de la lógica digital no es significativa.

#### 4.4 AMPLIFICADOR OPERACIONAL

El diseño del amplificador operacional (OA) suele utilizar una configuración de dos etapas, ya que permite obtener un buen rango de modo común de entrada, ganancia de tensión, CMRR y rango dinámico de salida en un circuito sencillo que puede ser compensado con un único condensador [Gray82]. Este tipo de amplificador operacional se ha propuesto como un circuito de prueba para la comparación y validación de métodos de test por el TTTC Mixed-Signal Testing Technical Activity Committee [Kam97].

El amplificador operacional ha sido diseñado utilizando los parámetros del proceso CMOS de 0.6 $\mu$ m de Austria MicroSystems. El esquemático y el layout se muestran en la figura 4.32.



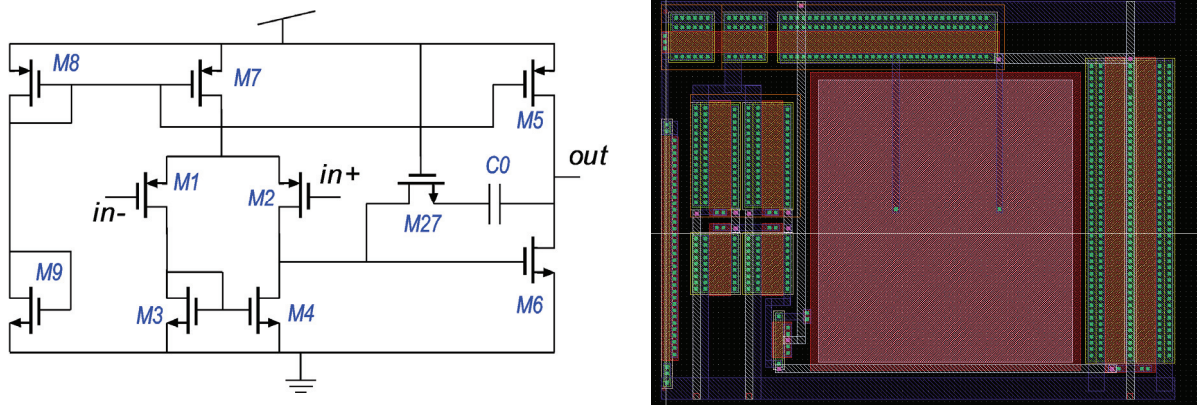


Figura 4.32. Esquemático y layout del amplificador operacional

La ganancia DC en lazo abierto del circuito viene dada por:

$$a_{v0} = \frac{g_{m1} \cdot g_{m6}}{(g_{ds4} + g_{ds2})(g_{ds6} + g_{ds5})} \quad (19)$$

Donde las conductancias del canal,  $g_m$  y  $g_{ds}$ , están definidas por

$$g_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS}} \cong \sqrt{(2\mu_0 C'_{ox} W/L) \cdot |I_D|} \quad \text{y} \quad g_{ds} = \left. \frac{\partial I_D}{\partial V_{DS}} \right|_{V_{GS}} \cong \lambda \cdot I_D$$

Siendo  $\mu_0$  la movilidad de los portadores,  $C'_{ox}$  la capacidad por unidad de área del óxido de puerta,  $W$  y  $L$  la anchura y longitud efectiva del canal de los transistores, y  $\lambda$  el parámetro de modulación de longitud de canal.  $I_D$  representa la corriente estacionaria por el transistor M7.

Como el amplificador está compensado, su función de transferencia se puede aproximar a la de un polo dominante que viene dada por:

$$a_v(s) = \frac{a_{v0}}{1 - s/p_1} \quad (20)$$

Donde  $p_1$  representa el polo dominante. La frecuencia de ganancia unidad del amplificador operacional viene dada por  $\omega_1 = (-a_v \cdot p_1)$

Los transistores del amplificador operacional se han dimensionado buscando un diseño de bajo consumo y frecuencia moderada (tabla 4.9).

Transistor	Tamaño (W/L)	Transistor	Tamaño (W/L)
M1, M2	19.7um/4um	M7, M8	7.9um/4um
M3, M4	11um/4um	M9	1um/42.7um
M5	41.1um/4um	M27	1.4um/6.8um
M6	114.1um/4um	C	2.25pF

Tabla 4.9. Dimensiones de los transistores del OA



La tabla 4.10 resume las prestaciones más importantes del amplificador obtenidas utilizando el simulador eléctrico SPECTRE sobre la versión extraída del layout del circuito. Los datos corresponden a una alimentación de 5V y a un condensador de carga de 8pF.

<b>Parámetro</b>	<b>Símbolo</b>	<b>Resultado de simulación</b>
Tensión de alimentación	$V_{DD}$	5 V
Ganancia DC	$A_{v0}$	106 dB
Rechazo en modo común	CMMR	111 dB
Rechazo a la tensión de alimentación	PSSR	110 dB
Frecuencia de ganancia unidad	$f_T$	1.95 MHz
Polo dominante	$P_1$	9.2 Hz
Margen de fase	$\phi_m$	80 °
Margen de ganancia	GM	-29.7 dB
Tensión de Offset de entrada	$V_{os}$	92 nV
Máxima variación de la salida	SR	2.1 V/ $\mu$ s
Resistencia de salida	$R_O$	4 k $\Omega$
Consumo de corriente estacionaria	$I_{dd}$	48 $\mu$ A

Tabla 4.10. Prestaciones simuladas del OA

La aplicación del test de corriente transitoria a este bloque se realiza muestreando la corriente a través de la etapa diferencial del amplificador operacional. La corriente se replicada por un transistor conectado como una rama adicional al espejo de corriente del CUT (figura 4.33). Para establecer la firma digital de la corriente transitoria se utiliza el BICS con carga inductiva presentado en el apartado 3.5 de la tesis [Moz01].

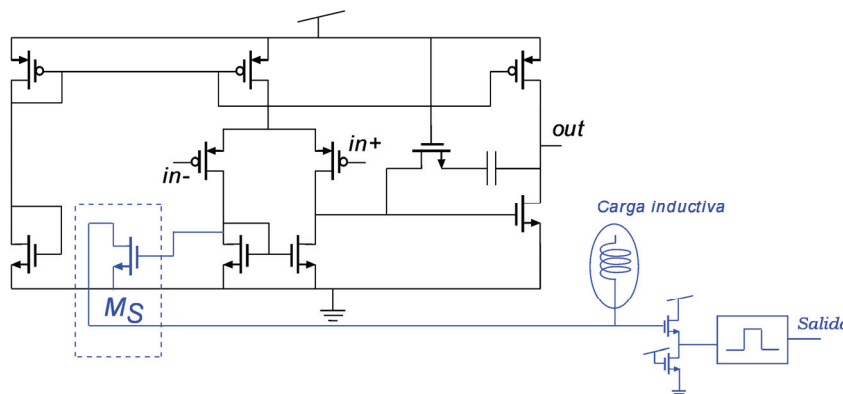


Figura 4.33. Sensor de corriente acoplado al amplificador operacional

La simulación de la figura 4.34 muestra las formas de onda que aparecen en el test de corriente transitoria considerando una configuración del amplificador operacional como seguidor de tensión al que se le ha aplicado un pulso de tensión a la entrada. La gráfica superior representa la tensión de salida del amplificador, la grafica intermedia muestra la forma de onda de la corriente replicada del par diferencial y la gráfica inferior la firma digital que establece el BICS a partir de ella.

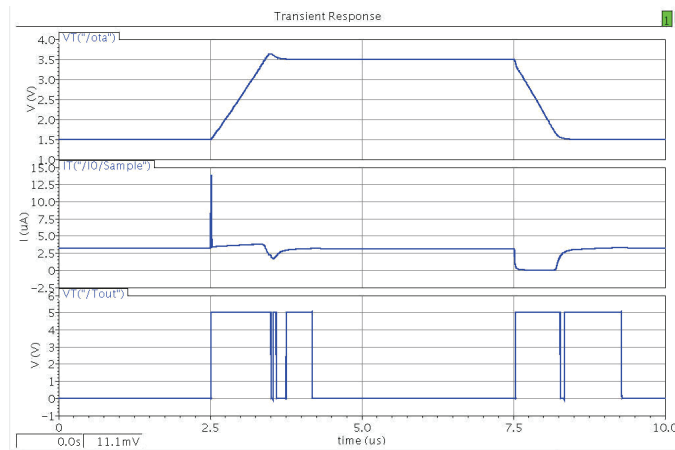


Figura 4.34. Simulación de la salidas del AO y del BICS

Las medidas de las prestaciones de dos versiones del amplificador operacional, una fabricada sin el sensor de corriente y otra con el BICS, son iguales por lo que se observa que el sensor de corriente tiene un efecto despreciable sobre el funcionamiento de este CUT.

Para analizar la viabilidad del sensor como herramienta de detección de circuitos defectuosos se ha fabricado un amplificador operacional donde se pueden activar varios fallos a través de un multiplexor analógico [Moz04]. Los fallos inyectados tienen un comportamiento paramétrico debido a que han sido implementados con un transistor NMOS ( $W=1\mu\text{m}$  y  $L=80\mu\text{m}$ ) cuya resistencia de conducción es superior a los  $250\text{K}\Omega$ . Estos fallos son;

1. F1: Fallo que emula un error de emparejamiento en la corriente de los transistores del par diferencial. El transistor de fallo está conectado entre la salida de la etapa diferencial y tierra.
2. F2: Fallo que modela un agujero en el oxido del condensador de compensación (oxide pinhole). El transistor de fallo se coloca entre los extremos del condensador.
3. F3: Fallo que induce un incremento en la corriente de polarización del amplificador. El transistor de fallo está conectado entre el drenador de los transistores de la etapa de polarización y tierra.

La figura 4.35 muestra la posición de los fallos y una fotografía del circuito fabricado.

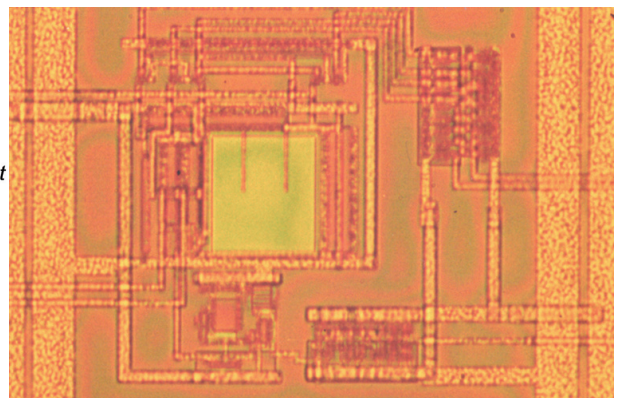
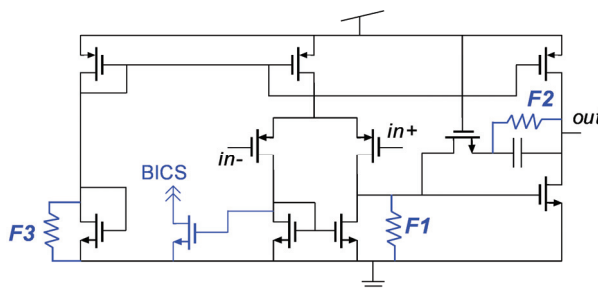


Figura 4.35. Esquemático y fotografía del AO con los fallos inyectados

## 4.5 CIRCUITOS DE CORRIENTES CONMUTADAS

Los circuitos de corriente conmutadas (también denominados SI) utilizan un procesado de la señal en modo corriente, en vez de tensión, para implementar funciones analógicas [Hug89], lo cual presenta varias ventajas;

**Fabricación con procesos digitales CMOS.** Los circuitos SI utilizan la capacidad de óxido de puerta de los transistores MOS para almacenar la carga que fija la corriente del bloque para lo cual no necesitan una segunda máscara de polisilicio y por tanto los circuitos SI pueden fabricarse con procesos digitales CMOS estándar.

**Alta velocidad.** Tienen un gran potencial para realizar circuitos de alta velocidad porque los efectos capacitivos/inductivos en los circuitos de baja impedancia que manejan corriente (SI) son menos severos que los circuitos de alta impedancia que trabajan con tensión.

**Baja tensión de alimentación.** Dado que la información se codifica en corrientes la tensión de alimentación no limita el rango de sus valores como ocurre en los circuitos que procesan señales de tensión.

El gran rango de aplicaciones en el cual puede sacarse ventaja del procesado de corriente para implementar diseños analógicos está documentado en [Tou93].

### 4.5.1 Celda de memoria $S^2I$

El espejo de corriente es un bloque utilizado en la mayor parte de los circuitos analógicos. En este circuito la precisión está limitada por el emparejamiento de los transistores, donde para aumentar la precisión se incrementa el área y se aumenta la tensión de la puerta para disminuir el efecto de la dispersión entre las tensiones umbrales.

La idea de almacenar información analógica en un condensador se puede aplicar a los espejos de corriente (figura 4.36a) de modo que se memoriza la tensión de puerta del transistor MC por el que circula la corriente  $I_0$ , con la llave  $S_X$  cerrada y la llave  $S_Y$  conectada a  $I_0$ . Este transistor se pueda conectar posteriormente a la salida, con la llave  $S_X$  abierta y la llave  $S_Y$  conectada a la carga, para forzar una replica de la corriente de entrada  $I_0$  [Tou90]. En esta celda de memoria, la replica de corriente es independiente tanto del emparejamiento de los transistores (sólo se utiliza MC) como de la linealidad del condensador de puerta  $C$  y por tanto se puede implementar en procesos digitales estándar CMOS VLSI. La aplicación de técnicas dinámicas en los espejos de corriente explota la propiedad de los transistores MOS de no necesitar corriente de puerta para almacenar temporalmente información analógica en los condensadores [Dau88][Weg90].

Las celdas de memoria constituyen uno de los bloques básicos en los circuitos de corrientes conmutadas (SI) y son utilizadas en aplicaciones como integradores, líneas de retraso, filtros [Bat94], moduladores [Ros02], convertidores DAC [Gro89] y ADC [Nai90].

En la estructura básica de un espejo de corriente (figura 4.36a) la tensión de drenador del transistor MC debe igualarse a la tensión de puerta  $V_0$  en cada fase de almacenamiento.

Mientras que durante la copia está fijada por la tensión  $V_1$  impuesta por la carga del espejo. Esta diferencia de tensión en el drenador en el transistor es una importante fuente de error de corriente cuyo valor es  $\frac{\Delta I}{I} = \frac{g_{ds}}{I}(V_1 - V_0) = \frac{V_1 - V_0}{V_E}$ . Siendo  $g_{ds}$  la conductancia drenador-fuente y  $V_E$  la tensión de Early.

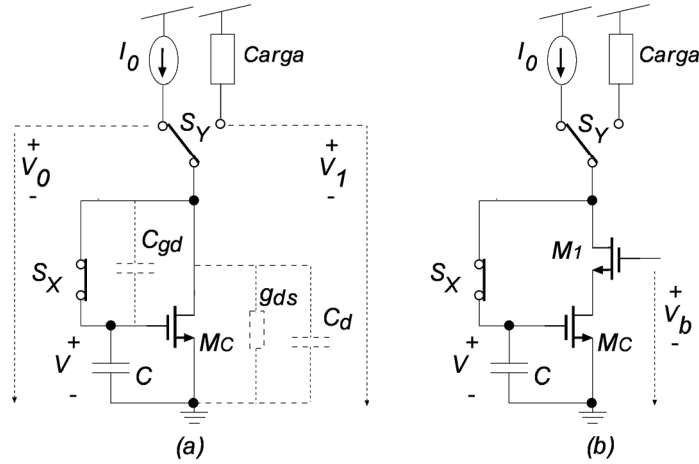


Figura 4.36. Espejos de corriente dinámicos (a) básico (b) cascode

Una segunda contribución al error es debida a la capacidad drenador-puerta  $C_{gd}$  puesto que transfiere una fracción del cambio de tensión de drenador a la puerta. Suponiendo  $C \gg C_{gd}$ , el error resultante en la tensión de puerta es:

$$\Delta V = \frac{C_{gd}}{C}(V_1 - V_0) \quad (21)$$

Una tercera fuente de error es la carga que debe proporcionar el nudo de salida para modificar la tensión entre los extremos de  $C_{gd}$  y  $C_d$ . Esta carga crea un transitorio que no tiene importancia si la salida de corriente se evalúa en estado estacionario pero es inaceptable si la salida está disponible de forma continua.

Estas consideraciones muestran que para obtener una buena precisión se debe mantener la tensión en el drenador del transistor MC constante e independizarla de la diferencia  $V_1 - V_0$ . Para este propósito, se puede emplear un amplificador operacional [Dau88], pero una solución más compacta, se obtiene añadiendo un transistor en puerta común (M1) en serie para implementar una etapa cascode (figura 4.36b) con el objetivo de aumentar la conductancia del transistor MC [Bra94].

Otra fuente de error importante es la inyección de carga de las llaves que secuencian el funcionamiento del circuito. Esto es debido a que en la práctica, las llaves están implementadas con transistores MOSFET conmutando entre su zona lineal (cerrado) y corte (abierto). Durante el paso de conducción a corte del transistor parte de la carga almacenada en la capa de inversión del canal y en la capacidad de solapamiento puerta-fuente se transfiere a la capacidad que mantiene la tensión de puerta del transistor MC, dando lugar a un error en el almacenamiento de la corriente que varía con el nivel de la señal [Weg87][Yan90].

Una configuración que busca la reducción de errores a través de la operación del circuito es la celda de memoria  $S^2I$  que se muestra en la figura 4.37 [Hug90a][Hug93]. El proceso de muestrear la corriente se divide en dos pasos.

En el primero (fase  $\Phi_{1A}$ ), el transistor MF está conectado a  $V_{REF}$  y genera la corriente  $J$ . La corriente en el transistor MC en configuración de diodo es  $J+I_{in}$ . Al final de la fase  $\Phi_{1A}$  la llave de la memoria gruesa se abre y el transistor MC mantiene la corriente  $J+I_{in}$  con un error dependiente del nivel de corriente de entrada  $\Delta I$  debido a la inyección de carga, tiempo incompleto de asentamiento y ruido de muestreo.

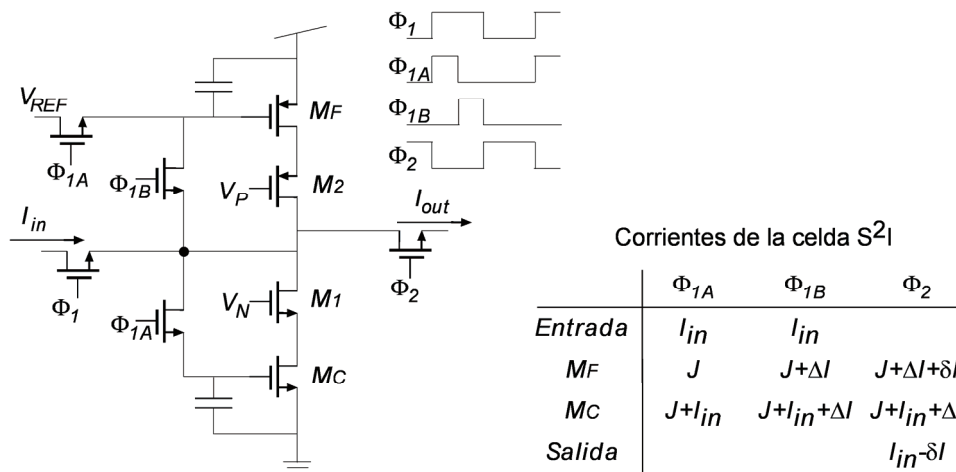


Figura 4.37. Celda cascode de memoria  $S^2I$

A continuación, durante la fase  $\Phi_{1B}$ , el transistor MF está configurado como diodo y al mantenerse la corriente de entrada de la celda  $I_{in}$ , su corriente de drenador es  $J+ \Delta I$ . Al final de  $\Phi_{1B}$  se abre la llave del transistor MF y aparece una nueva corriente de error  $\delta I$  debido principalmente a la inyección de carga. Esta componente  $\delta I$  bastante más pequeña que  $\Delta I$  puesto el transistor sólo ha experimentado un cambio de corriente de  $J$  a  $J+ \Delta I$  durante la fase  $\Phi_{1B}$ . La salida se calcula a partir de las contribuciones de ambos elementos de memoria (fase  $\Phi_2$ ). El error que aparece viene dado por el error del elemento de memoria fina MF.

El objetivo del trabajo es evaluar el comportamiento de una celda de memoria (CUT) para lo cual consideramos su corriente de entrada totalmente controlable y su corriente de salida observable. Sin embargo, para reproducir el entorno real de una celda embebida asumimos que el CUT está excitada y tiene como carga otras dos celdas de memoria idénticas (figura 4.38).

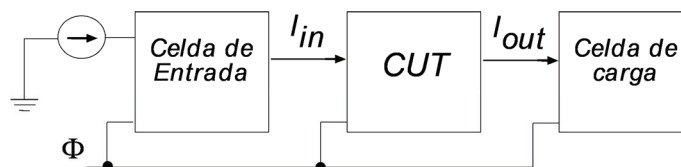


Figura 4.38. Esquema de test

La aparición de defectos en el CUT, al igual que en los circuitos continuos, afecta a la forma de onda de la corriente que circula por los elementos de memoria, durante una o varias de las

subfases de la señal de reloj una variación. Esta variación de la corriente es la que se utiliza para discriminar los circuitos defectuosos.

El muestreo de la corriente de alimentación del circuito SI replica la corriente que circula por el elemento de memoria gruesa (transistor MC) utilizando un transistor adicional (MS) con la misma tensión puerta-fuente. Posteriormente se realiza la conversión a tensión de la corriente muestreada utilizando bien una carga resistiva o bien una carga inductiva. Por último, se digitaliza la señal con un comparador de ventana para establecer la firma digital (figura 4.39).

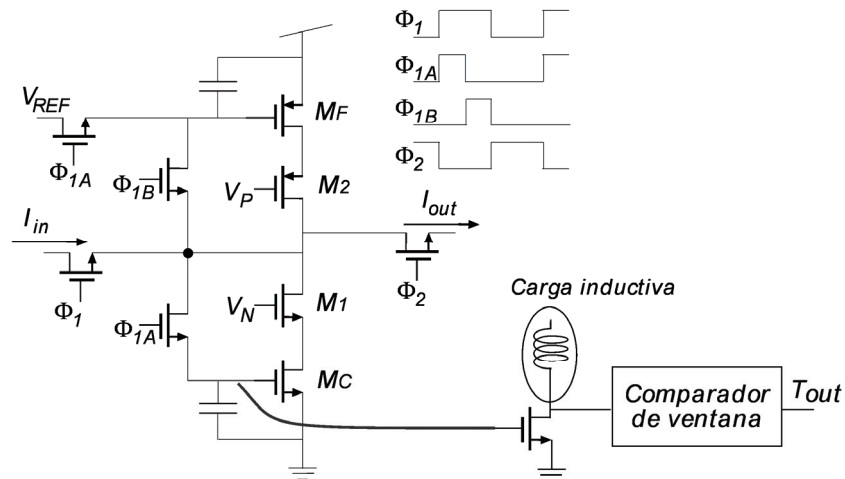


Figura 4.39. Acoplo del BICS a una celda de memoria de corriente  $S^2I$

El estímulo de entrada consiste en un pulso de corriente. La figura 4.40 muestra las formas de onda de las señales más representativas. La primera y segunda gráfica son la corriente de entrada y la corriente de salida de la celda  $S^2I$  respectivamente. La corriente a través del transistor MC (tercera señal) se replica por el transistor de muestreo para ser convertida en tensión (cuarta forma de onda) utilizando el BICS con carga inductiva [Lec03a]. Finalmente la señal es digitalizada por el comparador de ventana (gráfica inferior) [Lec02a].

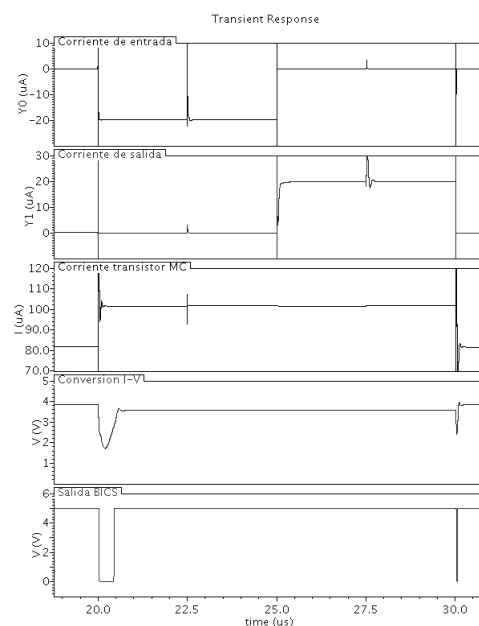


Figura 4.40. Señales involucradas en el test

Los circuitos de corrientes conmutadas complejos están constituidos por varias celdas de corriente. Acoplar un sensor de corriente a cada una de ellas no es deseable por el consumo de recursos que requieren (área, potencia, pines, etc.). Por tanto estudiaremos como los fallos en una celda de memoria pueden ser analizados por un BICS que monitoriza otra celda diferente por medio de un circuito integrador  $S^2I$ .

Para realizar un integrador además de una celda de memoria necesitamos otro bloque que permita ir acumulando la corriente de entrada (figura 4.41) [Hug90b]. Esto se obtiene sumando secuencialmente dicha corriente de entrada con la corriente ya almacenada en pasos anteriores.

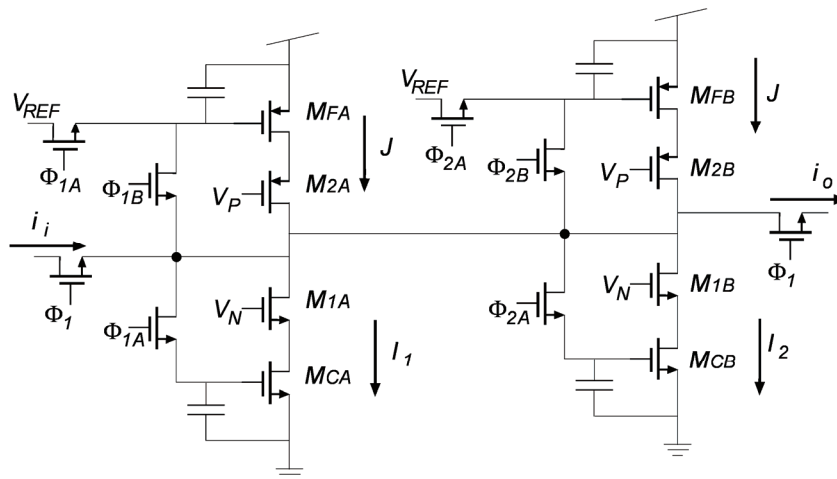


Figura 4.41. Integrador basado en celdas de memoria  $S^2I$

Durante la fase  $\Phi_1$  la corriente de entrada se almacena en la primera celda. A la vez que el transistor MCA recibe la corriente de entrada  $i(n-1)$ , la de corriente  $J$  de polarización de MFA y la resta la corriente almacenada en la segunda celda  $-i_0(n-1)$ . De este modo la corriente  $I_1$  a través del transistor MCA es

$$I_1 = J + i(n-1) + i_0(n-1) \quad (22)$$

Durante la siguiente fase  $\Phi_2$ , en el periodo  $(n)$ , el transistor MCB está conectado como diodo y por él circula la corriente  $I_2$  donde;

$$I_2 = 2J - I_1 = J - i(n-1) - i_0(n-1) \quad (23)$$

$$i_0(n) = -(J - I_1) = i_0(n-1) + i(n-1)$$

Realizando la transformada  $z$  obtenemos la función de transferencia del integrador, dada por la expresión:

$$H(z) = \frac{z^{-1}}{1 - z^{-1}} \quad (24)$$

Lo que traducido a frecuencias físicas resulta:

$$H(e^{j\omega T}) = \left[ \frac{1}{j\omega} \right] \left[ \frac{\omega T}{2} \right] \left[ \frac{\omega T}{2 \operatorname{sen} \frac{\omega T}{2}} \right] e^{-j\omega T/2} \quad (25)$$

El acoplo del sensor de corriente se realiza en la segunda celda del circuito del mismo modo que el caso de la celda de memoria aislada, es decir, añadiendo un transistor de muestreo que comparte la puerta y la fuente con MCB pero cuyo drenador se conecta al elemento de carga del BICS [Lec02b].

#### 4.5.2 Convertidor A/D algorítmico S<sup>2</sup>I

Se utiliza un convertidor analógico-digital para analizar una estructura de celdas de corriente que implemente una función analógica más compleja que la del integrador. En este caso la secuenciación de las fases de reloj que implementa el algoritmo de conversión permite observar a las celdas de memoria en un variado número de estados de interconexión.

La estructura analizada en la evaluación de fallos implementa un algoritmo cíclico. Esto permite obtener una implementación del ADC compacta que utiliza un número reducido de transistores, aunque a costa de un esquema complejo en el activado de las llaves [Tra91].

El algoritmo de conversión implementa las siguientes expresiones

$$D_i = "1" \text{ si } s(t) \geq W_{i-1} + \frac{I_{ref}}{2^i}, \text{ en caso contrario } D_i = "0". \text{ Donde } W_i = W_{i-1} + D_i \cdot \frac{I_{ref}}{2^i}$$

El bit de salida toma el estado lógico alto cuando la entrada  $s(t)$  es mayor que una corriente de referencia. Las celdas de memoria son las encargadas de construir la corriente de comparación sumando a un valor de corriente de referencia, que progresivamente el bloque CD2 va dividiendo por dos,  $I_{ref}/2^i$  una corriente utilizada en el ciclo anterior  $W_{i-2}$  y un factor que depende del bit codificado previamente  $D_i \cdot I_{ref}/2$ .

Al principio el bloque CD2 proporciona una corriente de referencia  $I_{ref}$  que se almacena en el transistor M3, posteriormente esta corriente se compara con la de entrada  $s(t)$  y si es menor se asigna un "1" lógico al bit más significativo de salida del ADC. En el segundo ciclo si  $D_i = "1"$  la corriente  $W_0$  es igual a  $I_{ref}$  y el transistor M3 la almacena el transistor M1, el bloque CD2 carga el transistor M2 con la corriente  $I_{ref}/2$  y ambos componentes se suman en el transistor M3 para obtener la corriente que se vuelve a comparar con la entrada para codificar el siguiente bit del ADC. Si hubiésemos tenido  $D_i = "0"$  M3 simplemente hubiese mantenido la corriente del ciclo anterior. La secuencia se repite para los restantes bits de la palabra digital de salida.

Un esquema simplificado del convertidor A/D se muestra en la figura 4.42. En cada periodo de conversión hay un instante de tiempo donde las tres celdas de memoria están activadas al mismo tiempo con las llaves S<sub>4</sub>, S<sub>5</sub> y S<sub>7</sub> cerradas.



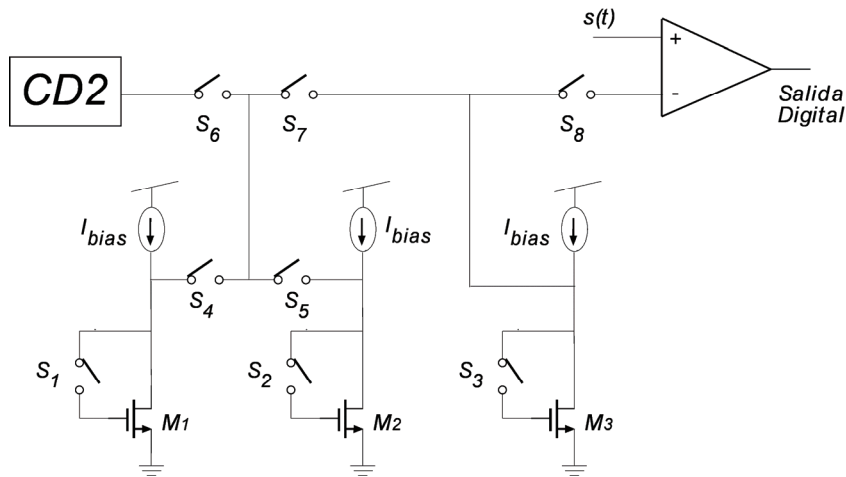


Figura 4.42. Convertidor A/D algorítmico  $S^2I$

En la figura 4.42 la estructura de las celdas de memoria de corriente se ha simplificado para facilitar la descripción del circuito. Sin embargo, en la simulación del circuito se ha utilizado la celda de memoria  $S^2I$  descrita previamente para implementar estos bloques [Lec03b] [Lec03c].

Generalmente, las implementaciones utilizando estructuras de corrientes conmutadas permiten obtener convertidores A/D de resolución media (10-12 bits) en un área relativamente pequeña y con un bajo consumo de potencia. A pesar de las ventajas de su implementación con procesos de fabricación CMOS digitales, la alta velocidad que se puede alcanzar debido a la inherente baja impedancia, asociada con el procesamiento de corrientes, y la posibilidad de utilizar bajas tensiones de alimentación existen ciertas limitaciones en la implementación de convertidores relacionadas con la precisión, linealidad y ruido introducido por los circuitos de corriente conmutadas que explican el porqué de las dificultades de aplicar estas técnicas a productos comerciales.

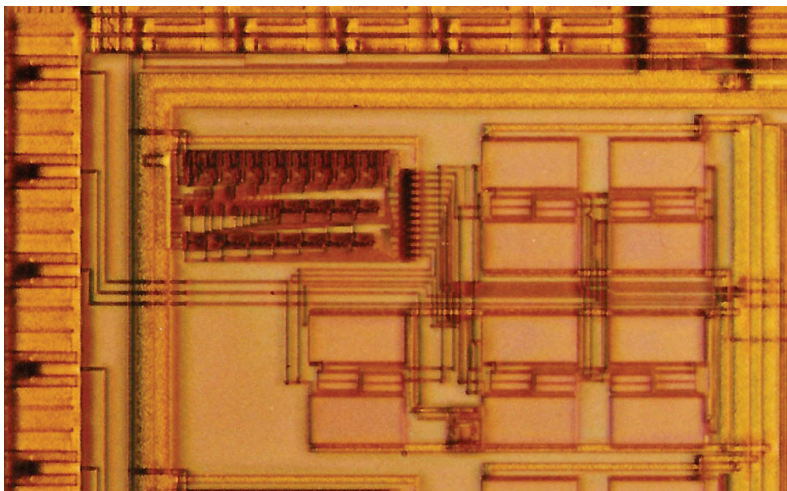


Figura 4.43. Fotografía del chip de la celda de memoria  $S^2I$

Para validar la metodología de test se ha fabricado un circuito de corrientes conmutadas utilizando la tecnología de pozo N de Austria MicroSystems (AMS)  $0.6\mu\text{m}$  (figura 4.43). El

circuito implementa exclusivamente la estructura de las tres celdas de corriente del convertidor A/D algorítmico descrito, junto con un módulo digital para generar las fases de reloj que controlan la secuencia de activación de las llaves. Cada celda de memoria de corriente es implementada con la topología  $S^2I$  descrita en el apartado 4.5.6. El sensor de corriente está acoplado al transistor de memoria gruesa MC de la última de las celdas [Lec04].

Se han incluido varias implementaciones del sistema. Además del circuito libre de fallo se ha fabricado varias versiones con un defecto aislado con objeto de analizar si el sensor de corriente detecta su presencia.

<i>Fallo</i>	<i>Transistor</i>	<i>Localización</i>
Cortocircuito DS	MC	Celda 1
Cortocircuito DS	MF	Celda 1
Cortocircuito DS	M1	Celda 1
Abierto D	M2	Celda 1
Cortocircuito GD	MF	Celda 1
Abierto D	M2	Celda 3
Cortocircuito DS	M1	Celda 3

Tabla 4.11. Localización y tipo de fallo inyectado en la celda de memoria  $S^2I$

Los defectos introducidos dan lugar a fallos catastróficos que cortocircuitan el drenador con la fuente DS o con la puerta GD de alguno de los transistores del circuito. También se incluyen abiertos en los contactos de drenador D [Lec05]. La tabla 4.11 muestra la localización y tipo de cada uno de los fallos.

## 4.6 CONCLUSIONES

En este capítulo se han presentado los circuitos de prueba que se van a utilizar en el análisis del método de test  $I_{DDT}$ . Sirven para realizar tanto la evaluación de fallos como la medida de algunos prototipos fabricados.

Se han utilizado dos métodos de diseño, circuitos continuos y circuitos de corriente conmutada, con objeto de estudiar el comportamiento en situaciones variadas de los diversos tipos de BICS diseñados para la implementación del test  $I_{DDT}$ . La tabla 4.12 resume los circuitos de prueba descritos en este capítulo junto con el tipo de sensor de corriente que permiten evaluar.

<b>Circuito</b>	<b>Descripción</b>	<b>Sensor de corriente</b>	<b>Propósito</b>	<b>Apartado</b>
Buffer de tensión	Es un amplificador operacional realimentado como seguidor de tensión. Diseñado en una tecnología digital de mares de puerta (SOG)	Sensor sección analógica con carga resistiva	Evaluación de fallos del sensor para bloques analógicos en una tecnología SOG	4.2
Convertidor D/A	DAC de 10 bits en modo corriente. Los bloques digitales son FFD y un decodificador. Fabricado en MIETEC 0.7 $\mu$ m	Sensor sección digital	Evaluación de fallos en bloques digitales combinacionales y secuenciales. Medida de la salida del sensor	4.3.4.1
	Los módulos analógicos del DAC son las fuentes de corriente gruesas, el divisor de corriente fina y el amplificador de transimpedancia. Fabricado en MIETEC 0.7 $\mu$ m	Sensor sección analógica con carga resistiva	Evaluación de fallos en un circuito donde se estudia la detección de fallos en módulos diferentes al muestreado por el sensor. Medida de la salida del sensor	4.3.4.2 4.3.4.3 4.3.4.4
	Amplificador de transimpedancia formado por un amplificador operacional realimentado con una resistencia	Sensor sección analógica con carga inductiva	Evaluación de fallos del sensor con carga inductiva	4.3.4.4
Amplificador operacional	Amplificador operacional Miller en la tecnología de 0.6 $\mu$ m de AMS	Sensor sección analógica con carga inductiva	Fabricado para estudiar la influencia del sensor de corriente en el CUT y la detección de algunos defectos integrados en el amplificador operacional	4.4
Celda de memoria S <sup>2</sup> I	Celda básica de retraso implementada con la aproximación de corrientes conmutadas	Sensor sección analógica con carga inductiva	Evaluación de fallos en un bloque básico de corrientes conmutadas	4.5.6
Integrador S <sup>2</sup> I	Circuito formado por dos celdas de corriente conectadas directamente	Sensor sección analógica con carga inductiva	Extensión de la evaluación de fallos a un circuito formado por dos celdas de corriente	4.5.6
Convertidor A/D S <sup>2</sup> I	Celdas de corriente que implementan un algoritmo de conversión A/D serie. Fabricado en la tecnología de 0.6 $\mu$ m de AMS	Sensor sección analógica con carga inductiva	Evaluación de fallos en un circuito SI con secuencia de activación compleja. Medida de la detección de fallos del sensor	4.5.7

Tabla 4.12. Resumen de los circuitos de prueba

## BIBLIOGRAFÍA

- [Bat94] N.C. Battersby, C. Toumazou, "A high-frequency fifth order switched-current bilinear elliptic lowpass filter," IEEE Journal of Solid-State Circuits, vol. 29, n° 6, junio 1994, pág. 737-740
- [Bra94] A.H. Bratt, T. Olbrich, A.P. Dorey, "Class AB regulated cascode current memory cell," Electronics Letters, vol. 30, n° 22, 27 octubre 1994, pág. 1821-1822
- [Brg85] F. Brglez, H. Fujiwara, "A neutral netlist of 10 combinational benchmark circuits," IEEE International Symposium on Circuits and Systems, 1985, pág. 695-698

- [Brg89] F. Brglez, D. Bryan, K. Kozminski, "Combinational profiles of sequential benchmark circuits," IEEE International Symposium on Circuits and Systems, 1989, pág. 1924-1934
- [Con89] C.S.G. Conroy, W.A. Lane, M.A. Moran, "Statistical design techniques for D/A converters," IEEE Journal of Solid-State Circuits, vol. 24, n° 4, agosto 1989, pág. 1118-1128
- [Dau88] S.J. Daubert, D. Vallancourt, Y.P. Tsvividis, "Current copier cells," Electronics Letters, vol. 24, n° 25, 8 diciembre 1988, pág. 1560-1562
- [Gal94] C. Galup-Montoro, M.C. Schneider, I.J.B. Loss, "Series-parallel association of FET's for high gain and high frequency applications," IEEE Journal of Solid-State Circuits, vol. 29, n° 9, septiembre 1994, pág. 1094-1101
- [Gray82] P.R. Gray, R.G. Meyer, "MOS operational amplifier design-a tutorial overview," IEEE Journal of Solid-State Circuits, vol. 17, n° 6, diciembre 1982, pág. 969-982
- [Haa95] P.E. de Haan, "Analog Circuit Design on Digital Sea-of-Gates arrays," Ph.D. Thesis, Universidad de Twente, Holanda, septiembre 1995
- [Hug89] J.B. Hughes, N.C. Bird, I.C. Macbeth, "Switched currents-a new technique for analog sampled-data signal processing," IEEE International Symposium on Circuits and Systems, vol. 3, 1989, pág. 1584-1587
- [Hug90a] J.B. Hughes, I.C. Macbeth, D.M. Pattullo, "Second generation switched-current circuits," IEEE International Symposium on Circuits and Systems, 1990, pág. 2805-2808
- [Hug90b] J.B. Hughes, I.C. Macbeth, D.M. Pattullo, "New switched-current integrator," IEEE Electronics Letters, vol. 26, mayo 1990, pág. 694-695
- [Hug93] J.B. Hughes, K.W. Moulding, "S<sup>2</sup>I: a switched-current technique for high performance," Electronics Letters, vol. 29, n° 16, 5 agosto 1993, pág. 1400-1401
- [Kam97] B. Kaminska, K. Arabi, I. Bell, P. Goteti, J.L. Huertas, B. Kim, A. Rueda, and M. Soma, "Analog and mixed-signal benchmark circuits - First release," IEEE International Test Conference, 1997, pág. 183-190
- [Kon99] R. Kondagunturi, E. Bradley, K. Maggard, C. Stroud, "Benchmark circuits for analog and mixed-signal testing," IEEE Southeastcon, 1999, pág. 217-220
- [Koo92] R.J.H. Koopman, H.G. Kerkhoff, "A high-density sea-of-gates architecture incorporating testability support," IEEE International Symposium on Proceedings Circuits and Systems, vol. 6, 1992, pág. 2977-2980
- [Lec02a] Y. Lechuga, R. Mozuelos, M. Martínez, S. Bracho, "Built-in dynamic current sensor for hard to detect faults in mixed signal ICs," Design, Automation and Test in Europe Conference and Exhibition, 2002, pág. 205-211
- [Lec02b] Y. Lechuga, R. Mozuelos, M. Martínez, S. Bracho, "Hard-to-detect faults by dynamic current sensor in analogue circuits," IEEE Latin-American Test Workshop, 2002, pág. 180-185
- [Lec02c] Y. Lechuga, R. Mozuelos, M. Martínez, S. Bracho, "Fault detection in algorithmic switched current ADC using built-in sensors," Design of Circuits and Integrated Systems Conference, 2002, pág. 339-344
- [Lec03a] Y. Lechuga, R. Mozuelos, M. Martínez, S. Bracho, "Built-in sensor based on current supply high-frequency behaviour," IEEE Electronics Letters, vol. 39, n° 10, 15 mayo 2003, pág. 775-777
- [Lec03b] Y. Lechuga, R. Mozuelos, M. Martínez, S. Bracho, "Test generation in algorithmic switched current ADCs," IEEE International Mixed Signal Testing Workshop, 2003, pág. 85-90
- [Lec03c] Y. Lechuga, R. Mozuelos, M. Martínez, S. Bracho, "Dynamic current testing strategies for S<sup>2</sup>I algorithmic A/D converters," Design of Circuits and Integrated Systems Conference, 2003, pág. 237-242
- [Lec04] Y. Lechuga, R. Mozuelos, M.A. Allende, M. Martínez, S. Bracho, "Experimental analysis of transient current test based on  $\Delta I_{DD}$  variations in S<sup>2</sup>I memory cells," Design of Circuits and Integrated Systems Conference, 2004, pág. 685-690
- [Lec05] Y. Lechuga, R. Mozuelos, M. A. Allende, M. Martínez, S. Bracho, "Fault detection in switched current circuits using built-in transient current sensors," Journal of Electronic Testing: Theory and Applications, vol. 21, n° 6, diciembre 2005, pág. 583-598
- [Lee92] K.J. Lee, M.A. Breuer, "Design and test rules for CMOS circuits to facilitate  $I_{DDQ}$  testing of bridging faults," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 11, n° 5, mayo 1992, pág. 659-670
- [Lin98] C.H. Lin, K. Bult, "A 10-b, 500-MSample/s CMOS DAC in 0.6  $\mu\text{m}^2$ ," IEEE Journal of Solid-State Circuits, vol. 33, n° 12, diciembre 1998, pág. 1948-1958
- [Lu81] N.C. Lu, L. Gerzberg, Chih-Yuan Lu, J.D. Meindl, "Modeling and optimization of monolithic polycrystalline silicon resistors," IEEE Transactions on Electron Devices, vol. 28, n° 7, julio 1981, pág. 818-830
- [Mal07] F. Maloberti, "Data Converters," Springer, 2007
- [Mar98] A. Marques, J. Bastos, M. Steyaert, W. Sansen, "A current steering architecture for 12-bit high-speed D/A converters," IEEE International Conference on Electronics, Circuits and Systems, vol. 1, 1998, pág. 23-26
- [Moz95] R. Mozuelos, J. Arguelles, M. Martínez, S. Bracho, "Test basado en  $I_{DDT}$  de un convertidor digital-analógico," Congreso de Diseño de Circuitos Integrados y Sistemas, 1995, pág. 53-58
- [Moz96] R. Mozuelos, N. Peláez, M. Martínez, S. Bracho, "Built-in current sensor in mixed circuit test based on dynamic power supply consumption," IEEE International On-Line Testing Workshop, 1996, pág. 25-28

- [Moz98a] R. Mozuelos, M. Martínez, S. Bracho, "Sensor performances in dynamic power supply current test," IEEE Hot Topic Workshop on Current Testing for Analogue and Mixed Signal Devices, 1998, pág. 44-48
- [Moz98b] R. Mozuelos, M. Martínez, S. Bracho, "Dynamic power supply current measurements for catastrophic and parametric fault detection," IEEE International Mixed Signal Testing Workshop, 1998, pág. 178-183
- [Moz99] R. Mozuelos, M. Martínez, S. Bracho, "Catastrophic and parametric fault detection by a transient current test," Design of Circuits and Integrated Systems Conference, 1999, pág. 101-106
- [Moz01] R. Mozuelos, M. Martínez, S. Bracho, "Built-in sensor based on the time-variation of the transient current supply in analogue circuits," Design of Circuits and Integrated Systems Conference, 2001, pág. 630-635
- [Moz04] R. Mozuelos, Y. Lechuga, M.A. Allende, M. Martínez, S. Bracho, "Experimental evaluation of a built-in current sensor for analog circuits," Design of Circuits and Integrated Systems Conference, 2004, pág. 96-100
- [Nai90] D.G. Naim, C.A.T. Salama, "A ratio-independent algorithmic analog-to-digital converter combining current mode and dynamic techniques," IEEE Transactions on Circuits and Systems, vol. 37, n° 3, marzo 1990, pág. 319-325
- [Olb96] T. Olbrich, R. Mozuelos, A. Richardson, S. Bracho, "Design-for-test (DfT) study in a current mode DAC," IEE Proceedings Circuits, Devices and Systems, vol. 143, n° 6, diciembre 1996, pág. 374-379
- [Pel89] M.J.M. Pelgrom, A.C.J. Duinmaijer, A.P.G. Welbers, "Matching properties of MOS transistors," IEEE Journal of Solid-State Circuits, vol. 24, n° 5, octubre 1989, pág. 1433-1439
- [Raz95] B. Razavi, "Principles of data conversion system design," IEEE Press, 1995
- [Rod93] R. Rodríguez-Montañes, J. Figueras, A. Rubio, "Current vs. logic testability of bridges in scan chains," European Design and Test Conference, 1993, pág. 392-396
- [Rod94] R. Rodríguez-Montañes, J. Figueras, "Analysis of bridging defects in sequential CMOS circuits and their current testability," European Design and Test Conference, 1994, pág. 356-360
- [Ros02] J.M. de la Rosa, B. Pérez-Verdú, A. Rodríguez-Vázquez, "Systematic design of CMOS switched-current bandpass sigma-delta modulators for digital communication chips," Kluwer Academic Publishers, 2002
- [Sac94] M. Sachdev, "Transforming sequential logic in digital CMOS ICs for voltage and  $I_{DDQ}$  testing," European Design and Test Conference, 1994, pág. 361-365
- [Sac95] M. Sachdev, " $I_{DDQ}$  and voltage testable CMOS flip-flop configurations," IEEE International Test Conference, 1995, pág. 534-543
- [Sch88] H. J. Schouwenaars, "A low-power stereo 16-bit CMOS D/A converter for digital audio," IEEE Journal of Solid State Circuits, vol. 23, n° 6, diciembre 1988, pág. 1290-1297.
- [Sch79] J.A. Schoeff, "An inherently monotonic 12 bit DAC," IEEE Journal of Solid-State Circuits, vol. 14, n 6, diciembre 1979, pág. 904-911
- [Sta04] J.A. Starzyk, R.P. Mohn; Liang Jing, "A cost-effective approach to the design and layout of a 14-b current-steering DAC macrocell," IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 51, n° 1, enero 2004, pág. 196-200
- [Sod95] J.M. Soden, C.F. Hawkins, " $I_{DDQ}$  testing and defect classes-a tutorial," IEEE Custom Integrated Circuits Conference, 1995, pág. 633-642
- [Tan97] R.J.W.T. Tangelder, G. Diemel, H.G. Kerkhoff, "Smart sensor system application: an integrated compass," Proceedings European Design and Test Conference, 1997, pág. 195-199
- [Tan98] R.J.W.T. Tangelder, N Engin, H.G. Kerkhoff, R. Mozuelos, S. Bracho, "Built-in dynamic current testing of an operational amplifier in a sea of gates technology," IEEE International Mixed Signal Testing Workshop, 1998, pág. 174-177
- [Tou90] C. Toumazou, F.J. Lidgley, D.G. Haigh, "Analogue IC design, the current-mode approach," Peter Peregrinus Ltd., 1990
- [Tou93] C. Toumazou, J.B.C. Hughes, N.C. Battersby, "Switched-currents: an analogue technique for digital technology," IEE Circuits and Systems Series 5, 1993
- [Tra91] H. Tráff, T. Holmberg, S. Eriksson, "Application of switched-current technique to algorithmic DA and AD converters," IEEE International Symposium on Circuits and Systems, vol. 3, 1991, pág. 1549-1552.
- [Van01] J. Vandebussche, G. Van der Plas, W. Daems, A. Van den Bosch, G. Gielen, M. Steyaert, W. Sansen, "Systematic design of high-accuracy current-steering D/A converter macrocells for integrated VLSI systems," IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, vol. 48, n° 3, marzo 2001, pág. 300-309
- [Weg87] G. Wegmann, E.A. Vittoz, F. Rahali, "Charge injection in analog MOS switches," IEEE Journal of Solid-State Circuits, vol. 22, n° 6, diciembre 1987, pág. 1091-1097
- [Weg90] G. Wegmann, E.A. Vittoz, "Basic principles of accurate dynamic current mirrors," IEE Proceedings G Circuits, Devices and Systems, vol. 137, n° 2, abril 1990, pág. 95-100
- [Yam96] H. Yamazaki, Y. Miura, " $I_{DDQ}$  testability of flip-flop structures," IEEE International Workshop on  $I_{DDQ}$  Testing, 1996, pág. 29-33
- [Yan90] H.C. Yang, T.S. Fiez, D.J. Allstot, "Current-feedthrough effects and cancellation techniques in switched-current circuits," IEEE International Symposium on Circuits and Systems, vol. 4, 1990, pág. 3186-3188