

**UNIVERSIDAD DE CANTABRIA**



Departamento de Tecnología Electrónica,  
Ingeniería de Sistemas y Automática

**TESIS DOCTORAL**

**TEST BASADO EN SENSORES DE CORRIENTE  
INTERNOS PARA CIRCUITOS INTEGRADOS  
MIXTOS (ANALÓGICOS-DIGITALES)**

**Memoria** presentada para optar al grado de  
**DOCTOR EN CIENCIAS FÍSICAS POR LA UNIVERSIDAD DE CANTABRIA**

por Román Mozuelos García,  
Licenciado en Ciencias Físicas,

Santander, 2009

# Capítulo 5

---

## ***EVALUACIÓN DE FALLOS***

---

En este capítulo se presenta la evaluación de fallos que analiza la calidad del método de test de corriente transitoria propuesto. También se analiza la capacidad de las diversas implementaciones del sensor de corriente para detectar fallos en los módulos digitales y en los bloques analógicos que forman los circuitos mixtos. Los resultados se comparan con las coberturas de fallos obtenidos para conjuntos de test estructurales basados en la medida de la corriente estacionaria que atraviesa el circuito y con métodos de test de tensión que observan la salida de los circuitos de prueba empleando entradas de continua.

### **5.1 INTRODUCCIÓN**

La simulación de fallos es una herramienta necesaria para evaluar la efectividad del método de test mediante el cálculo de la cobertura de fallos y obtener información sobre el rendimiento del proceso de fabricación de los circuitos mixtos. Además, este proceso, al identificar los fallos no detectados y los nudos del circuito al que están asociados, proporciona información para la posible mejora de los métodos de test y/o del diseño del CUT.

En este capítulo se muestra la evaluación de fallos llevada a cabo para estudiar la eficacia del método de test  $I_{DDX}$  propuesto. El análisis se divide en función del tipo de circuito analizado, digital o analógico, y del sensor de corriente utilizado, con carga resistiva o con carga inductiva, en la transformación de la corriente muestrada a tensión de salida.

Hemos comenzado estudiando la detección de fallos en módulos digitales tanto combinacionales como secuenciales.

A continuación, se analizan diversos bloques analógicos con el BICS que utiliza la carga resistiva como son un buffer de tensión en tecnología de mares de puerta y la sección analógica de un convertidor digital-analógico.

Después, se comparan las prestaciones del BICS con carga resistiva con las obtenidas con el BICS con carga inductiva analizando la capacidad de ambos sensores de corriente para detectar los fallos de en un amplificador operacional.

Para terminar se extiende la aplicación del BICS con carga inductiva al estudio de circuitos de corriente conmutada utilizando celdas de memoria S<sup>2</sup>I. En esta etapa también se investiga la influencia de la localización del BICS en la detección de fallos en celdas adyacentes del CUT.

## 5.2 SIMULACIÓN DE FALLOS

La simulación de fallos dentro del método de test I<sub>DDT</sub> propuesto, al basarse en el análisis de la forma de onda de la corriente de alimentación I<sub>DD</sub> capturada por un sensor de corriente dinámica, requiere una buena descripción de las regiones de operación de los transistores, las tensiones de los nudos y las corrientes que atraviesan los dispositivos tanto del BICS como del CUT, por lo que empleamos un simulador de circuitos como es SPICE.

El modelo de fallos juega un papel esencial en la evaluación de la efectividad del método de test que proponemos. Este modelo consiste en la traslación a una representación eléctrica del efecto de un defecto físico y se describe en formato SPICE para ser incorporado a la descripción del propio circuito bajo test.

El modelo de fallos utilizado ha sido analizado en el capítulo dos de la tesis e incluye:

1. Fallos catastróficos; Cortocircuitos entre los terminales de los transistores, circuitos abiertos débiles en las conexiones de puerta, drenador y fuente, perforaciones en el óxido fino del canal (GOS) que crean un cortocircuito puerta-substrato, y una reducción a la mitad de la anchura del transistor (Wlow).
2. Fallos paramétricos debidos a variaciones locales en la tensión umbral del transistor, fluctuaciones de la anchura del óxido fino y desviaciones en las dimensiones del canal del transistor. Hemos consideramos que estos fallos sólo afectan al transistor en fallo puesto que las variaciones globales de los parámetros de producción serán detectadas por los circuitos de control que se incluyen en la oblea.
3. También, se ha utilizado una lista de fallos obtenida por una herramienta de análisis inductivo de fallos (IFA) en el análisis del layout del convertidor digital-analógico.

El proceso de simulación de fallos que aplicamos en la evaluación del método de test I<sub>DDT</sub> consta de los siguientes pasos:

1. Se configura el circuito libre de fallo y se realiza una simulación temporal de la que se derivan los valores de los parámetros utilizados en el test.
2. Se obtiene una lista con todos los fallos a nivel de transistor o a nivel de layout utilizando la descripción SPICE del circuito bajo test.

3. Se amplia la descripción del circuito incluyendo sucesivamente un fallo tras otro, es decir hemos asumido la condición de fallo simple. Para cada caso se simula el circuito en fallo y se extraen los parámetros que caracterizan el test  $I_{DDT}$  y los test estructurales.
4. Se comparan las medidas de los circuitos en fallo y del circuito libre de fallo para calcular el nivel de detección.

Se han propuesto varias herramientas CAD para ayudar en la simulación de fallos que utilizan simuladores eléctricos a los que se añade software para generar la lista de fallos, insertarlos en el CUT y evaluar los fallos observados para obtener la figura de cobertura [Seb95][Mir97][Aim99][Spi04][Bou06]. Sin embargo, en este trabajo hemos desarrollado programas propios que utilizan el simulador HSPICE [Hsp09] y procesan los resultados obtenidos para realizar esta tarea.

Para buscar el conjunto más reducido de vectores de test comenzamos conmutando simultáneamente todas las entradas digitales entre las tensiones de alimentación e inyectamos en las entradas analógicas pulsos que abarcan todo el rango de tensiones esperables en ellas. Estas abruptas transiciones generan dentro del CUT las componentes dinámicas de la corriente que utilizamos para la detección de los posibles defectos. Las amplitudes de las señales son las máximas posibles que evitan que la respuesta de los circuitos bajo test analógicos alcancen los niveles de saturación. Posteriormente, realizamos la evaluación de la cobertura de fallos y para aquellos fallos que no han sido detectados en el primer intento, buscamos vectores que permitan su excitación individual manteniendo la contribución a la corriente transitoria de los demás nudos del circuito al mínimo.

La base de los circuitos de corrientes conmutadas (SI) es esencialmente un conjunto de celdas, cuya función es almacenar y copiar corriente. El test funcional analiza la relación entre la corriente de entrada y la corriente de salida. La realización de test estructural de los circuitos SI, reportada en la literatura, utiliza básicamente dos aproximaciones para realizar el test. Una de ellas emplea señales de continua y monitoriza cambios en el funcionamiento del circuito SI que puedan ser indicadores de la presencia de un fallo [Sae95][Wey97][Ren99a], la otra reconfigura la secuencia de reloj [Ren99b][Olb96c], para convertir un circuito que divide por dos en una cascada de celdas  $S^2I$  y así poder comparar la corriente de entrada y de salida.

En nuestro caso los estímulos de test que se utilizan para los circuitos SI son tanto corrientes continuas como pulsos de corriente. Mantenemos la secuenciación de las llaves internas en el modo de funcionamiento normal del circuito, pues su activación para realizar el muestreo y retención de las señales analógicas de entrada genera los transitorios de corriente necesarios para evaluar la eficiencia del método de test propuesto.

Los parámetros evaluados durante la simulación del CUT, tras aplicar los vectores de test, son por un lado la salida del sensor de corriente y por otro corrientes y tensiones estacionarias correspondientes al desarrollo de test estructurales sencillos ( $I_{DDQ}$  y tensión DC). La medida del pulso de salida del BICS se realiza durante todo el periodo de aplicación del vector de test mientras que las medidas estacionarias de corriente y tensión se obtienen al final del mismo.

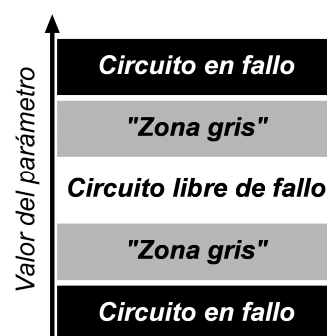
La medida de la salida del BICS es una magnitud temporal que refleja la duración de los pulsos de salida. Esa señal puede ser procesada por un equipo de medida externo basado en un contador controlado por una señal de reloj cuya frecuencia fija la resolución de la medida, la salida del sensor es la señal de habilitación del contador y la entrada de test sirve para reiniciar el sistema. La salida del contador establece la firma digital que comparada con la del circuito libre de fallo permite clasificar al CUT como correcto o defectuoso.

Otro método de procesamiento consiste en integrar la salida digital del sensor durante todo el periodo de aplicación del vector de test. La señal analógica resultante se compara con dos niveles de tensión fijados a partir del comportamiento del circuito libre de fallo.

Se debe establecer un rango de validez para los parámetros monitorizados durante la simulación de fallos, de tal manera que se pueda discriminar de forma segura entre el circuito libre de fallo y el circuito defectuoso. Este rango debe elegirse de modo que:

1. Variaciones en los parámetros del proceso de fabricación no den lugar a la identificación de un circuito como defectuoso.
2. Se permita cierta incertidumbre en la evaluación de la medida obtenida.
3. Se tenga en cuenta la influencia de las condiciones ambientales como temperatura o carga de salida en la magnitud procesada.
4. No clasifique incorrectamente un circuito como defectuoso debido a la presencia de ruido.
5. Considere la resolución finita de la salida de los sensores de corriente.

Para cada magnitud se asume una banda de tolerancia donde la medida se considera correcta. Por encima y debajo de esta banda hay una zona “gris” donde el circuito no se puede considerar ni bueno ni malo. Más allá de esta zona gris el parámetro se considera defectuoso. Esto se ilustra gráficamente en la figura 5.1.



*Figura 5.1. La banda de valores correctos de la medida está rodeada por una “zona gris”. Por encima y debajo de estos límites el circuito se considera defectuoso*

Para obtener las bandas de tolerancia del circuito libre de fallos se han realizado simulaciones de Montecarlo con los parámetros del proceso tecnológico proporcionados por el fabricante y se han cuantificado en un límite previamente al estudio del CUT [Mac96]. Cuando no se dispone de información sobre la dispersión de los parámetros del proceso y el fabricante

proporciona los modelos típico, rápido y lento para los transistores, se utilizan estos para establecer la banda para los valores libre de fallos.

La banda libre de fallo no sólo depende el parámetro analizado sino también del vector de test. Establecer diferentes límites para cada vector de test aplicado complica el proceso de test, sin embargo es un proceso fácilmente automatizable en un sistema de medida actual.

El fabricante proporciona modelos de los componentes muy conservadores para que garanticen un rendimiento de 6-sigma teniendo en cuenta todas las esquinas del proceso. Estas variaciones pueden llegar a ser tan grandes que produzcan una dispersión grande en las polarizaciones tanto del CUT como del BICS y por tanto en la anchura de los pulsos de salida del sensor de corriente. En estos casos será necesario conocer con precisión los parámetros finales del proceso de fabricación para poder simular adecuadamente el sistema o realizar la comparación del CUT con la medida de un circuito conocido que funciona correctamente (“golden device”).

La “zona gris” tiene en cuenta los errores de medida y la resolución finita del equipo de medida. Para el pulso de salida del sensor de corriente se establece en unas decenas de nanosegundos, valor que está relacionado con la velocidad a que se puede muestrear la salida digital del sensor por un equipo de test externo sencillo. La resolución en las magnitudes utilizadas para estimar la detección por tests estructurales se han elegido del orden de milivoltios para variaciones de tensión y del orden de microamperios para medidas de corriente.

### 5.3 SECCIÓN DIGITAL DEL CIRCUITO MIXTO

El método de test propuesto se ha aplicado al convertidor digital-analógico de diez bits descrito en el capítulo de los circuitos de prueba. La corriente de salida ( $I_{out}$ ) se obtiene habilitando un conjunto de fuentes de corriente proporcional a la palabra digital de entrada. Para acotar el número de fuentes de corriente y garantizar la monotonicidad del DAC, se implementa una estructura segmentada formada por dieciséis fuentes iguales de corriente gruesa para los cuatro bits más significativos y un divisor de corriente fina para los seis bits menos significativos. La suma de corrientes gruesa y fina se convierte en tensión por medio de un amplificador operacional y una resistencia. Su diagrama de bloques se muestra en la figura 5.2.

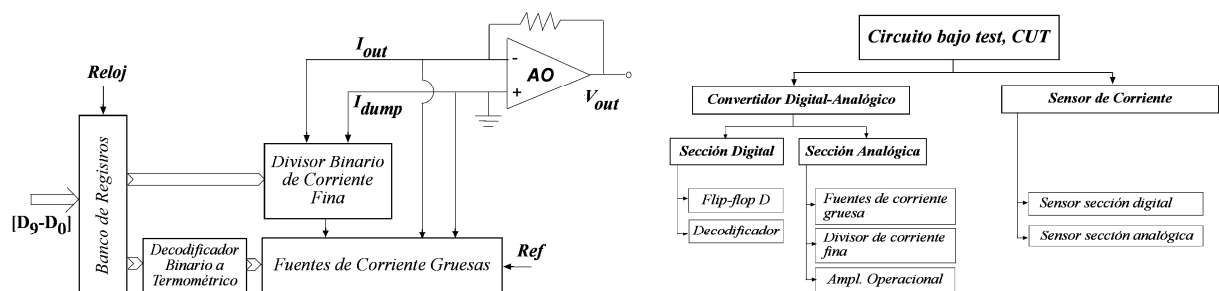


Figura 5.2. Estructura del convertidor digital-analógico

El análisis de los circuitos digitales con este método de test se realiza conectando el sensor de corriente a la sección digital del DAC. Los módulos digitales están constituidos por un banco de registros, formado por diez flip-flops que almacenan la palabra digital de entrada, y un decodificador de binario a termométrico que determina la conexión de las fuentes de corriente gruesas.

El método de test asume que la presencia de fallos en la lógica CMOS altera la forma de onda de la corriente de alimentación. Para medir dicha alteración de corriente intercalaremos un bloque sensor (BICS) en serie con el circuito bajo test desdoblando la línea de tierra a la que están unidas las fuentes de los transistores NMOS ( $GND\_Virtual$ ) del pin de tierra del encapsulado ( $GND$ ).

El BICS muestrea la corriente de alimentación a través de la sección digital del DAC creando una caída de tensión sobre una resistencia implementada por un transistor NMOS polarizado en la región óhmica ( $M_{Sample}$ ). Esta aproximación, al introducir una tierra virtual, degrada las prestaciones de la lógica digital por lo que solo se aplica durante el modo en test.

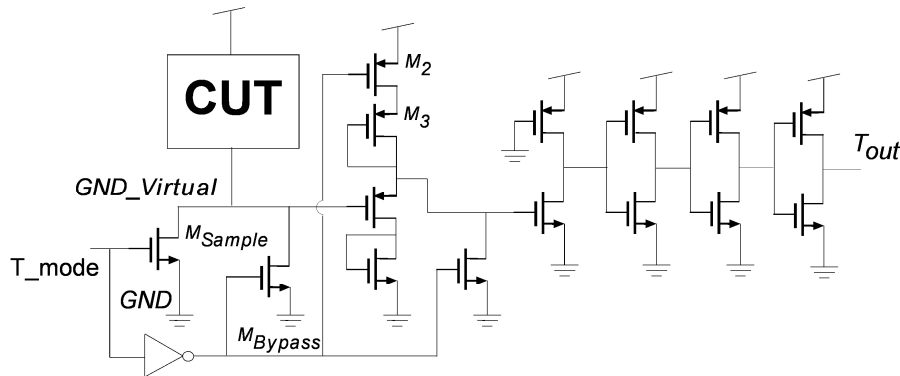


Figura 5.3. Sensor para la sección digital del CUT

El objetivo del sensor de corriente es proporcionar en su salida pulsos digitales cuya duración es proporcional a los transitorios de la corriente de alimentación. La figura 5.3 muestra su estructura formada por tres bloques; un elemento de muestreo, un cambiador de nivel, y una etapa de digitalización [Moz95][Olb96a][Moz96][Moz98a][Moz99].

La simulación de la sección digital del DAC se ha dividido en varios submódulos para facilitar el proceso y el análisis de los resultados. Estos bloques son los flip-flops tipo D del banco de registros y las celdas CMOS del decodificador binario-termométrico.

El modelo de fallos utilizado, como se ha descrito en el capítulo dos, incluye cortocircuitos entre los terminales del transistor modelados por una resistencia de  $100\Omega$ , circuitos abiertos en las conexiones a los terminales modelados por una resistencia de  $10M\Omega$  en paralelo con un condensador de  $1fF$  y cortocircuitos entre la puerta y el canal del transistor considerando varios casos para la posición y el valor resistivo del defecto.

En el test de corriente transitoria ( $I_{DDT}$ ), el parámetro evaluado es la duración de los pulsos de salida del sensor de corriente para cada vector de test. También se han simulado dos test

estructurales sencillos que miden el consumo de corriente estacionaria ( $I_{DDQ}$ ) y la tensión en las salidas de las celdas digitales (test de tensión).

Se ha buscado el número mínimo de vectores de test para la entrada digital que provoquen transiciones en todos los nudos internos del circuito bajo test. Mientras que para el flip-flop es suficiente la carga de un “0” y un “1” lógico, para el decodificador ha sido necesario ampliar los vectores de test obteniéndose el mismo conjunto que proporcionan las herramientas comerciales para el test de corriente estacionaria [Tet09][Enc09].

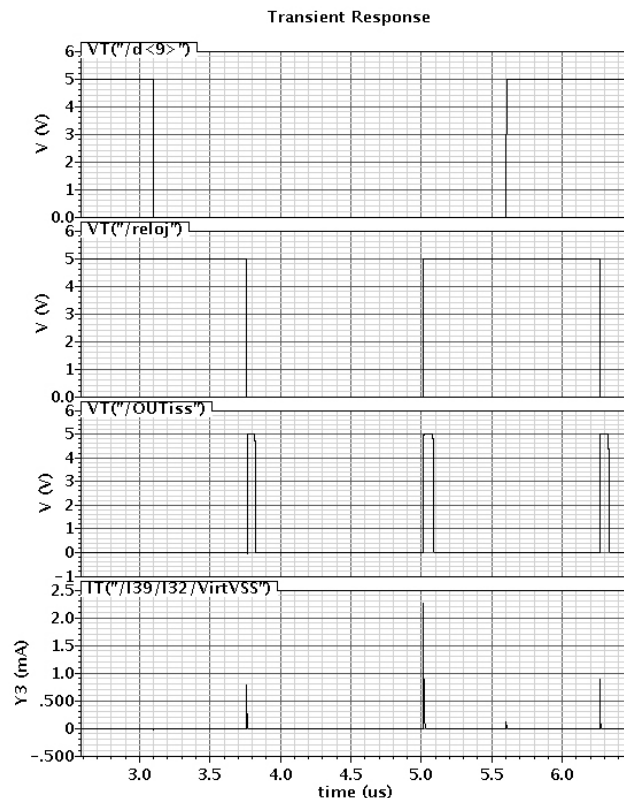


Figura 5.4. Formas de onda de la evaluación de fallos de los módulos digitales del DAC

La figura 5.4 muestra las señales más significativas de la evaluación de fallos. La gráfica superior corresponde a la palabra digital de entrada, la segunda es la señal de reloj del convertidor, la tercera señal es la salida del sensor para el caso libre de fallo y la forma de onda inferior es la corriente transitoria a través de los módulos digitales del circuito y del elemento de muestreo del sensor de corriente.

La banda para los valores libres de fallos se ha establecido utilizando simulaciones con los modelos de las esquinas del proceso (parámetros típico, lento y rápido) y los límites se han extraído de los valores de peor caso. Por razones de simplicidad y debido a que las condiciones en las que se realiza el test se pueden controlar con bastante precisión, se considera que el efecto de otras influencias como temperatura, carga, tensión de alimentación o ruido se incluye dentro de este rango. Se ha añadido un pequeño valor debido a la imprecisión de la medida y a la resolución del equipo de test. Con todo ello se establece que



un fallo es detectable si induce una variación en la anchura del pulso de salida del sensor mayor que 20ns, una corriente estacionaria mayor que 5 $\mu$ A y un cambio en la tensión de salida de las celdas digitales mayor que 2.5V.

Los resultados de la simulación clasificados según el tipo de fallo y el método de detección se muestran en la tabla 5.1 para el flip-flop D y en la tabla 5.2 para el decodificador del DAC.

<b>Flip-Flop D Tipos de Fallo</b>	<b>Fallos simulados</b>	<b>Detectados Tensión</b>	<b>Detectados <math>I_{DDQ}</math></b>	<b>Detectados <math>I_{DDT}</math></b>	<b>Detectados <math>I_{DDT}</math> &amp; Tensión</b>
Cortocircuitos	59	47	24	57	59
Abiertos	76	0	2	58	58
GOS	168	96	43	103	112

Tabla 5.1. Fallos detectados en el Flip-Flop D del DAC de acuerdo al método de test

<b>Decodificador Tipos de Fallo</b>	<b>Fallos simulados</b>	<b>Detectados Tensión</b>	<b>Detectados <math>I_{DDQ}</math></b>	<b>Detectados <math>I_{DDT}</math></b>	<b>Detectados <math>I_{DDT}</math> &amp; Tensión</b>
Cortocircuitos	57	53	57	57	57
Abiertos	68	0	0	41	41
GOS	144	90	96	121	121

Tabla 5.2. Fallos detectados en el Decodificador del DAC de acuerdo al método de test

Los datos muestran que el sensor de corriente transitoria (columna  $I_{DDT}$ ) detecta el 98% de los fallos de cortocircuito simulados, el 69% de los fallos de circuito abierto y el 72% de los fallos de ruptura de óxido fino (GOS) en los módulos digitales (tabla 5.3). Estas figuras de cobertura de fallo son mayores que las obtenidas a través del test de tensión (columna Tensión) o del test de corriente estacionaria (columna  $I_{DDQ}$ ). Se puede apreciar que la combinación de varios métodos de test (columna  $I_{DDT}$  & Tensión) mejora la cobertura de fallos del CUT.

<b>Sección digital Tipos de Fallo</b>	<b><math>I_{DDT}</math></b>	<b><math>I_{DDQ}</math></b>	<b>Tensión</b>	<b><math>I_{DDT}</math>+Tensión</b>
% Cortocircuitos	98,3	69,8	86,2	100
% Abiertos	68,8	1,4	0,0	68,8
% GOS	71,8	44,6	59,6	74,7

Tabla 5.3. Figura de cobertura de la sección digital del DAC de acuerdo al método de test

La detección de fallos de puente o cortocircuito es más eficiente con un test de corriente que con un test de tensión. El valor de la resistencia que adquiere la conexión es un factor importante para la detección del fallo. Se utiliza el concepto de “resistencia crítica” para el valor de la resistencia que modela el fallo a partir del cual el test de tensión detecta el fallo [Seg92]. La resistencia crítica depende de una gran cantidad de factores como el tamaño de los transistores, el diseño del circuito, los niveles de tensión en las entradas y los parámetros

del proceso de fabricación. También el nodo tecnológico afecta su valor, un experimento encontró que disminuye de  $6\text{k}\Omega$  a  $4\text{k}\Omega$  al comparar dos procesos de  $1.5\mu\text{m}$  y  $1.0\mu\text{m}$  [Hao91].

Este es el motivo por el cual los test de corriente ( $I_{\text{DDT}}$  e  $I_{\text{DDQ}}$ ) presentan mejores coberturas de fallos que el test de tensión para fallos de cortocircuito en circuitos combinacionales como se puede apreciar en los datos para el decodificador mostrados en la tabla 5.2.

Sin embargo, en circuitos secuenciales (tabla 5.1) hay veintinueve fallos que cuando se provoca un cambio en el estado de memoria de un lazo de realimentación no se produce un aumento del consumo de corriente estacionaria [Rod93][Sac94]. Estos fallos son detectables por el test de tensión examinando las salidas de los flip-flops correspondientes al nivel bajo y al nivel alto de la señal de reloj. Todos ellos, excepto dos, también son detectables por el test  $I_{\text{DDT}}$  al aumentar el tiempo necesario para que el sistema alcance su estado final.

Cuando la capacidad de suministro de corriente de los transistores es mayor que el efecto del fallo de cortocircuito, aparecen un conjunto de fallos que no son detectables por tensión, ya que no provocan un cambio lógico en el flip-flop, pero al degradar los niveles tensión del bloque digital pueden ser detectados por los test  $I_{\text{DDT}}$  e  $I_{\text{DDQ}}$ .

El fallo de circuito abierto de puerta se modela como una resistencia de un valor alto colocado en serie con la puerta del transistor y describe un defecto físico formado por una pequeña ruptura de la conexión ( $<100\text{nm}$ ) [Hen91]. En este caso, la corriente debido al efecto túnel que atraviesa la pequeña fisura incrementa los tiempos de carga y descarga del nudo de puerta y, aunque esto limita la velocidad de funcionamiento del circuito, no da lugar ni a un incremento de la corriente  $I_{\text{DDQ}}$  ni a una variación de la tensión final del nudo. Sin embargo, al alargar la duración del transitorio de corriente varios de estos defectos son detectables por el test  $I_{\text{DDT}}$ .

De la misma manera, la resistencia de  $10\text{M}\Omega$  que modela los fallos de circuito abierto en el drenador y la fuente de los transistores MOS previene el incremento de la corriente estacionaria a la vez que, al proporcionar un camino para polarización de los transistores, mantiene los niveles lógicos de tensión del circuito. Estos fallos modifican la forma de onda del transitorio de corriente, pudiendo ser detectado por el test  $I_{\text{DDT}}$  siempre que la disminución de la corriente transitoria no se vea enmascarada por el funcionamiento correcto de las restantes celdas.

Existen defectos que no consideramos en esta simulación que dan lugar a circuitos abiertos fuertes. Estos defectos desconectan completamente la puerta, el drenador y la fuente del transistor de los nudos de entrada y salida del circuito y el comportamiento del transistor depende del layout del circuito mediante el acoplo capacitivo con las líneas próximas [Sod89][Woo87]. En este caso el transistor puede estar permanente conduciendo, cortado o en un estado de conducción débil que previene la caracterización a priori del funcionamiento del circuito. Estos fallos de circuito abierto fuerte son detectables por un test de corriente cuando degradan las tensiones internas y con un test de tensión cuando fijan los nudos a una de las tensiones de alimentación [Haw94].

Los fallos de óxido de puerta son difíciles detectar por cualquiera de los métodos de test ya que la influencia que tienen sobre el funcionamiento normal del circuito es pequeña. La detección de los fallos de óxido de puerta es mayor con el test  $I_{DDT}$  que con los test  $I_{DDQ}$  o de tensión, siendo más fácilmente detectables cuanto menor es el valor de la resistencia que describe la corriente que circula entre la puerta y el canal del transistor MOS.

Hay varias técnicas que permiten una mejora de la cobertura de fallos del método de test:

1. Rediseñar los módulos del circuito bajo test, por ejemplo eliminando redundancia. El primer flip-flop considerado para el DAC es disparado por el flanco de la señal de reloj (figura 4.17). En él algunos de los fallos simulados producen un cambio en el estado de sus lazos internos que no se reflejan en la salida de tensión o el consumo de corriente estacionaria [Haw94]. Sachdev propone una estructura simplificada de un flip-flop disparado por flanco completamente verificable por la combinación de un test de corriente y de un test de tensión (figura 4.19) [Sac94]. Para esta aplicación es justificable utilizar este tipo de circuito que reduce los fallos de cortocircuito hasta dos utilizando el test  $I_{DDT}$  exclusivamente y a cero combinando el test  $I_{DDT}$  con el test de tensión.
2. Crear nuevos vectores de test (añadiendo nuevos o modificando los existentes). Se requieren dieciséis nuevos vectores de test para excitar apropiadamente el circuito decodificador, de este modo todos los nudos internos del circuito conmutan y se alcanza una testabilidad del 100% con el sensor de corriente.
3. Complementar el test de corriente transitoria con otros test funcionales, por ejemplo un test de tensión. Para llevarlo a cabo sería necesario incluir una cadena scan ya que las salidas de las celdas digitales no tienen conexión directa con los pines del chip.

Para que la detección de fallos sea completamente fiable se tiene que garantizar que los posibles defectos que aparezcan en el propio sensor de corriente no van a enmascarar los fallos del circuito bajo test.

Una manera de comprobar el correcto funcionamiento del sensor es realizar un test funcional previo donde se le aplica una forma de onda de corriente al terminal de tierra virtual que se corresponde con la entrada del BICS y se examina el voltaje de salida. Este método requiere realizar un paso previo al test del CUT y pines adicionales en el chip, tanto para poder acceder a la entrada del BICS (tierra virtual) como para desconectar la alimentación del CUT durante el autotest.

Nosotros hemos realizado el test del propio sensor de corriente de manera indirecta. Dado que la salida para el circuito libre de fallo es un pulso de tensión de magnitud conocida cualquier variación en la anchura del pulso de salida del BICS será debida a un defecto en el CUT o a un defecto en el sensor, de cualquier manera clasificaremos al sistema como defectuoso. Si en vez de un pulso de salida se hubiese diseñado un BICS que represente la información de test de forma binaria (“0” circuito correcto y “1” circuito defectuoso), los fallos en el sensor de

corriente que provoquen un fallo stuck-at 0 a la salida serían indetectables y pueden dar lugar a una clasificación incorrecta del CUT.

Realizando una simulación donde se consideran veintiún fallos de cortocircuito en el sensor digital, sólo dos fallos permanecen sin detectar. Estos fallos blandos son los cortocircuitos drenador-fuente de  $M_2$  y  $M_3$ , en el circuito de la figura 5.3, donde el valor que modela el fallo es mayor que su resistencia de conducción.

#### 5.4 SECCIÓN ANALÓGICA DEL CIRCUITO MIXTO

La evaluación del método de test de corriente transitoria  $I_{DDT}$  para los bloques analógicos de los circuitos mixtos está basada en la integración de un módulo sensor junto al CUT para obtener una medida fiable y sin distorsionar de la forma de onda de la corriente a través de algunas ramas específicas del circuito.

El bloque sensor de corriente tiene dos variantes. Una realiza la conversión de la corriente muestreada a una tensión digital, para facilitar su procesado por equipo de medida externo, utilizando una carga resistiva. La resistencia se construye con un transistor en configuración de diodo y por tanto polarizado en la zona de saturación. Esta estructura ha sido primero analizada en un amplificador operacional configurado como seguidor de tensión implementado con una tecnología de mares de puerta y posteriormente acoplada a un circuito más grande como es la sección analógica de un DAC. Este último ha sido fabricado con una tecnología de pozo N de  $0.7\mu\text{m}$  de resolución.

Buscando mejorar la eficiencia del sensor de corriente en la detección de fallos, se ha desarrollado una segunda versión donde la conversión de corriente muestreada a tensión se realiza con una carga inductiva para dar prioridad a los armónicos de mayor frecuencia de la corriente transitoria. La carga inductiva se implementa con una bobina obtenida de la combinación de un par de transistores que emulan la función de transferencia de un girador, y un condensador formado por la capacidad de puerta de otro transistor.

El sensor con carga inductiva se ha acoplado a un amplificador operacional sobre el que se ha realizado una simulación de fallos para comprobar la eficacia en la detección de fallos de ambos tipos de BICS. También se ha fabricado un circuito de prueba donde junto al circuito libre de fallos es posible seleccionar tres fallos diferentes para estudiar su efecto en la salida del sensor con carga inductiva.

Finalmente, se acopla el BICS, primero, a una celda de memoria  $S^2I$  para estudiar la extensión del método el test  $I_{DDT}$  a circuitos de corrientes conmutadas y posteriormente a un conjunto de bloques  $S^2I$  que implementan un algoritmo serie de un convertidor analógico-digital para analizar la influencia de la colocación del sensor en la detección de fallos de los diversos módulos del CUT.

### 5.4.1 Sensor de corriente con carga resistiva

La estructura del sensor de corriente con carga resistiva consiste en una etapa de muestreo donde se replica la corriente del circuito bajo test, un transistor como carga resistiva para realizar la conversión corriente tensión, un amplificador y un digitalizador de señal.

Adicionalmente, se ha añadido una estructura de deshabilitación de tal manera que, cuando no se este realizando el test, se pueda desconectar el sensor de la alimentación del sistema y reducir el consumo de la corriente aportada por el método de test.

#### 5.4.1.1 Buffer

El primer análisis del sensor de corriente en los módulos analógicos se ha llevado a cabo sobre un amplificador operacional configurado como seguidor de tensión [Moz98b][Tan98]. El circuito (figura 5.5) fue diseñado en una tecnología de mares de puertas (SOG) enfocada hacia el diseño digital.

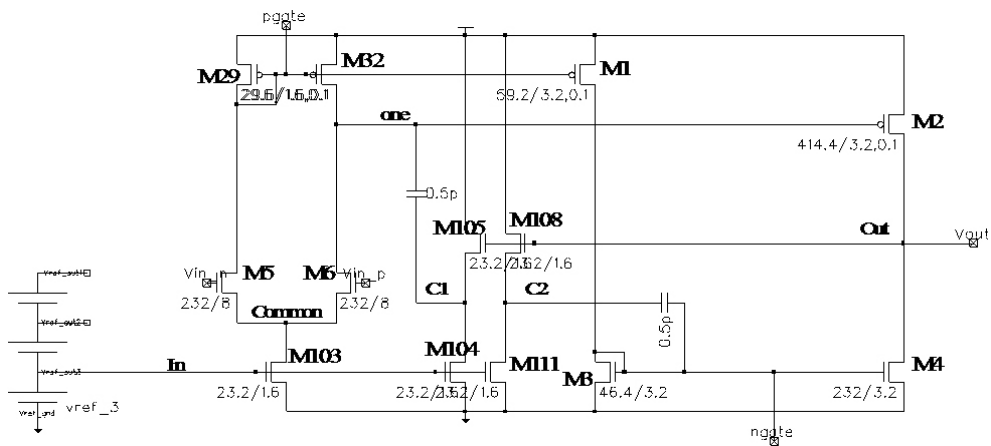


Figura 5.5. Esquemático del amplificador operacional

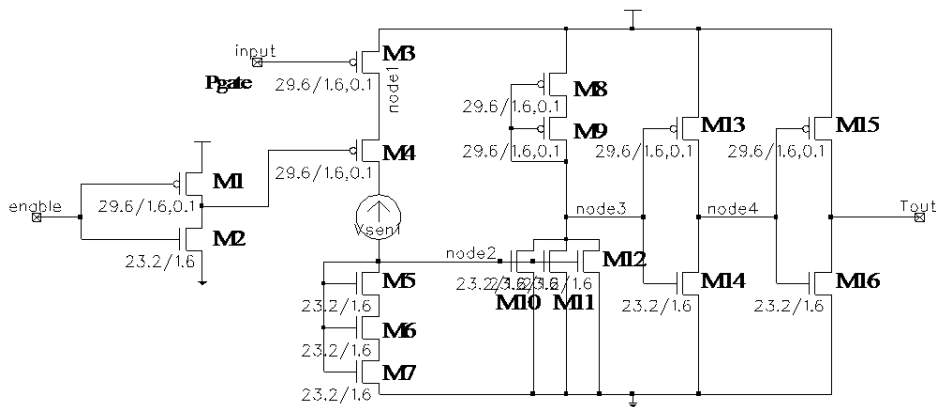


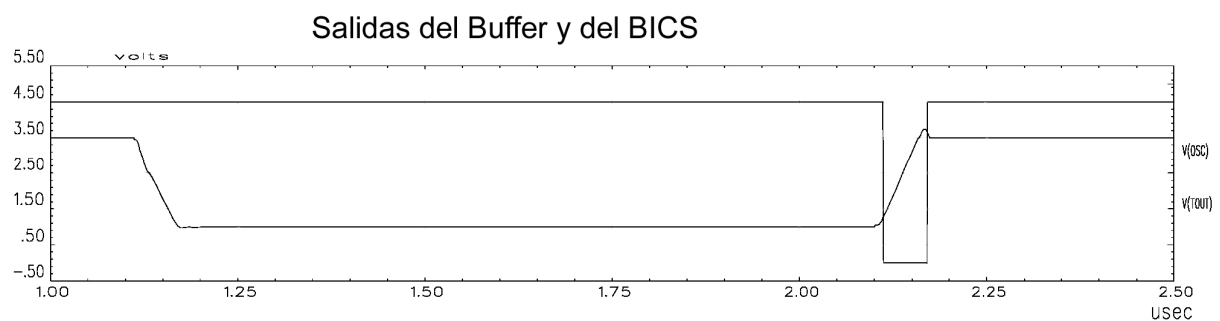
Figura 5.6. Esquemático del sensor de corriente

El sensor realiza una replica escalada de la corriente que circula por el par diferencial añadiendo un transistor M3 con la misma conexión de puerta y fuente que el transistor M29 del amplificador operacional pero con un tamaño inferior. La corriente es posteriormente convertida en tensión por los transistores NMOS (M5-M7) y amplificada para obtener niveles

digitales a la salida del sensor. La figura 5.6 muestra el esquemático del sensor de corriente donde las dimensiones de los transistores han tenido que adaptarse al tamaño del elemento unitario utilizado como esqueleto en esta tecnología de mares de puerta ( $W/L=29.6\mu\text{m}/1.6\mu\text{m}$  para el PMOS y  $W/L=23.2\mu\text{m}/1.6\mu\text{m}$  para el NMOS)

El modelo de fallos utilizado consiste en cortocircuitos y circuitos abiertos entre los terminales de los transistores. Los valores de resistencia considerados son  $100\Omega$  para los cortocircuitos y  $10\text{M}\Omega$  para los circuitos abiertos.

El objetivo de la generación de los vectores de test ha sido hacer máximo el efecto de los fallos sobre la forma de onda de la corriente de alimentación a través del CUT. Dado que el amplificador operacional está configurado como seguidor de tensión se utiliza un pulso en la entrada cuya amplitud no lleve a saturación la salida del circuito.



*Figura 5.7. Salidas del BICS y del amplificador operacional para un pulso de entrada*

La figura 5.7 muestra las salidas del sensor de corriente junto con la del buffer cuando a la entrada se aplica un pulso de tensión cuya amplitud está comprendida entre 1.0V y 3.5V. La salida del sensor se mantiene fija a la tensión de alimentación  $V_{DD}$  hasta que aparece una transición positiva del pulso en la entrada. En este momento aparece un pulso cuya duración es proporcional al transitorio de corriente generado. Los cambios en la corriente transitoria debido a un fallo se trasladan en la desaparición o ensanchamiento de algunos de los pulsos asociados con el circuito libre de fallo.

<b>Parámetro</b>	<b>Descripción</b>
VoutLow	Tensión de salida del seguidor de tensión para una entrada de 1.0 voltio
VoutHigh	Tensión de salida del seguidor de tensión para una entrada de 3.5 voltios
IssLow	Corriente estacionaria del amplificador operacional para una entrada de 1.0 voltio
IssHigh	Corriente estacionaria del amplificador operacional para una entrada de 3.5 voltios
TiddtLow	Anchura del pulso a la salida del sensor de corriente para una transición de la entrada desde 3.5 hasta 1.0 voltios
TiddtHigh	Anchura del pulso a la salida del sensor de corriente para una transición de la entrada desde 1.0 hasta 3.5 voltios

*Tabla 5.4. Lista de parámetros monitorizada durante la evaluación de fallos*

Los parámetros analizados en la evaluación de fallos, además de representar al test de corriente transitoria  $I_{DD}$ , miden la corriente estacionaria del amplificador operacional ( $I_{DDQ}$ ) y la tensión de salida en continua (Tensión DC) para evaluar la eficiencia del método de test. Los parámetros más significativos tanto del amplificador operacional como del sensor de corriente y su función se explican en la tabla 5.4.

La corriente estacionaria ( $I_{SSLow}$  &  $I_{SSHigh}$ ) y la tensión DC ( $V_{outLow}$  &  $V_{outHigh}$ ) del amplificador operacional se evalúan al final del vector de test aplicado mientras que la anchura del pulso del sensor se mide durante todo el tiempo de duración de dicho vector de test con un nivel de comparación de 2.5 voltios como se muestra en la figura 5.8.

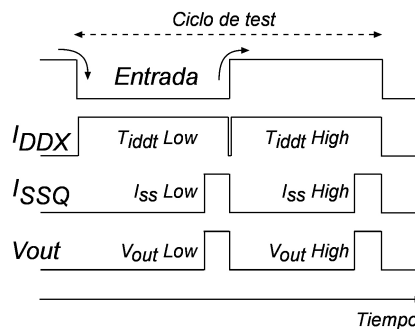


Figura 5.8. Diagrama temporal de medida de los parámetros de la evaluación de fallos

La simulación de fallos se llevó a cabo con el simulador eléctrico ELDO [Eld09] sobre una extracción del layout realizada con la herramienta OCEAN [Gro93]. Por tanto, la descripción del amplificador operacional y del sensor de corriente incluyen las capacidades parásitas debidas al proceso de fabricación. Sin embargo, al ser una tecnología no comercial sólo están disponibles los modelos típicos de los transistores. Esta limitación en la disponibilidad de los parámetros de fabricación se compensa con una mayor zona de incertidumbre en la discriminación del circuito defectuoso. Se consideran variaciones de tensión mayores de 30mV a la salida del buffer y variaciones de corriente mayores que 20 $\mu$ A en su corriente estacionaria son inducidas por circuitos defectuosos. Asimismo, la resolución de la anchura del pulso del sensor de corriente se establece en 30ns.

La tabla 5.5 muestra la simulación de fallos de cortocircuito cuando se inyectan resistencias de 100 $\Omega$  entre los terminales de los transistores. La primera columna identifica al fallo, las dos siguientes corresponden a los nudos del amplificador operacional de la figura 5.5 entre los que se conecta el fallo. Las restantes columnas listan los valores de los parámetros evaluados. La primera y última fila muestran los datos obtenidos para la simulación del circuito libre de fallos, una tensión de salida del buffer de 1.0V y 3.5V, una corriente de alimentación de 1.1mA y 1.3mA y la aparición de un pulso de 59ns de anchura en la salida del sensor sólo para la transición del nivel bajo al nivel alto de la entrada.

La cobertura de fallos con el método  $I_{DDT}$  ( $T_{iddtLow}$  &  $T_{iddtHigh}$ ) es del 88.5% ya que sólo tres (RS7, RS18, y RS21) de los veintiséis fallos permanecen sin detectar. La misma figura de

cobertura (88.5%) se obtiene con el test de corriente estacionaria  $I_{DDQ}$ , mientras que el test de tensión al no detectar seis de los fallos proporciona una cobertura del 76.9%.

Nº de fallo	Nudo1	Nudo2	Vout Low	Vout High	Iss Low	Iss High	Tiddt Low	Tiddt High
<b>Caso</b>	<b>libre</b>	<b>de fallo</b>	<b>1,000</b>	<b>3,500</b>	<b>1,10E-03</b>	<b>1,21E-03</b>	<b>Sin pulso</b>	<b>5,9E-08</b>
RS2	IN	COMMON	1,769	3,625	6,17E-04	1,01E-02	Sin pulso	Sin pulso
RS3	COMMON	GND	1,006	3,707	2,07E-03	1,86E-02	Sin pulso	Sin pulso
RS4	IN	C1	1,003	3,500	1,44E-03	1,19E-03	Sin pulso	9,3E-08
RS5	C1	GND	0,999	3,500	1,41E-03	3,21E-03	Sin pulso	9,3E-08
RS6	IN	C2	0,964	3,500	1,86E-03	1,20E-03	4,6E-09	3,6E-08
RS7	C2	GND	0,973	3,499	1,89E-03	3,21E-03	Sin pulso	4,1E-08
RS8	VOUT	COMMON	4,985	4,984	4,98E-04	5,97E-04	Sin pulso	Sin pulso
RS9	VOUT	PGATE	4,990	4,990	3,14E-04	4,13E-04	Sin pulso	Sin pulso
RS10	PGATE	COMMON	0,000	0,000	9,19E-04	1,02E-03	Sin pulso	Sin pulso
RS11	VIN_P	COMMON	1,356	1,306	4,88E-04	4,94E-04	Sin pulso	-3,5E-08
RS12	PGATE	COMMON	0,000	0,000	9,19E-04	1,02E-03	Sin pulso	Sin pulso
RS13	VIN_P	ONE	4,929	4,829	1,73E-03	1,68E-03	Sin pulso	Sin pulso
RS14	PGATE	VDD	5,000	5,000	2,16E-04	3,26E-04	Sin pulso	Sin pulso
RS15	PGATE	ONE	3,309	3,481	1,07E-03	1,20E-03	Sin pulso	Sin pulso
RS16	ONE	VDD	0,001	0,006	4,34E-04	3,47E-04	Sin pulso	Sin pulso
RS17	C1	VDD	1,002	3,500	1,49E-03	1,25E-03	Sin pulso	9,4E-08
RS18	C1	VOUT	1,001	3,499	1,12E-03	1,23E-03	Sin pulso	5,7E-08
RS19	GND	VOUT	0,986	1,765	1,10E-02	1,88E-02	1,2E-07	Sin pulso
RS20	VOUT	VDD	4,932	4,932	1,86E-03	1,86E-03	Sin pulso	Sin pulso
RS21	VOUT	C2	0,999	3,499	1,12E-03	1,22E-03	Sin pulso	6,9E-08
RS22	C2	VDD	0,964	3,480	1,92E-03	1,35E-03	Sin pulso	1,9E-08
RS23	NGATE	GND	5,303	5,289	1,20E-03	1,20E-03	Sin pulso	Sin pulso
RS24	NGATE	VOUT	0,999	2,969	1,30E-03	1,12E-02	9,9E-08	Sin pulso
RS25	NGATE	PGATE	0,000	0,000	3,13E-03	3,06E-03	Sin pulso	Sin pulso
RS26	NGATE	VDD	0,984	1,769	1,73E-02	2,31E-02	1,0E-07	Sin pulso
RS27	ONE	VOUT	4,015	4,015	1,81E-03	1,69E-03	Sin pulso	Sin pulso
<b>Caso</b>	<b>libre</b>	<b>de fallo</b>	<b>1,000</b>	<b>3,500</b>	<b>1,10E-03</b>	<b>1,21E-03</b>	<b>Sin pulso</b>	<b>5,9E-08</b>

Tabla 5.5. Simulación del buffer utilizando un modelo de fallos de cortocircuito a nivel de transistor

Los fallos no detectados por el test  $I_{DDT}$  son cortocircuitos ( $R=100\Omega$ ) que modifican la impedancia de la red de compensación del amplificador operacional manteniendo una variación de la anchura de pulso del sensor por debajo del límite de detección (30ns). La salida DC del amplificador operacional tampoco cambia de manera significativa en estos tres fallos aunque uno de ellos (RS7) es detectable por el test de corriente estacionaria.

Nº de fallo	Nudo1	Nudo2	Vout Low	Vout High	Iss Low	Iss High	Tiddt Low	Tiddt High
<b>Caso</b>	<b>libre</b>	<b>de fallo</b>	<b>1,000</b>	<b>3,500</b>	<b>1,10E-03</b>	<b>1,20E-03</b>	<b>Sin pulso</b>	<b>5,91E-08</b>
RS1	PGATE	VDDS	5,000	5,000	2,22E-04	3,35E-04	Sin pulso	Sin pulso
RS2	PGATE	NODE1	0,000	0,000	1,59E-03	1,72E-03	Sin pulso	Sin pulso
RS3	VDDS	NODE1	0,995	3,499	2,40E-03	2,55E-03	Sin pulso	Sin pulso
RS4	NODE1	NENABLE	0,999	3,500	4,04E-04	6,71E-04	Sin pulso	Sin pulso
RS5	NENABLE	NODE2	0,998	3,500	4,02E-04	6,69E-04	Sin pulso	Sin pulso
RS6	NODE1	NODE2	1,002	3,500	1,10E-03	1,20E-03	Sin pulso	5,78E-08
RS7	NODE2	VSSS	0,997	3,500	4,02E-04	6,69E-04	Sin pulso	Sin pulso
RS8	NODE2	NODE3	0,998	3,501	9,62E-04	1,24E-03	Sin pulso	Sin pulso
RS9	NODE3	VSSS	1,000	3,500	1,11E-03	1,38E-03	Sin pulso	Sin pulso
RS10	VDDS	NODE3	1,002	3,500	8,43E-04	1,29E-03	Sin pulso	Sin pulso
RS11	NODE3	NODE4	1,001	3,500	2,74E-03	3,04E-03	Sin pulso	-6,40E-08
RS12	VDDS	NODE4	1,000	3,500	1,11E-03	1,21E-03	Sin pulso	Sin pulso
RS13	NODE4	VSSS	1,000	3,500	2,72E-03	3,61E-03	Sin pulso	Sin pulso
RS14	NODE4	TOUT	1,002	3,500	2,88E-03	3,26E-03	Sin pulso	-6,58E-08
RS15	VDDS	TOUT	1,000	3,500	4,61E-03	4,97E-03	Sin pulso	Sin pulso
RS16	TOUT	VSSS	1,000	3,500	1,10E-03	1,20E-03	Sin pulso	Sin pulso
RS17	VDDS	NENABLE	0,998	3,500	4,54E-03	4,80E-03	Sin pulso	Sin pulso
RS18	NENABLE	VSSS	1,000	3,500	1,10E-03	1,21E-03	Sin pulso	5,91E-08
RS19	ENABLE	NENABLE	0,998	3,500	4,54E-03	4,80E-03	Sin pulso	Sin pulso
<b>Caso</b>	<b>libre</b>	<b>de fallo</b>	<b>1,000</b>	<b>3,500</b>	<b>1,10E-03</b>	<b>1,20E-03</b>	<b>Sin pulso</b>	<b>5,91E-08</b>

Tabla 5.6. Simulación del sensor de corriente utilizando un modelo de fallos de cortocircuito



Para garantizar el funcionamiento correcto del sensor de corriente, también se realiza una evaluación de fallos de este módulo, utilizando el mismo modelo que en el amplificador operacional, dado que fallos no detectables pueden degradar la fiabilidad del sistema y enmascarar otros fallos en el circuito bajo test. Los resultados se muestran en la tabla 5.6 donde se ha utilizado la misma disposición de filas y columnas del caso anterior aunque los nodos del circuito se corresponden al esquemático del sensor de carga de la figura 5.6.

Dos fallos no son detectables por el test  $I_{DDT}$  (RS6 y RS18) ambos relacionados con la entrada de habilitación que permanece fija a  $V_{DD}$  durante todo el proceso de evaluación. Estos fallos serían detectados si desconectamos la señal de habilitación porque el sensor de corriente, en contra de lo esperado, se mantendría funcionando y generado pulsos de tensión en su salida para transiciones en la entrada del seguidor de tensión.

Nº de fallo	Nudo1	Nudo2	Vout Low	Vout High	I <sub>ss</sub> Low	I <sub>ss</sub> High	Tiddt Low	Tiddt High
Caso	libre	de fallo	1,000	3,500	1,10E-03	1,20E-03	Sin pulso	5,91E-08
RO1	D1	8	5,169	5,173	2,95E-04	2,95E-04	Sin pulso	Sin pulso
RO2	G1	5	0,991	3,488	7,82E-03	4,89E-03	Sin pulso	5,81E-08
RO3	S1	7	5,263	5,276	2,99E-04	2,99E-04	Sin pulso	Sin pulso
RO4	D2	8	0,134	0,333	2,88E-07	2,69E-07	Sin pulso	Sin pulso
RO5	G2	6	4,934	4,932	1,07E-03	1,07E-03	Sin pulso	Sin pulso
RO6	S2	4	0,237	0,493	3,05E-07	3,24E-06	Sin pulso	Sin pulso
RO7	D3	7	0,984	1,639	1,31E-02	1,88E-02	Sin pulso	1,20E-07
RO8	G3	7	1,000	3,500	3,58E-04	5,46E-04	Sin pulso	6,44E-08
RO9	S3	9	0,984	1,639	1,31E-02	1,88E-02	Sin pulso	1,20E-07
RO10	D4	4	3,752	3,507	3,22E-04	2,85E-04	Sin pulso	Sin pulso
RO11	G4	7	5,241	4,965	3,91E-04	3,89E-04	Sin pulso	Sin pulso
RO12	S4	9	5,166	5,076	4,00E-04	3,95E-04	Sin pulso	Sin pulso
RO13	D5	5	5,000	5,000	1,97E-04	1,97E-04	Sin pulso	Sin pulso
RO14	G5	11	4,944	4,978	6,26E-04	5,28E-04	Sin pulso	2,66E-07
RO15	S5	13	5,000	5,000	1,95E-04	1,96E-04	Sin pulso	Sin pulso
RO16	D6	6	0,428	0,213	2,17E-05	2,13E-06	Sin pulso	Sin pulso
RO17	G6	12	0,909	1,200	2,68E-04	3,65E-04	Sin pulso	Sin pulso
RO18	S6	13	0,058	0,013	6,68E-07	3,69E-07	-1,35E-08	Sin pulso
RO19	D29	5	0,000	0,000	2,04E-03	1,57E-03	Sin pulso	Sin pulso
RO20	G29	5	1,013	3,491	3,10E-04	5,88E-04	9,33E-08	5,69E-08
RO21	S29	8	0,000	0,000	2,05E-03	1,85E-03	Sin pulso	Sin pulso
RO22	D32	6	4,901	4,897	1,07E-03	1,06E-03	Sin pulso	Sin pulso
RO23	G32	5	0,994	3,510	3,14E-04	5,89E-04	Sin pulso	7,51E-08
RO24	S32	8	4,904	4,901	1,07E-03	1,07E-03	Sin pulso	Sin pulso
RO25	D103	9	5,000	5,000	1,92E-04	1,92E-04	Sin pulso	Sin pulso
RO26	G103	3	0,999	3,501	2,65E-04	6,42E-04	2,18E-07	2,66E-08
RO27	S103	13	5,000	5,000	1,96E-04	1,95E-04	Sin pulso	Sin pulso
RO28	D104	9	1,012	3,500	2,75E-04	4,96E-04	8,47E-09	2,01E-08
RO29	G104	3	1,001	3,500	3,15E-04	5,90E-04	Sin pulso	5,23E-08
RO30	S104	14	1,017	3,502	2,80E-04	5,00E-04	8,15E-09	2,41E-08
RO31	D105	14	1,001	3,500	2,78E-04	4,96E-04	1,68E-08	2,87E-08
RO32	G105	4	1,001	3,500	3,27E-04	5,74E-04	Sin pulso	2,87E-08
RO33	S105	8	1,001	3,500	2,78E-04	4,97E-04	1,52E-08	2,90E-08
RO34	D108	15	1,000	3,500	2,78E-04	4,96E-04	Sin pulso	4,53E-08
RO35	G108	4	0,998	3,499	3,27E-04	5,75E-04	Sin pulso	4,52E-08
RO36	S108	8	1,000	3,500	2,80E-04	4,96E-04	Sin pulso	4,31E-08
RO37	D111	15	0,955	3,486	2,87E-04	4,98E-04	1,36E-09	4,47E-08
RO38	G111	3	1,001	3,500	3,13E-04	5,89E-04	2,09E-09	5,40E-08
RO39	S111	9	0,958	3,485	2,87E-04	4,98E-04	8,33E-10	4,61E-08
RO40	C1A	6	1,012	3,501	3,16E-04	5,75E-04	8,54E-09	2,00E-08
RO41	C1B	14	1,026	3,511	3,18E-04	5,76E-04	8,38E-09	2,12E-08
RO42	C2A	15	0,952	3,481	3,25E-04	5,81E-04	1,82E-09	4,46E-08
RO43	C2B	7	0,953	3,480	3,20E-04	5,76E-04	1,17E-09	-1,15E-08
Caso	libre	de fallo	1,000	3,500	1,10E-03	1,20E-03	Sin pulso	5,91E-08

Tabla 5.7. Simulación del amplificador operacional utilizando un modelo de fallos de circuito abierto

La tabla 5.7 muestra los resultados de la simulación eléctrica para el amplificador operacional cuando utilizamos el modelo de fallos de circuito abierto. La columna etiquetada como “node1” identifica la posición del fallo de circuito abierto inyectado. Las letras D, G y S se refieren al drenador, fuente o puerta y el número identifica el transistor de acuerdo al esquemático de la figura 5.5. Así, el fallo R08 G3 se refiere a la inserción de una resistencia de  $10\text{M}\Omega$  en serie con la puerta del transistor M3. La columna “node2” hace referencia al nudo adicional utilizado en la descripción eléctrica del circuito para acomodar la resistencia de circuito abierto y no tiene ningún significado especial.

Diez (RO2, RO8, RO29, RO34, RO35, RO36, RO37, RO38, RO39 y RO42) de los cuarenta y tres fallos de circuito abierto no son detectables por medio de la salida del sensor de corriente (test  $I_{DDT}$ ) dando lugar a una cobertura de fallos del 76.7 por ciento.

La mitad de los fallos no detectados corresponden a fallos de circuito abierto de puerta en los transistores polarizados con una tensión continua donde la resistencia que modela el fallo de circuito abierto no tiene ninguna influencia. Los otros fallos están en una de las dos ramas de compensación donde la influencia en la respuesta en frecuencia del circuito no induce una variación medible en la anchura del pulso del sensor de corriente.

La cobertura de fallos de circuito abierto del test de tensión DC ( $V_{outLow}$  &  $V_{outHigh}$ ) es del 60.5% y la del test  $I_{DDQ}$  ( $I_{ssLow}$  &  $I_{ssHigh}$ ) del 76.7% muy similar a la de  $I_{DDT}$ . La combinación de todos los métodos de test reduce los fallos no detectados a sólo tres (RO29, RO35 y RO38), que son fallos de circuito abierto de puerta en transistores polarizados con tensiones de continua alcanzando de este modo una cobertura del 93%.

La evaluación de fallos de circuito abierto en el sensor de corriente muestra dieciséis fallos no detectados sobre un conjunto de cuarenta y ocho simulados (66.6%). Siete de estos fallos están relacionados con la tensión de habilitación que se mantiene constante durante toda la simulación y pueden ser detectados activando esta señal. Los otros nueve tienen que ver con condicionantes de la tecnológica SOG. Los transistores que se utilizan tienen que ser múltiplos de un elemento unitario, por tanto cuando se necesitan transistores mayores estos se tienen que dividir e implementarse como una combinación serie o paralelo de los transistores unitarios. Tres de los fallos son circuitos abiertos de puerta en los transistores M5, M6 y M7 del circuito de la figura 5.6 que convierten la corriente en tensión y donde el efecto del transistor en fallo se ve disminuido por el funcionamiento correcto de los otros dos. Los otros seis fallos aparecen cuando tres transistores en paralelo (M10, M11 y M12) se consideran separadamente en vez de un transistor de tamaño triple. El fallo en uno de ellos es enmascarado por el funcionamiento adecuado de los demás.

La salida analógica del amplificador operacional y su consumo de corriente estacionaria es siempre la adecuada porque la inyección de fallos en el sensor de corriente no influye en las prestaciones del seguidor de tensión.

Esta evaluación de fallos permite observar que el sensor integrado, midiendo la corriente transitoria a través de ramas escogidas del amplificador operacional, permite obtener una

cobertura de fallos simulada superior a la de un test de corriente estacionaria o a la de un test de tensión DC. También se puede apreciar que la combinación de varios métodos de test aumenta la cobertura total del sistema de un modo significativo.

Sin embargo, la utilización de esta tecnología de mares de puertas introduce varias limitaciones propias en el proceso de evaluación.

1. La falta de modelos tecnológicos rápidos y lentos para transistores no permite tomar en cuenta la distribución real de la corriente de alimentación para el circuito libre de fallos. Por tanto, los límites de detección para los circuitos defectuosos están basados en medidas experimentales obtenidas de circuitos fabricados similares al analizado.
2. El cableado en la tecnología SOG se tiene que realizar utilizando líneas de metal sobre zonas activas y cables de alimentación. El acoplo entre diversas señales, debido a las capacidades parasitas con máscaras próximas, puede distorsionar la información sensible codificada en los transitorios de corriente.
3. Aunque un gran número de fallos considerados en otros modelos (por ejemplo, fallos dependientes del layout, circuitos abiertos, GOS) se pueden colapsar en el modelo de fallos utilizado, este no representa todos los fallos que realmente pueden ocurrir en una tecnología tan peculiar como la de mares de puerta. Una descripción más adecuada se obtendría mediante la utilización de una herramienta de análisis inductivo de fallos (IFA).

#### **5.4.1.2 Sección analógica del DAC**

El sensor de corriente es capaz de detectar la mayoría de los fallos inyectados cuando monitoriza directamente el circuito bajo test tal como se ha visto en el apartado anterior. Una evaluación de su comportamiento en un sistema más complejo permite caracterizar la sensibilidad del BICS frente a fallos en otros bloques no conectados directamente al sensor y por tanto ayuda a establecer cuando es necesario aumentar las ramas de muestreo en este método de test.

El circuito analizado son los módulos analógicos del convertidor DAC mostrado en la figura 5.2 [Moz95][Olb96a][Moz98a][Moz99]. Estos bloques son un conjunto de dieciséis fuentes gruesas responsables de la codificación de los cuatro bits más significativos, un divisor de corriente fina controlado por los seis bits menos significativos y un amplificador operacional que ayuda a realizar la conversión de la corriente proporcional a la palabra digital de entrada a la tensión analógica de salida del convertidor.

El sensor de corriente se acopla a la etapa diferencial del amplificador operacional (figura 5.9). Se ha elegido este punto por ser el que mejor puede recoger la aparición de defectos en todos los módulos del convertidor. Los fallos en las fuentes de corriente afectan a la forma de onda de la corriente de entrada del amplificador de transimpedancia y por tanto a su consumo de corriente de alimentación. Los fallos que aparezcan en el amplificador operacional modifican la polarización del transistor muestreado directamente si están en la etapa de

polarización o en el par diferencial o indirectamente a través de la realimentación si se encuentran en la etapa de salida.

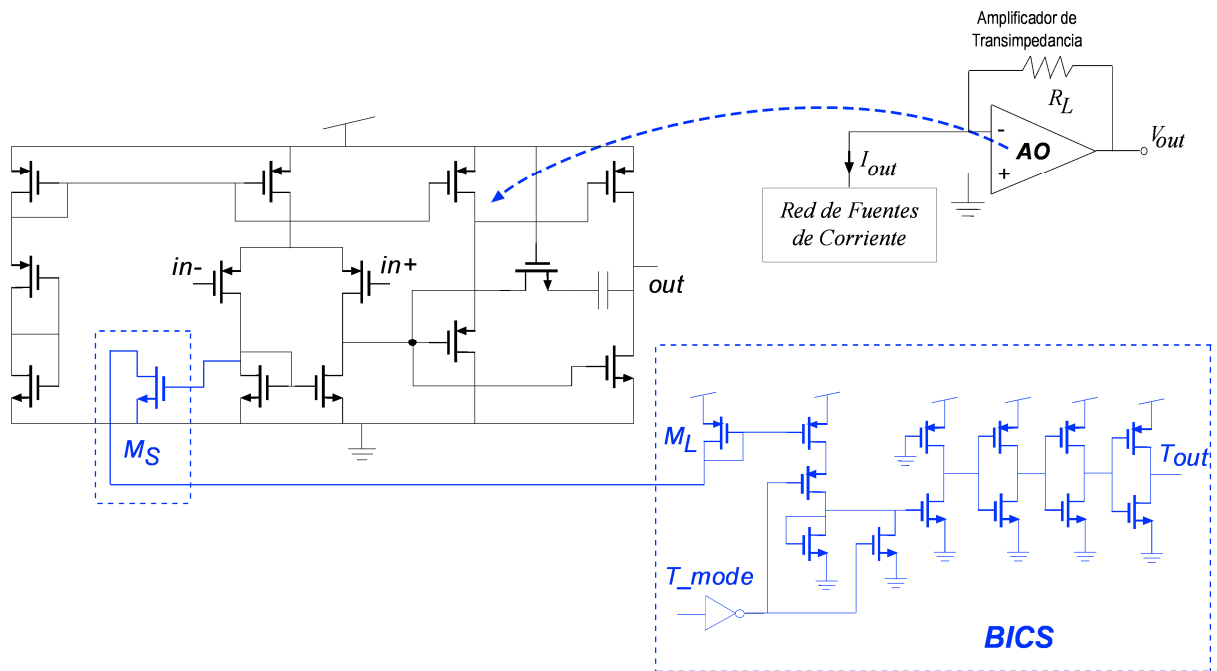


Figura 5.9. Esquemático del circuito utilizado para evaluar la sección analógica del DAC y el BICS

El sensor de corriente está formado por los siguientes bloques, figura 5.9; un transistor NMOS de muestreo ( $M_S$ ) para copiar la corriente del CUT, una carga resistiva constituida por un transistor PMOS ( $M_L$ ), dos amplificadores de fuente común (uno con un transistor PMOS como elemento activo y el otro con un transistor NMOS) y un comparador basado en una cadena de inversores CMOS.

El modelo de fallos utilizado en la evaluación de fallos de los bloques analógicos del convertidor considera fallos de cortocircuito entre los terminales de los transistores de las fuentes de corriente. Para el amplificador operacional, los fallos de cortocircuito se completan incluyendo fallos de circuito abierto y fallos de óxido entre puerta-substrato. Los componentes eléctricos que modelan estos fallos son los mismos utilizados en la evaluación de fallos de la lógica digital. También se añade un modelo de fallos catastróficos para los componentes pasivos del circuito, resistencia de realimentación y condensador de compensación del amplificador operacional, que considera cortocircuitos y circuitos abiertos entre sus terminales junto con una desviación del 50% de su valor nominal.

La simulación comienza considerando como vectores de test una transición brusca entre los extremos del rango de la entrada digitales (“1111111111” → “0000000000” → “1111111111”) para provocar un cambio de estado del mayor número posible de transistores del circuito. La figura 5.10 muestra las formas de onda involucradas en el proceso, la gráfica superior es la salida analógica del DAC, la señal intermedia la corriente a través de la etapa diferencial del amplificador operacional muestreada y la inferior la salida del sensor de corriente (BICS).

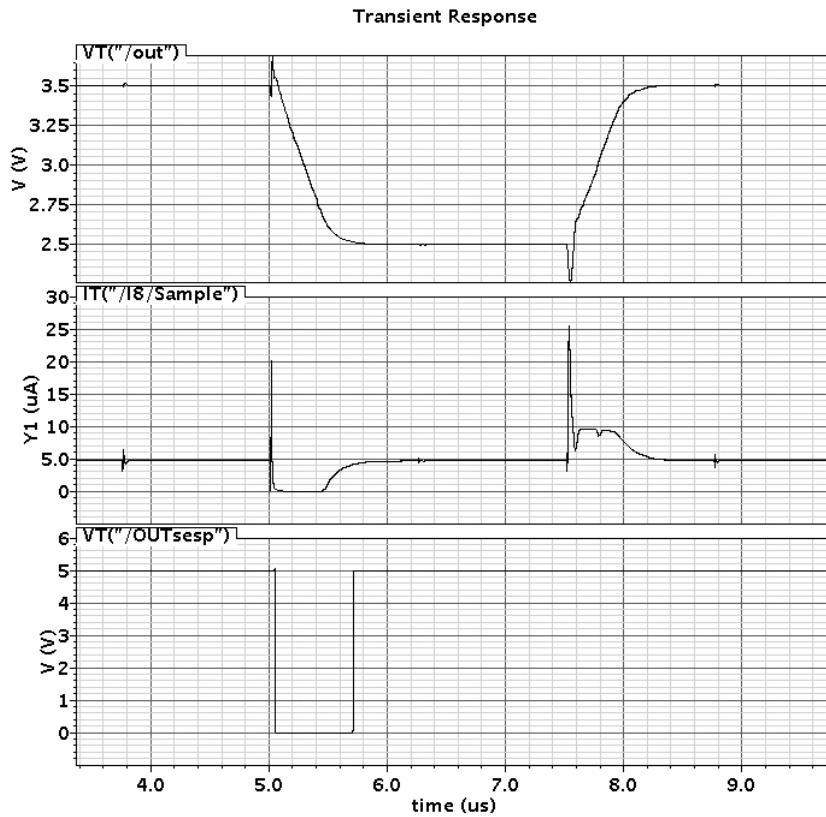


Figura 5.10. Salida del DAC y del BICS acoplado al Amp. Op. para la transición (1023→0→1023)

Junto con la duración del ancho del pulso de la salida del sensor de corriente (test  $I_{DDT}$ ) se incluye la medida de la tensión de continua del amplificador operacional (test de tensión DC). Los límites de detección para los circuitos defectuosos se establecen en 50ns para el test  $I_{DDT}$  y 10mV para el test de tensión DC ya que considera que el DAC está calibrado para mantener el rango de tensión de salida en un voltio.

**Fallos en las fuentes de corriente:** La fuente de corriente gruesa consta de un conjunto de dieciséis fuentes de corriente iguales, cada una de ellas formada por seis transistores, en las que se han inyectado diecisiete fallos de cortocircuito, de los cuales cuatro no son detectados por el test de corriente transitoria. El divisor de corriente fina está formado por veinticinco transistores entre los que se han considerado sesenta y cuatro fallos de cortocircuito y de los cuales diecinueve permanecen sin detectar por el test  $I_{DDT}$ . Tres son los motivos por el cual los fallos de las fuentes no son detectados:

1. Redundancia del circuito. La figura 5.11 muestra una fuente de corriente gruesa con dos fallos indetectables entorno al transistor cascode  $M_2$  de la rama de corriente  $I_{dump}$  que está conectada a una tensión de referencia ( $V_{DD}/2$ ). Este transistor mejora ligeramente el tiempo de asentamiento del circuito al igualar la impedancia vista por el transistor que fija la corriente  $M_1$  cuando la fuente conmuta de la rama  $I_{out}$  a la rama  $I_{dump}$ . Si se omitiese la funcionalidad del circuito no se vería afectada.

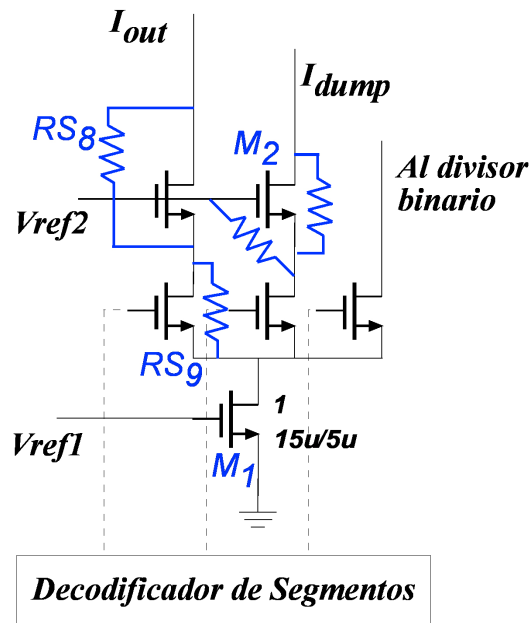


Figura 5.11. Esquemático de la fuente de corriente mostrando los fallos no detectados

2. Vectores de test insuficientes. El cortocircuito en la llave de activación ( $RS_9$ ) de la corriente de salida  $I_{out}$  no es detectable con el conjunto reducido de vectores de test utilizados al estar todas las llaves encendidas o apagadas a la vez. Se puede llegar a detectar este fallo incluyendo un vector de entrada que habilite esta fuente exclusivamente. Ocurre lo mismo con varios de los fallos en el divisor de corriente fina ( $RS_A$ ,  $RS_B$ ) mostrados en la figura 5.12.

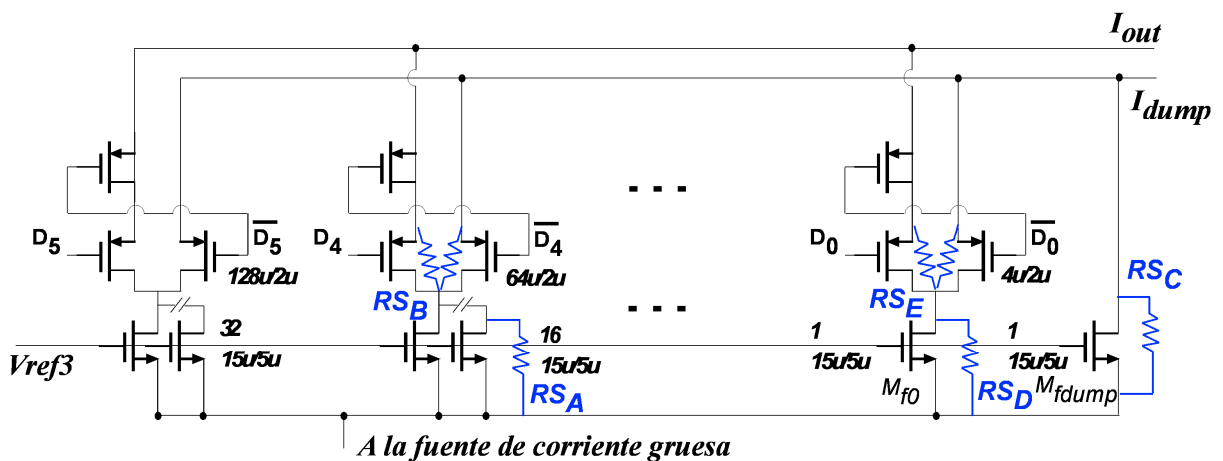


Figura 5.12. Esquemático del divisor de corriente fino mostrando fallos no detectados

3. Enmascaramiento del fallo y baja resolución del sensor. Otro fallo no detectable se encuentra es el cortocircuito entre drenador y fuente ( $RS_B$ ) del transistor cascode de la rama de corriente de salida (figura 5.12). Este transistor, que siempre está conduciendo, tiene la misión de aumentar la impedancia de salida del transistor  $M_1$ . Aunque su funcionalidad se ve afectada por el fallo la influencia en la corriente de salida de la fuente de corriente es muy pequeña por lo que no varía la corriente de alimentación ni la tensión

de salida del amplificador operacional de manera apreciable para ser detectados por el test  $I_{DDT}$  o por el test de tensión. Aún así eliminarle puede degradar la linealidad del convertidor. El mismo problema aparece en alguno de los fallos ( $RS_C$ ,  $RS_D$ ,  $RS_E$ ) entorno a los transistores que codifican los bits menos significativos del convertidor en el divisor de corriente fina (figura 5.12).

Aunque el sensor de corriente transitoria puede detectar la mayoría de los fallos de cortocircuito en las fuentes de corriente con un conjunto de vectores de test adecuado, unos pocos permanecen sin detectar debido a que influyen poco en la corriente de alimentación del amplificador de transimpedancia.

**Fallos en el amplificador operacional.** La tabla 5.8 muestra los fallos detectados en la simulación del amplificador operacional del DAC. Los datos se ordenan de acuerdo al tipo de fallo y al método de test.

<b>Amplificador operacional</b>	<b><math>I_{DDT}</math></b>	<b>Op. Amp. DC test</b>	<b>Fallos simulados</b>
Cortocircuitos detectados	26	24	27
Abiertos detectados	34	29	42
GOS detectados	46	44	72
Comp. Pasivos detectados	8	7	8

Tabla 5.8. Detección de fallos catastróficos en el AO utilizando un sensor con carga resistiva

El sensor de corriente ( $I_{DDT}$ ) detecta el 95% de los fallos de cortocircuito simulados, el 81% de los fallos de circuito abierto y el 63.9% de los fallos GOS.

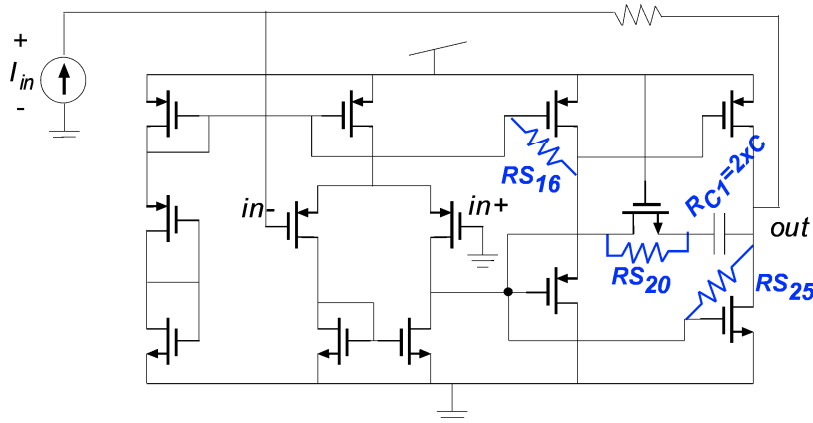


Figura 5.13. Esquemático del amplificador operacional mostrando fallos no detectados

El único fallo de cortocircuito no detectado por el test  $I_{DDT}$  es un cortocircuito puerta-drenador  $RS_{16}$  en un transistor del cambiador de nivel que lo inhabilita (figura 5.13). El fallo  $RS_{16}$  convierte la etapa de salida de clase AB en clase A degradando la impedancia de salida del amplificador operacional pero sin afectar a su funcionamiento y al resto de las prestaciones, este fallo tampoco es detectable por el test de tensión DC. Otros fallos de cortocircuito  $RS_{20}$ ,  $RS_{25}$  y un fallo  $RC_1$  (donde se incrementa un 50% el valor del

condensador) afectan a la compensación en frecuencia y no son detectables por el test de tensión DC pero si por el test  $I_{DDT}$ .

El test  $I_{DDT}$  presenta una cobertura de fallos mayor que la del test de tensión DC dado que algunos fallos de circuito abierto y GOS no producen un cambio apreciable en la polarización DC de los transistores pero modifican el componente transitorio de la corriente al introducir retrasos en el camino de propagación de la señal. Todos los fallos detectados por tensión DC también lo son por la corriente  $I_{DDT}$ .

El sensor de corriente para la sección analógica, al igual que ocurre con el BICS de los módulos digitales, utiliza como parámetro de evaluación el ancho de pulso de su salida, lo cual permite que el mismo BICS sea inmune a los fallos de cortocircuito, de circuito abierto y a la mayoría de los fallos de GOS.

**Análisis inductivo de fallos del DAC.** Una vez realizado el layout del convertidor digital-analógico se ha aplicado un análisis inductivo de fallos (IFA) con objeto de aproximar el modelo de fallos lo más posible a los defectos físicos que realmente pueden aparecer durante el proceso de fabricación del chip.

VLASIC (VLSI Layout Simulation for Integrated Circuits) [Wal86][Wal90] es la herramienta IFA utilizada. Este simulador utiliza un conjunto de estadísticas de ocurrencia de defectos y ficheros con información de la tecnología para esparcir de forma aleatoria defectos sobre el layout del DAC. Contiene un algoritmo que determina si los defectos producen un fallo eléctrico catastrófico. Dependiendo de la precisión que se quiera alcanzar en la evaluación del test, la lista de fallos puede ser reducida a los defectos más significativos del circuito. Para circuitos digitales esta técnica ha demostrado una gran potencia y capacidad para generar listas de fallos realista [Mal87][Sac93]. Uno de los inconvenientes de esta herramienta IFA reside en los problemas que puede presentar a la hora de analizar circuitos analógicos ya que ha sido concebida para el estudio de circuitos digitales. La existencia de elementos como capacidades o resistencias en circuitos analógicos, que no pueden ser reconocidos como tales por el IFA, provoca en algunos casos una deficiencia en la lista de fallos obtenida de estos circuitos.

La tabla 5.9 muestra la lista de los cien primeros fallos ordenados según su probabilidad de ocurrencia. Todos ellos son fallos de puente que se modelan con una resistencia de  $100\Omega$ , aunque su valor realmente vendría determinado por el tamaño y material del defecto. En esta lista, el más probable es un cortocircuito entre las placas del condensador de compensación del amplificador operacional debido a su gran tamaño, el siguiente es un cortocircuito entre las salidas de los flip-flops que almacenan el sexto y séptimo bit de entrada, etc.

Al igual que en los casos anteriores se ha realizado una evaluación de fallos. En el test  $I_{DDT}$  se analiza la anchura de los pulsos de salida tanto del sensor de la sección digital como el de la sección analógica. El test funcional utilizado como referencia considera la tensión de salida de continua del amplificador operacional y un test de corriente estacionaria para las celdas digitales. Los niveles umbrales de detección se establecen en variaciones de 30ns para el



ancho de pulso del sensor de la lógica digital, 50ns para el BICS de los bloques analógicos, 5 $\mu$ A para la corriente estacionaria y 10mV para la tensión DC.

<i>Orden del fallo resistivo</i>	<i>Nudos entre los que está conectado</i>	
Rf1	opamp_out	opamp_uno
Rf2	q6	q7
Rf3	q8	q9
Rf4	q7	q8
Rf5	vssa	md4
Rf6	vssa	fine_comun
....	....	....
Rf14	q1_c	q1
Rf31	fine_comun	fine_cuatro
Rf55	in_minus	coar_uno_8
Rf74	in_minus	coar_uno_13
....	....	....
Rf98	in_minus	fine_cinco
Rf99	dos_7	cuatro_7
Rf100	v_gnd	out4

*Tabla 5.9. Lista de fallos obtenidos con un análisis IFA del DAC*

Un conjunto mínimo de vectores de test que comprende la transición entre los valores extremos de la palabra digital de entrada (1111...11  $\rightarrow$  0000...00  $\rightarrow$  1111...11) permite detectar sesenta y tres de los cien fallos resistivos. VLASIC al mostrar los fallos que tienen mayor probabilidad de ocurrencia facilita la elección de los vectores de entrada que mejoran la efectividad del método de test. Por ejemplo, los fallos Rf2, Rf3 y Rf4 pueden ser detectados tanto por el test  $I_{DDT}$  como por el test  $I_{DDQ}$  incluyendo la secuencia (1111...11  $\rightarrow$  1010...10  $\rightarrow$  1111...11).

Con el conjunto de vectores de entrada más exhaustivo, los únicos fallos que no son detectados por ninguno de los métodos de test son Rf55 y Rf74 que afectan al transistor cascode de dos fuentes de corriente gruesas. Como se comentó anteriormente su influencia tanto en la salida del DAC como en el consumo de corriente de alimentación es muy pequeña. Existen fallos que siendo detectables por el test  $I_{DDT}$  sólo lo son por uno de los test funcionales bien sea el  $I_{DDQ}$  (fallo Rf14) o el de Tensión DC (Rf31).

La comparación entre las dos listas de fallos, una basada en un modelo a nivel de transistor y la otra obtenida de un análisis IFA, permite comprobar que ambas dan los mismos resultados cualitativos. Las dos listas de fallos permiten el estudio de las partes del circuito que tienen fallos no detectados y muestran indicaciones claras de cómo mejorar la efectividad del test.

En esta evaluación de fallos se ha obtenido los mismos resultados con el análisis inductivo de fallos y con el análisis utilizando un modelo de fallos a nivel de transistor.

Sin embargo, el IFA presenta la ventaja de obtener fallos que reflejan el proceso de fabricación y las características del layout del circuito, permitiendo obtener resultados para cuantificar el rendimiento del proceso de fabricación (yield) y la cobertura de fallos. Además de presentar resultados cuantitativos el análisis inductivo de fallos permite reducir el número de simulaciones al enfocar el esfuerzo en los fallos con más probabilidad de aparición. La desventaja es el esfuerzo requerido para introducir esta herramienta en el proceso de diseño ya que requiere información sensible del proceso de diseño para generar la estadística de defectos (datos que el fabricante suele mantener confidenciales) y la necesidad de tener el layout del circuito dificultando enormemente la realimentación de las mejoras en el CUT que incrementarían la efectividad del test [Olb96b].

Aunque los datos de cobertura de fallos obtenidos del modelo a nivel de transistor son sólo cualitativos, este permite descubrir puntos débiles en el CUT y en el método de test. Con la ventaja de que es fácil de generar, no requiere complejos paquetes de software externo y se puede aplicar en una etapa temprana del diseño del circuito al no necesitar el layout para su obtención.

**Medidas experimentales.** La viabilidad del método de test basado en la monitorización de la corriente transitoria del CUT utilizando sensores de corriente integrados ( $I_{DDT}$ ) ha sido analizada con la fabricación del convertidor digital-analógico.

La placa de circuito impreso diseñada para caracterizar al DAC se ha conectado a un sistema de test que incluye el generador y analizador lógico HP16500C para proporcionar la secuencia de vectores de test a la entrada del convertidor y para muestrear la salida de los sensores de corriente. Se utiliza un voltímetro HP34401A y un osciloscopio TDS\_724A para medir la tensión de salida del DAC. Todos los equipos están controlados y sincronizados por un ordenador personal a través del bus GPIB IEEE 488.

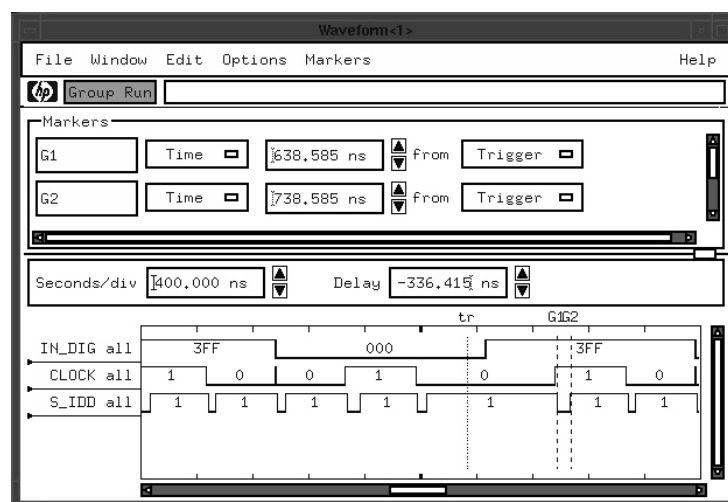


Figura 5.14. Medida de la salida del sensor de corriente de la sección digital del DAC

La figura 5.14 muestra la respuesta del sensor de corriente que muestrea la sección digital del DAC (gráfica inferior) a una transición que abarca ambos extremos del rango de entrada (en hexadecimal  $3FF \rightarrow 000 \rightarrow 3FF$ ) (forma de onda superior). El sensor de corriente genera pulsos proporcionales a la corriente transitoria a través de la lógica digital del DAC cuando ocurren transiciones en la palabra de entrada o en la señal de reloj [Moz98a][Moz98b].

La figura 5.15 muestra la salida del sensor de corriente que analiza la sección analógica del DAC cuando el convertidor experimenta una transición del rango completo de escala. El sensor genera pulsos de tensión cuando ocurre un incremento de corriente en el transistor del espejo diferencial muestreado. Este incremento de corriente transitoria coincide temporalmente con la aparición de los flancos de bajada a la salida del amplificador operacional.

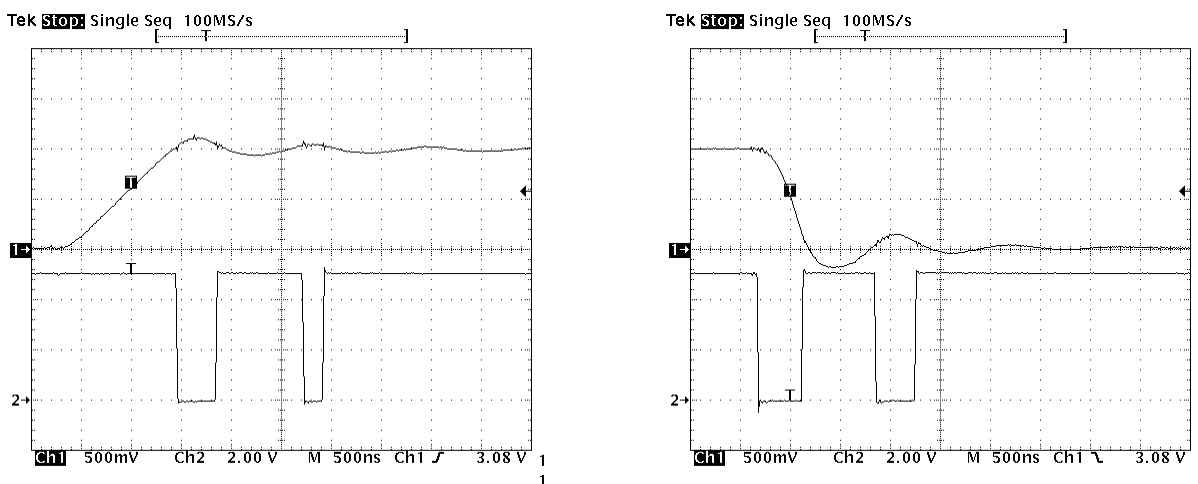


Figura 5.15. Salida del BICS de la sección analógica del DAC para una transición en el código de entrada (a)  $0 \rightarrow 1023$  y (b)  $1023 \rightarrow 0$

La comparación entre los datos simulados y los datos medidos se ve dificultada por una degradación en la respuesta en frecuencia del amplificador operacional respecto a las simulaciones de peor caso realizadas con el layout del circuito.

#### 5.4.2 Sensor de corriente con carga inductiva

Un método que puede mejorar la eficiencia del test  $I_{DDT}$  propuesto es enfatizar el peso específico de los componentes de mayor frecuencia de la corriente transitoria para detectar aquellos fallos que sin producir un cambio en la corriente estacionaria del CUT introducen retrasos en la propagación de la señal.

Por tanto, en este apartado se analiza un sensor de corriente que realiza la conversión de corriente muestreada a tensión utilizando una carga inductiva en vez de una resistiva. Para diseñar la carga inductiva se utiliza un sistema formado por un girador y un condensador cuyo objetivo es emular el comportamiento de una bobina. La implementación con transistores

requiere utilizar un transistor NMOS ( $M_1$ ) y otro transistor PMOS ( $M_2$ ) para obtener las dos etapas de transconductancia en realimentación negativa [Mos74] [Gia98]. Un tercer condensador aporta la capacidad ( $C$ ) que conectada a uno de los puertos del girador se ve transformada en inductancia en el otro (figura 5.16). El uso de transistores para obtener tanto las transconductancias como el condensador desvía el sistema del comportamiento ideal añadiendo una resistencia en serie y otra en paralelo a la bobina.

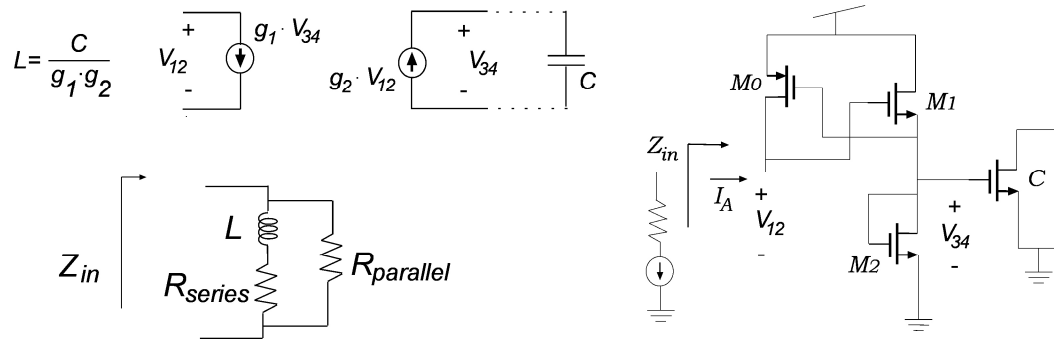


Figura 5.16. Emulación de una bobina con un girador y un condensador implementados con transistores

El diagrama de bloques del sensor de corriente se completan con un transistor de muestreo ( $M_6$ ), un cambiador de nivel para adaptar la señal de tensión obtenida de la carga inductiva ( $M_3$  y  $M_4$ ) y un comparador de ventana implementado con puertas lógicas para digitalizar la salida (figura 5.17) [Lec03c].

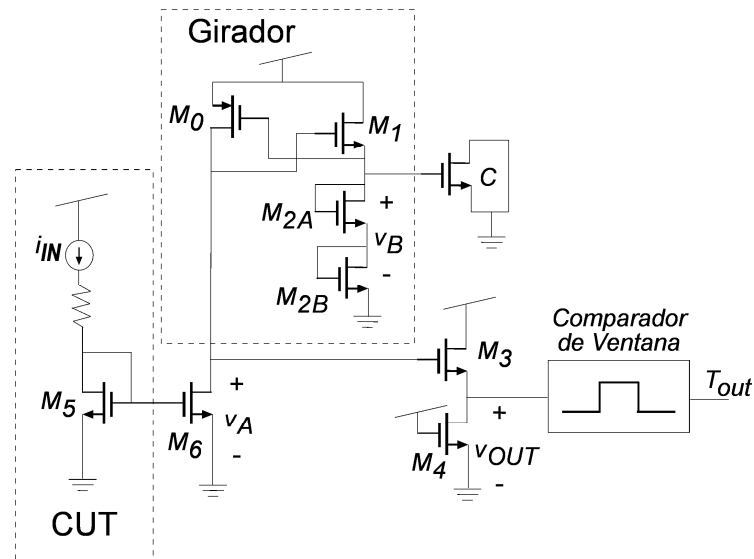


Figura 5.17. Diagrama del sensor de corriente con carga inductiva

El estudio de la eficacia de este BICS se ha realizado por medio de una evaluación de fallos con dos tipos de circuitos. Uno continuo como es un amplificador de transimpedancia, circuito que convierte una corriente a la entrada en una tensión a la salida, y el otro discreto basado en la implementación de funciones analógicas con celdas de memoria de corriente conmutada.

### 5.4.2.1 Amplificador de transimpedancia

El amplificador de transimpedancia está basado en un amplificador operacional realimentado con una resistencia. La topología y el diseño del amplificador operacional son iguales a los descritos anteriormente en el convertidor digital-analógico aunque varía la tecnología en que se ha diseñado.

Al igual que en el caso anterior, el sensor monitoriza la corriente que circula por la etapa diferencial del amplificador operacional añadiendo un transistor para obtener una replica escalada de esta corriente (figura 5.18).

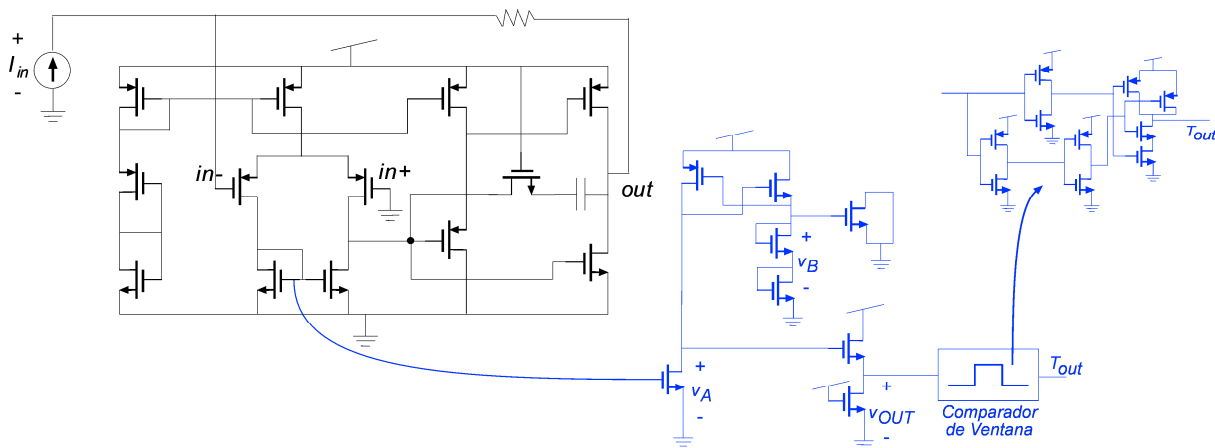


Figura 5.18. Amplificador de transimpedancia con el BICS de carga inductiva

La evaluación de fallos [Moz01][Lec02a][Lec02b] utiliza el modelo catastrófico a nivel de transistor mostrado previamente (formado por fallos de cortocircuito, circuito abierto, GOS y en los elementos pasivos). También incluye un fallo (Wlow) que modela un defecto puntual que desconecta un transistor dividido en varios módulos reduciendo un 50% la anchura en el transistor en fallo.

Por otra parte, los fallos paramétricos son modelados por la desviación de un parámetro del proceso en el transistor defectuoso mientras el resto de los dispositivos activos se mantienen en sus valores originales. Se han elegido cuatro parámetros del proceso, independientes entre sí [Aus04], como son;

1.  $V_{TH0}$  una variación local de la tensión umbral en los transistores NMOS y en los transistores PMOS donde se han doblado los valores superior e inferior proporcionados por los modelos tecnológicos lento y rápido de los transistores.
2.  $T_{OX}$  un incremento del 100% de la máxima variación reportada en el proceso de fabricación para el transistor en fallo.
3.  $\Delta L$  y  $\Delta W$ . El simulador eléctrico añade y resta a la longitud y anchura del canal del transistor en fallo la mínima longitud permitida para el transistor por la tecnología ( $0.7\mu\text{m}$ ).

El vector de test de entrada elegido es un pulso de corriente con el objetivo de cambiar bruscamente el punto de polarización de los transistores. Los niveles de corriente entre 0 y  $-400 \mu\text{A}$  dan lugar a una variación de la tensión de salida entre 2.5V y 3.5V.

La simulación de fallos evalúa dos parámetros; el ancho de los pulsos a la salida del sensor de corriente para obtener la eficacia del test  $I_{DDT}$  propuesto y la tensión de salida de continua del amplificador. Los límites de estos parámetros que clasifican al circuito como defectuoso se han establecido en 50ns para el ancho de pulso del BICS y en 10mV para la tensión DC al igual que en el apartado anterior.

<b>Amplificador transimpedancia</b>	<b><math>I_{DDT}</math></b>	<b>Salida DC</b>	<b>Fallos simulados</b>
Cortocircuitos detectados	26	24	27
Abiertos detectados	42	29	42
GOS detectados	59	44	72
Comp. Pasivos detectados	8	7	8
WLow detectados	9	7	13

Tabla 5.10. Fallos catastróficos detectados por los test  $I_{DDT}$  y de Tensión DC en el amplificador de transimpedancia con el sensor de carga inductiva

La tabla 5.10 muestra el número de fallos detectados por cada método de test [Moz01] [Lec02a]. La cobertura de fallos de cortocircuito para el test  $I_{DDT}$  es del 95% que corresponde a los mismos fallos detectados por el sensor de carga resistiva (figura 5.13).

Sin embargo, ahora el sensor de corriente detecta todos los fallos de circuito abierto y el 82% de fallos GOS, datos sensiblemente superiores a los obtenidos cuando, en el apartado anterior, se analizó el amplificador de transimpedancia como parte del convertidor DAC utilizando un sensor de corriente con carga resistiva.

La detección de los fallos catastróficos (Wlow) que implica una reducción de la anchura de canal del transistor hasta la mitad es superior con el test de corriente  $I_{DDT}$  (69%) que el test de tensión DC (54%). Sin embargo, la disminución de anchura en los transistores del par diferencial sólo es detectable por el test de tensión ya que no inducen una variación del transitorio de corriente suficiente para el BICS pero afectan severamente a la tensión de offset de salida del amplificador operacional.

<b>Amplificador transimpedancia</b>	<b><math>I_{DDT}</math></b>	<b>Salida DC</b>	<b>Fallos simulados</b>
$V_{TH0}$ detectados	18	17	26
$T_{OX}$ detectados	18	16	26
$\Delta L$ detectados	14	4	26
$\Delta W$ detectados	7	0	26

Tabla 5.11. Fallos paramétricos detectados por los test  $I_{DDT}$  y de Tensión DC en el amplificador de transimpedancia con el sensor de carga inductiva

El test  $I_{DDT}$  presenta mejor nivel de detección que el test de tensión DC para todo tipo de fallos paramétricos según se puede apreciar en la tabla 5.11. A pesar de que algunos de los fallos simulados no llegan a producir circuitos defectuosos (por ejemplo variación en  $T_{OX}$  del transistor que implementa la resistencia de compensación) ninguno de los dos métodos de test llega a ser exhaustivo. El bajo nivel de detección de fallos  $\Delta W$  (y en menor medida de  $\Delta L$ ) es debido al gran tamaño de los transistores en las etapas diferencial y de polarización (para eliminar el efecto del desacoplo aleatorio) y en la etapa de salida (para proporcionar los niveles de corriente) del amplificador operacional.

Se detectan más fallos cuando la transformación corriente a tensión es realizada con la carga inductiva debido al incremento de la sensibilidad del BICS como se puede apreciar en la simulación de la figura 5.19. El transitorio de la corriente a través del par diferencial  $I_S$  (segunda gráfica) da lugar a una mayor variación en la tensión procesada por el sensor de carga dinámica (gráfica inferior) que a la procesada por el sensor de carga resistiva (tercera forma de onda) y por tanto la anchura del pulso de salida del BICS es capaz de discriminar entre menores diferencias de corriente en circuito bajo test.

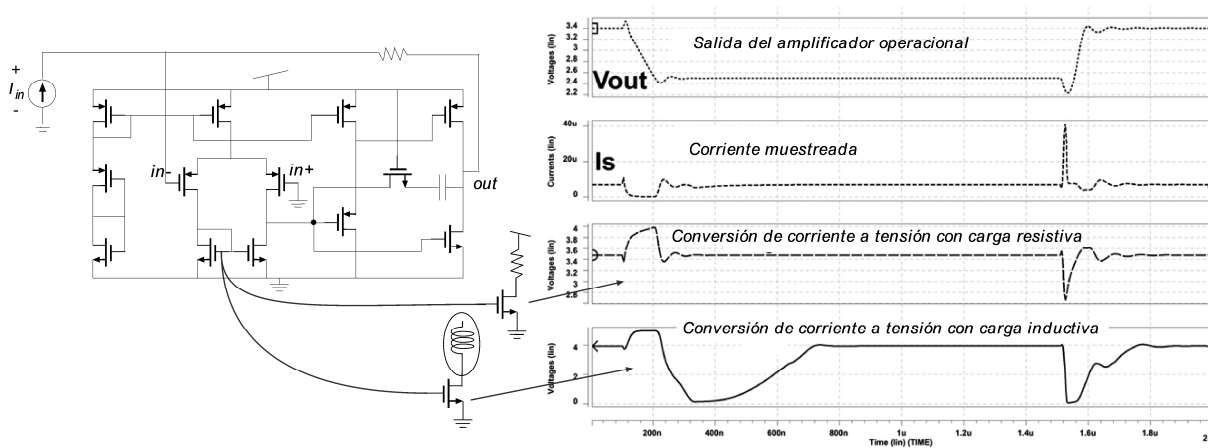


Figura 5.19. Procesado de la corriente del CUT por los BICS con carga resistiva e inductiva.

**Medidas experimentales.** Para validar la utilización del BICS como método de detección de test se ha fabricado un amplificador operacional [Moz04b]. En el chip se han incluido versiones del amplificador con las dos versiones del sensor de corriente.

Durante las medidas el amplificador operacional se ha configurado como seguidor de tensión al que se le aplica un pulso de tensión con niveles entre 1.5 y 3.5 voltios. El periodo de la señal se establece en 20  $\mu$ s dado que el amplificador operacional tiene un producto de ganancia por ancho de banda (GBP) relativamente bajo.

Las medidas realizadas corroboran la mayor duración de los pulsos de salida del BICS con carga inductiva (figura 5.20). En la parte superior de la captura del osciloscopio se encuentra la tensión de entrada y la tensión de salida del circuito en configuración de seguidor. La gráfica inferior muestra la salida del sensor con carga resistiva (figura 5.20a) y con carga inductiva (figura 5.20b).

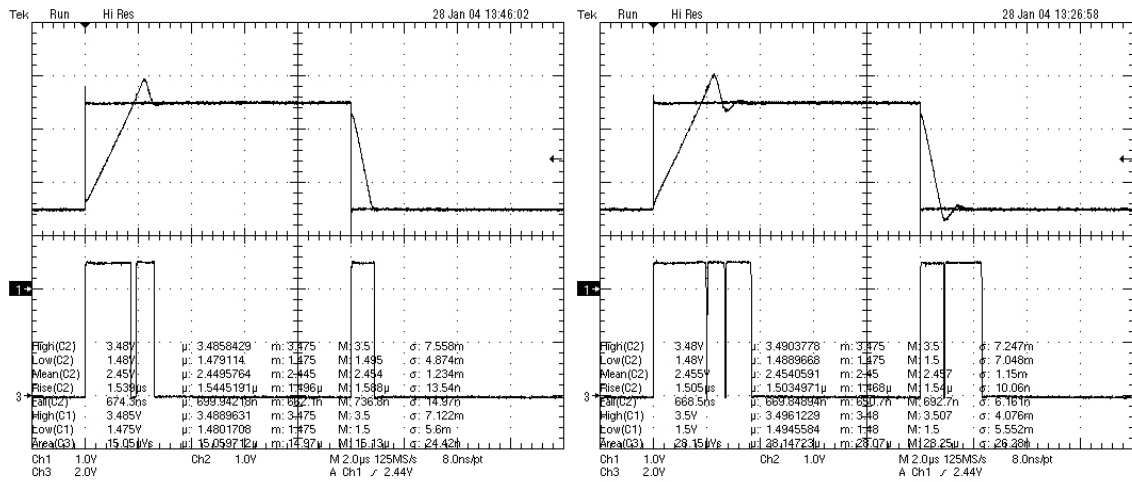


Figura 5.20. Medidas del seguidor de tensión (a) BICS resistivo y (b) con BICS inductivo

Otro módulo fabricado incluye el sensor de corriente con carga inductiva junto con la posibilidad de habilitar tres diferentes defectos en el amplificador operacional para estudiar tanto el funcionamiento del circuito bajo test como el comportamiento del BICS.

Los defectos inyectados tienen un comportamiento paramétrico porque están implementados con un transistor NMOS ( $1\mu\text{m}$  de anchura de canal y  $80\mu\text{m}$  de longitud) cuya resistencia de conducción es superior a los  $250\text{K}\Omega$  (figura 5.21). Los defectos emulan un desacoplo en la corriente del par diferencial (F1), un agujero en el óxido del condensador de compensación (F2) y una pequeña desviación en la corriente proporcionada por la etapa de polarización (F3). Un multiplexor analógico permite seleccionar uno o ninguno de estos tres fallos.

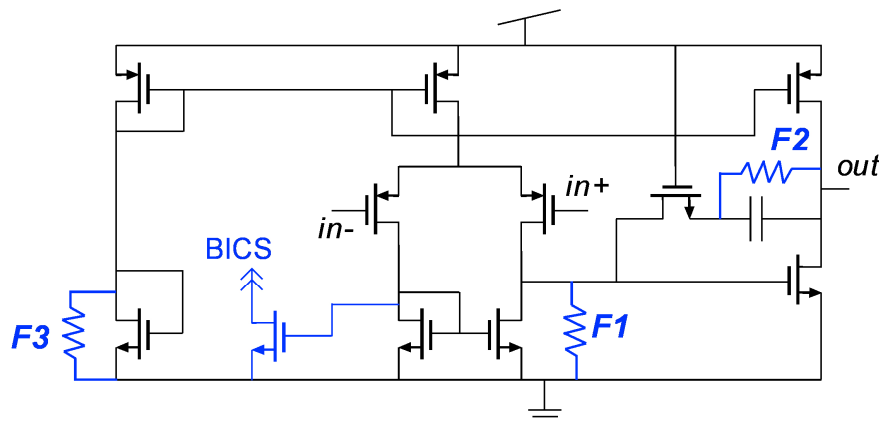


Figura 5.21. Amplificador operacional con los fallos inyectados

La figura 5.22 muestra la medidas obtenidas para el seguidor de tensión libre de fallos (figura 5.22a) y con los fallos activados. La entrada y salida del seguidor de tensión se muestran en la parte superior mientras que la salida del sensor de corriente aparece en la parte inferior.

El parámetro utilizado para discriminar el circuito libre de fallo del defectuoso es el ancho de pulso del BICS dado que está relacionado con los transitorios de corriente a través del circuito bajo test. Un post-procesado final se puede realizar fácilmente con equipos de test de bajo



coste. Puede utilizarse un contador digital para estimar el tiempo en que la señal está en nivel alto y en nivel bajo o también puede realizarse una integración durante el periodo del vector de test para, con un comparador, establecer un criterio pasa/no\_pasa comparando los datos obtenidos para el CUT con los esperados para un dispositivo que funcione adecuadamente.

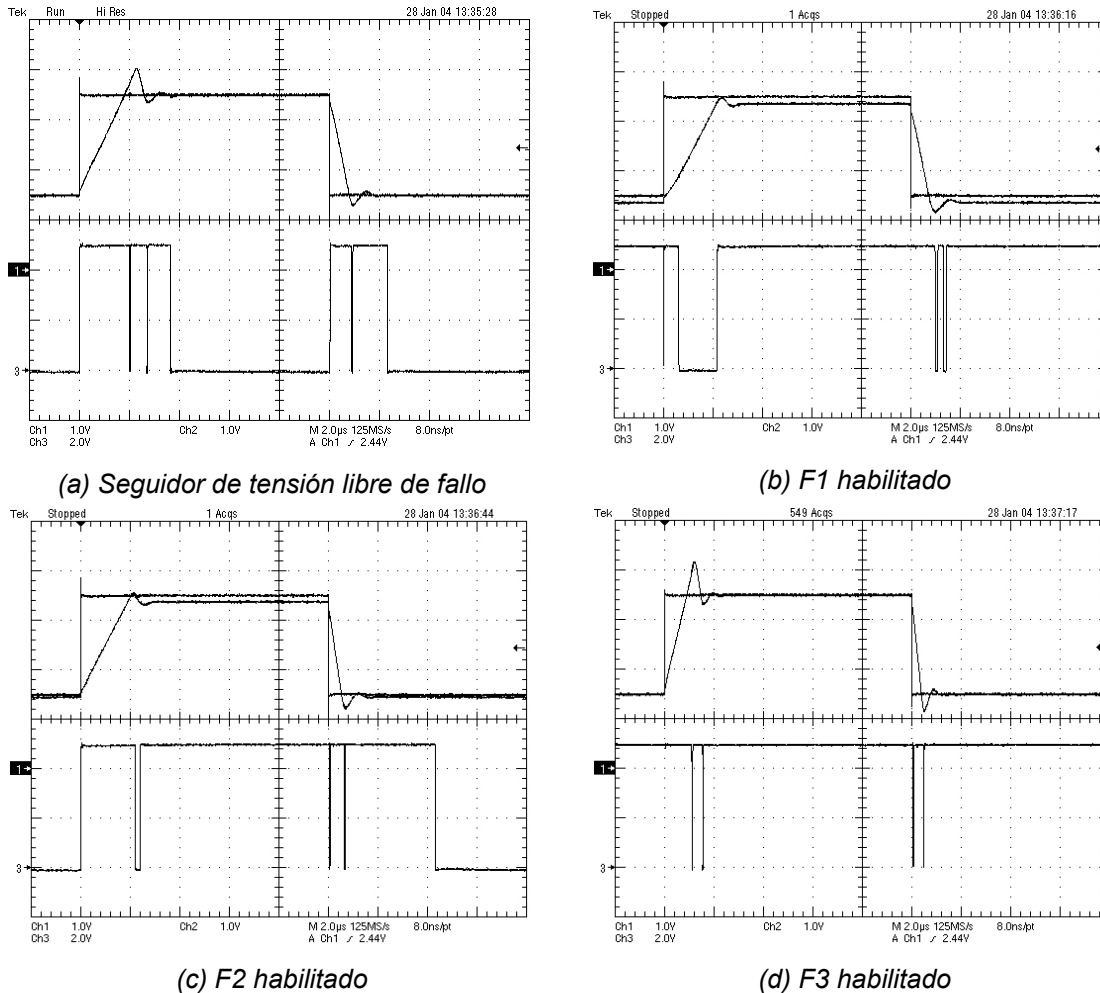


Figura 5.22. Medidas de la salida del CUT y del BICS para el circuito libre de fallo y con los tres fallos

Los valores medidos para las cuatro gráficas de la figura 5.22 se resumen en la tabla 5.12. Además de la anchura del pulso del BICS ( $I_{DDT}$ ), se muestran el nivel de tensión de continua alto (Nivel DC alto) y el nivel de tensión bajo (Nivel DC bajo) para la salida del seguidor de tensión.

	$I_{DDT}$	Nivel DC alto	Nivel DC bajo
Libre de fallo	5.65 $\mu$ s	3.50 V	1.50 V
F1	17.97 $\mu$ s	3.36 V	1.37 V
F2	13.91 $\mu$ s	3.38 V	1.46 V
F3	19.67 $\mu$ s	3.50 V	1.49 V

Tabla 5.12. Medidas de la salida del CUT y del BICS para el caso libre de fallo y en fallos

Aunque los tres fallos producen una variación pequeña de los niveles de continua en la salida del amplificador operacional, casi despreciable en F3, todos ellos inducen un gran cambio en la anchura de pulso del sensor de corriente y por consiguiente son fácilmente detectables con el método de test propuesto.

Una de las limitaciones del sensor de corriente es su dependencia de los parámetros del proceso de fabricación debido especialmente a que pequeñas variaciones en la carga inductiva, bien debida al punto de trabajo de los transistores bien debida al valor de la capacidad construida a partir de un transistor, afectan al valor de la inductancia en el diseño.

<b>Salida sensor</b>	<b>Valor típico</b>	<b>Valor medio</b>	<b>Desviación estándar</b>
Libre de fallo	2.67 $\mu\text{s}$	3.28 $\mu\text{s}$	1.46 $\mu\text{s}$
F1	18.85 $\mu\text{s}$	15.86 $\mu\text{s}$	5.82 $\mu\text{s}$
F2	13.29 $\mu\text{s}$	12.58 $\mu\text{s}$	2.61 $\mu\text{s}$
F3	19.84 $\mu\text{s}$	19.66 $\mu\text{s}$	0.81 $\mu\text{s}$

Tabla 5.13. Simulación de Montecarlo de la salida del sensor de corriente

La simulación de Montecarlo del circuito fabricado se muestra en la tabla 5.13. La dispersión de la anchura de pulso del BICS se aprecia a través del alto valor de la desviación estándar. Esta variación debe tenerse en cuenta a la hora de establecer los límites de detección del circuito y para fijar unos valores adecuados exige el conocimiento del valor de los parámetros del proceso o la disponibilidad de un circuito cuyo funcionamiento se pueda tomar como referencia (Golden device). A pesar de esta dispersión, la salida del sensor de corriente permite en nuestro caso diferenciar claramente entre el circuito libre de fallo y los circuitos defectuosos.

#### 5.4.2.2 Celda de memoria S<sup>2</sup>I

Para comprobar que el método de test propuesto no sólo es válido para circuitos continuos sino que también se puede aplicar a circuitos de corriente conmutadas se analiza su desempeño en una celda de memoria cascode S<sup>2</sup>I [Moz01][Lec02a][Lec02b]. El circuito está formado por dos transistores NMOS y dos transistores PMOS que constituyen las memorias gruesa y fina respectivamente (figura 5.23).

El sensor de corriente replica la corriente que circula por la celda S<sup>2</sup>I utilizando un transistor de muestreo MS que comparte la fuente y la puerta del transistor MC. El drenador de MS está conectado a la carga inductiva para obtener una tensión que refleje la duración y amplitud de los transitorios de la corriente del CUT. La señal es finalmente digitalizada por un comparador de ventana.

El modelo de fallos considera los defectos que aparecen más frecuentemente en un proceso CMOS. Al igual que en los casos anteriores incluye cortocircuitos entre los terminales de los transistores, fallos de circuito abierto en el drenador, fuente y puerta. Los cortocircuitos se han emulado con resistencias de 100 $\Omega$  y los circuitos abiertos con una resistencia de 10M $\Omega$  en

paralelo con un condensador de 1 fF. También se han incluido fallos GOS entre puerta-substrato considerando diversos valores de resistencia y posición del defecto (capítulo dos).

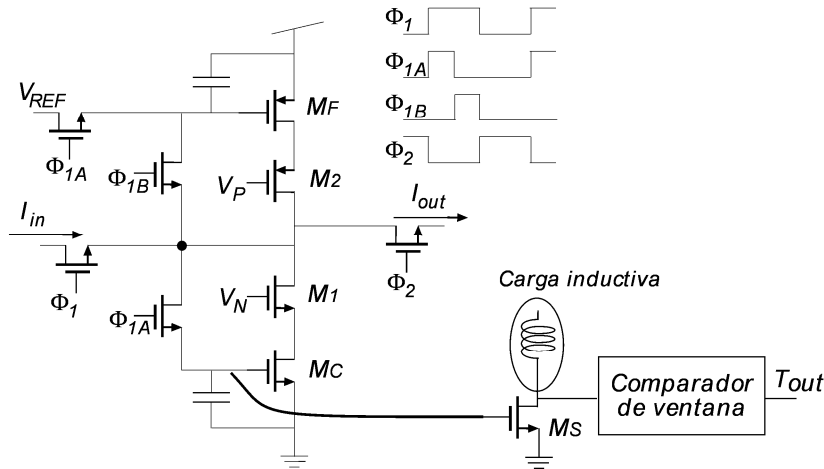


Figura 5.23. Celda de memoria  $S^2I$  con el sensor de corriente

El objetivo de los vectores de test en el método  $I_{DDT}$  es hacer máxima la diferencia de la forma de onda de la corriente que circula por el circuito defectuoso de la que circula por el circuito libre e fallos. En este caso aplicaremos un pulso de corriente a la entrada. Dado que la celda  $S^2I$  ha sido diseñada con una corriente de polarización de  $100\mu A$  la amplitud del pulso de corriente se ha establecido en  $20\mu A$ , valor que permite un gran cambio en el punto de trabajo individual de los transistores a la vez que mantiene a la celda en su rango de funcionamiento seguro.

El parámetro que determina la calificación de un circuito como defectuoso en el método de test propuesto es, nuevamente, la anchura de los pulsos a la salida del BICS. Para analizar la eficacia de la propuesta de test se aplica, en paralelo, un test funcional que utiliza como parámetro de detección el error en el almacenamiento de corriente de la celda  $S^2I$  [Ren99a]. Es decir, la corriente de salida menos la corriente de entrada del ciclo de reloj anterior.

Como se ha comprobado anteriormente, las variaciones del proceso de fabricación repercuten fuertemente en la polarización del circuito que emula la inductancia y en el comparador de ventana lo cual, a su vez, provoca una gran dispersión de la anchura del pulso del sensor. Por tanto, para establecer los límites de detección de fallos es necesario conocer bien los valores reales de los parámetros del proceso de fabricación o establecer una comparación de la salida del BICS con un circuito que se sepa que funciona correctamente. En esta evaluación se ha considerado que una variación de 50ns en la anchura de pulso del sensor, respecto al circuito libre de fallos, detecta un fallo. Este valor se ha elegido para acomodar la precisión de la medida y otras influencias como el efecto de la carga o la presencia ruido.

Para el test funcional se considera que una discrepancia entre la corriente de salida y de entrada de la celda de memoria mayor que un microamperio clasifica al circuito simulado como defectuoso. Este valor ( $1\mu A$ ) se ha escogido por reflejar las prestaciones de un multímetro de baja resolución.

<b>Celda de memoria <math>S^2I</math></b>	<b><math>I_{DDT}</math></b>	<b>Error de corriente</b>	<b>Fallos simulados</b>
Cortocircuitos detectados	24	21	26
Abiertos detectados	20	12	25
GOS detectados	52	46	69

Tabla 5.14. Fallos detectados en la celda de memoria  $S^2I$

La tabla 5.14 muestra los fallos detectados por el método de test propuesto ( $I_{DDT}$ ) y por el error en la copia de corriente de acuerdo al modelo de fallos catastrófico considerado. La figura 5.24 muestra las figuras de cobertura para el mismo caso.

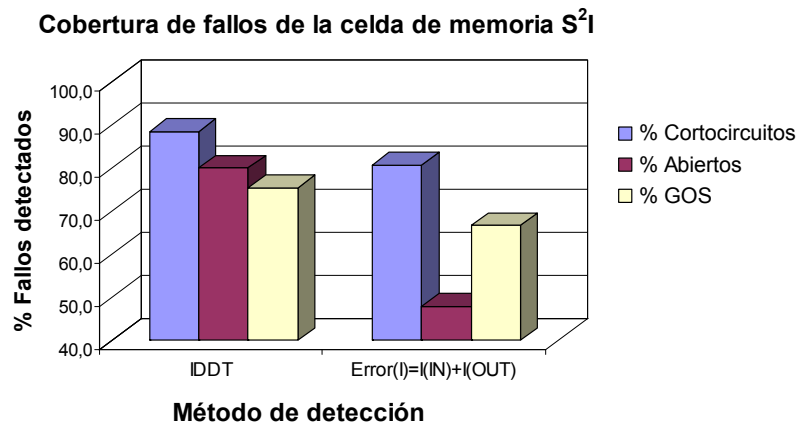


Figura 5.24. Cobertura de fallos de la celda de memoria  $S^2I$

Existen dos fallos de cortocircuito que no son detectados. Uno de ellos es el cortocircuito entre el drenador y la fuente del transistor cascode PMOS del elemento de memoria fina (M2). La resistencia que modela el fallo provoca una variación de 35ns del pulso de salida del sensor. El otro fallo es un cortocircuito entre los extremos de la llave que conecta el transistor de memoria fina (MF) a la tensión de referencia  $V_{REF}$ . Este fallo elimina la corrección del almacenamiento de la corriente en el transistor grueso MC por el elemento de memoria fina MF, pasando la celda de memoria de ser del tipo  $S^2I$  a ser sólo de tipo SI. Los errores que inducen ambos fallos en el almacenamiento de corriente también están debajo del umbral de detección del test funcional.

Todos los fallos de circuito abierto de drenador y fuente de los transistores de los elementos de memoria (MC, MF, M1 y M2) son detectables tanto por el test  $I_{DDT}$  como por el test funcional, mientras que fallos de circuito abierto que se corresponden a las puertas de transistores polarizados con tensiones DC no son detectados por ninguno de los dos métodos debido al modelo eléctrico elegido para este defecto ( $R=10M\Omega$ ). Sin embargo, los fallos en las llaves que dan lugar a un retraso en la apertura o cierre de las llaves de la celda  $S^2I$  son detectados por el test  $I_{DDT}$  pero en algunos casos al realizarse el test funcional al final del ciclo de reloj las corrientes del circuito ya se han asentado y su efecto no se refleja en la salida.

En la celda de memoria el estudio de la corriente transitoria  $I_{DDT}$  permite la detección de un número de fallos mayor que el análisis que se concentra exclusivamente en la diferencia de

corriente entre la entrada y la salida. La razón es que ciertos fallos, como los que afectan a los transistores cascode y a algunas de las llaves de la celda inducen errores en la corriente continua de almacenamiento por debajo del umbral de detección. Si embargo, sus efectos en los transitorios de corriente son detectados por el BICS.

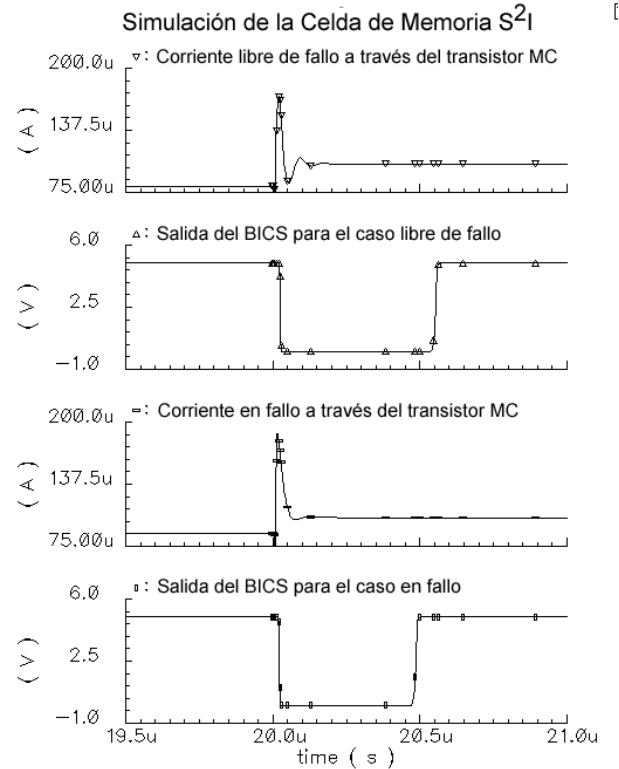


Figura 5.25. Detección del fallo de cortocircuito DS en el transistor cascode NMOS

Como se aprecia en la figura 5.25, el fallo de cortocircuito (modelado por una resistencia de  $100\Omega$ ) entre el drenador y la fuente del transistor cascode NMOS decrece la anchura del pulso de salida del sensor hasta 570ns (gráfica inferior) desde los 690ns del caso libre de fallo (segunda forma de onda). Mientras que solo crea un error de  $0.7\mu\text{A}$  en la corriente de salida de la celda de memoria sobre los  $20\mu\text{A}$  del pulso de corriente de entrada. Este fallo tampoco hubiese sido detectado por el test  $I_{DDT}$  si el BICS utilizase una carga resistiva para realizar la conversión corriente-tensión, dado que la diferencia en la forma de onda de la corriente a través del transistor de memoria gruesa (MC) entre el caso libre de fallo (onda superior) y el caso en fallo (tercera gráfica) se concentra en la pendiente del transitorio. Información que se prioriza con el uso del sensor con carga inductiva.

Se ha extendido la aplicación del método de test a un integrador formado por dos celdas  $S^2I$  con el fin de comprobar como los fallos de una de las celdas  $S^2I$  afectan a la otra y si un único BICS, acoplado exclusivamente a esta segunda celda, puede detectar todos los fallos del circuito [Lec02b]. El esquemático del integrador de corriente conmutada junto con el sensor de corriente se muestra en la figura 5.26.

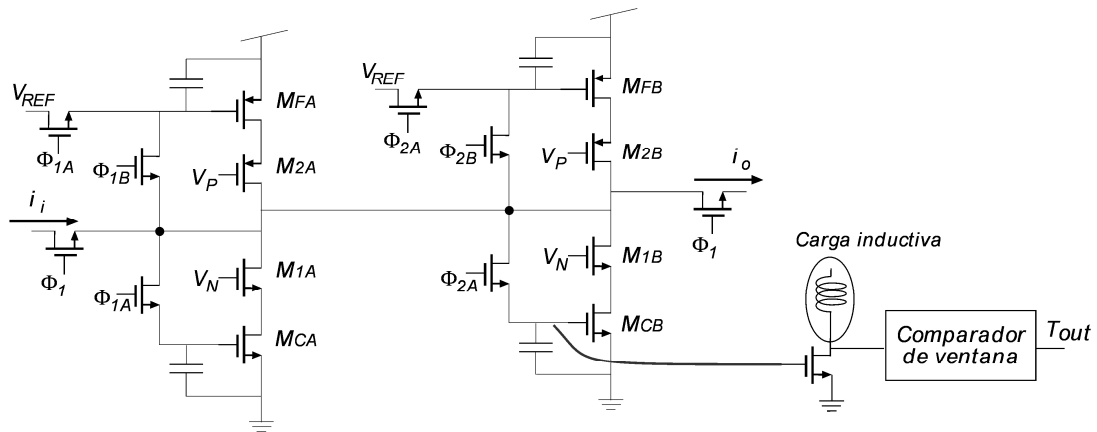


Figura 5.26. Integrador basado en celdas de memoria  $S^2I$  junto con el BICS para el test  $I_{DDT}$

En el caso del integrador se observa que cualquier fallo que se produce en la primera celda tiene una importante influencia en la segunda y viceversa. El motivo es su conexión directa (sin llave intermedia) entre los elementos de memoria fina y gruesa de ambas celdas. Por tanto el sensor de corriente es capaz de detectar los mismos fallos reportados en el estudio de cada celda por separado.

#### 5.4.2.3 Bloques $S^2I$ de un convertidor A/D

La evaluación de fallos en el convertidor analógico-digital  $S^2I$  se ha centrado en el análisis de las celdas que implementan el algoritmo serie de conversión [Lec02c][Lec03a][Lec03b][Lec04]. La sección digital que controla la secuenciación de las diversas fases de reloj del sistema y la lógica que construye la palabra de salida del ADC no se han considerado en este trabajo. Tampoco se estudia los comportamientos del comparador de corriente o del bloque generador de corriente de referencia. Todos estos módulos pueden ser analizados por el método  $I_{DDT}$  propuesto anteriormente para las celdas digitales y los amplificadores continuos.

El método de test realizado se basa en analizar las variaciones de corriente a través de una celda de corriente. Se ha analizado la influencia de los fallos de una celda en el funcionamiento de demás celdas  $S^2I$  del ADC para determinar la mejor posición del sensor de corriente a la vez que tratamos de minimizar el número de BICS que hay que integrar junto al CUT. El fenómeno de reflexión de fallos no depende directamente de las llaves internas de cada celda sino de los interruptores que las conectan entre sí. Es entonces cuando el desbalance en el funcionamiento de una de ellas afecta a las demás variando la forma de onda de la corriente que la atraviesa. Por tanto, con objeto de determinar como los fallos en las diversas celdas inducen cambios de corriente en las demás, el sensor de corriente transitoria se acopla al transistor de memoria gruesa MC de la última de ellas.

El BICS realiza una traslación directa de corriente muestreada a tensión empleando la carga inductiva. Esta tensión se compara con dos niveles de referencia para obtener una firma digital del funcionamiento del circuito. Se utiliza una implementación  $S^2I$  para cada una de las tres celdas de corriente cuya vista simplificada aparece en el diagrama de bloques del ADC (figura 5.27).

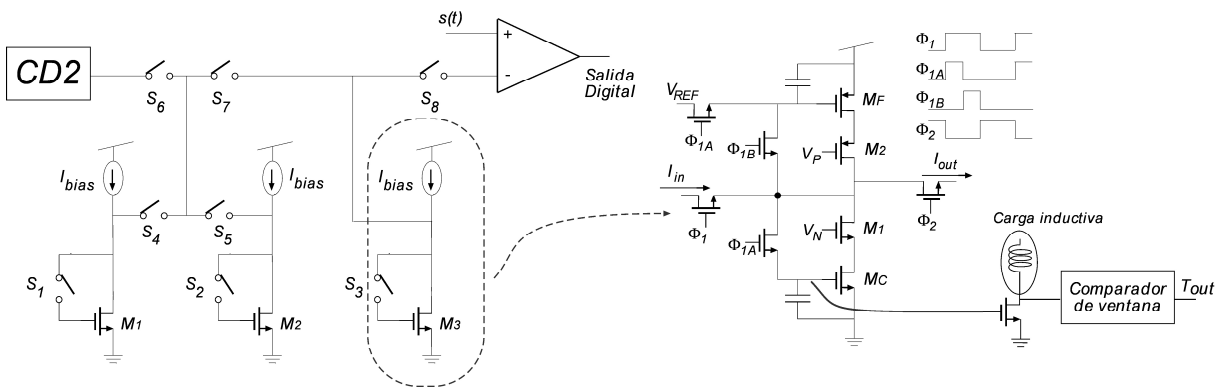


Figura 5.27. Celdas de memoria de corriente fabricadas y acoplo del BICS

Para simplificar el vector de test, en esta evaluación de fallos, se considera una corriente continua en la entrada del convertidor. Los transitorios que recogerá el sensor de corriente van a ser generados por las llaves ( $\phi_{1a}$ ,  $\phi_{1b}$ ,  $\phi_{2a}$ ,  $\phi_{2b}$ ) al cambiar el modo de operación de los transistores de las celdas de memoria durante las sucesivas etapas del ciclo de conversión. El análisis de la salida del sensor de corriente se realiza durante la ventana temporal en la que las tres celdas de memoria  $S^2I$  están interconectadas para facilitar la reflexión de los fallos de una de ellas en el funcionamiento de las demás.

Los valores límite para la detección de fallos se han establecido mediante el análisis de las señales del circuito libre de fallo y en presencia de fallo. Como se ha comentado anteriormente no solo el CUT sino también el BICS son sensibles a variaciones en los parámetros del proceso de fabricación. Por lo que se asume que se dispone de sus valores o en su defecto un circuito que funcione apropiadamente para obtener la firma del circuito libre de fallo. Se considera que una desviación mayor que 100ns en la anchura de cualquiera de los pulsos de salida del sensor clasifica al circuito como defectuoso para tener en cuenta la resolución de la medida y el efecto del ruido.

El modelo de fallos ha sido aplicado a los transistores de los elementos de memoria gruesa y fina (MC, M1, MF y M2) y considera un conjunto de fallos catastróficos formados por tres cortocircuitos, tres circuitos abiertos, nueve GOS puerta-substrato en transistores MOS y tres GOS puerta-substrato en transistores PMOS.

	<b>Fallos simulados</b>	<b>Celda 2</b>	<b>Celda 3</b>
Cortocircuitos detectados	12	1	10
Abiertos detectados	12	0	9
GOS detectados	24	17	19

Tabla 5.15. Fallos detectados en la celda de memoria  $S^2I$

Todos los fallos se han inyectado en la primera celda mientras que el sensor de corriente muestrea el transistor del elemento de memoria gruesa MC de la segunda celda (Celda 2) o de la tercera (Celda 3). Durante el instante de evaluación, llevado a cabo por el BICS, las dos primeras celdas están transfiriendo corriente a la tercera. Esto significa que sus transistores

están en diferentes modos de funcionamiento lo cual tiene un importante efecto en la reflexión de los fallos como se puede apreciar en las figuras de cobertura (tabla 5.15).

Los resultados son los mismos cuando los fallos se inyectan en la segunda celda y cuando se inyectan en la primera celda dado que el modo de funcionamiento, durante la evaluación del sensor, es el mismo en ambas celdas. Para fallos inyectados en la tercera celda estamos en las mismas condiciones que en el caso de la celda de memoria S<sup>2</sup>I aislada y por tanto la cobertura viene dada por los datos del apartado anterior.

Sólo uno de los fallos de cortocircuito (drenador-fuente en MC) y ninguno de los circuitos abiertos inyectados en la primera celda pueden ser detectados colocando el BICS en la segunda celda. Esto ocurre porque, durante el periodo de medida, las celdas 1 y 2 ya han llevado a cabo el almacenamiento de corriente y la carga de sus condensadores por lo que tienden a mantener las mismas corrientes y tensiones que en la fase de operación anterior.

Sin embargo, el sensor situado en la tercera celda es capaz de detectar la mayoría de los fallos. Solo los dos cortocircuitos drenador-fuente de los transistores cascode M1 y M2 inducen una variación de corriente por debajo de su umbral de detección.

Dos de los circuitos abiertos no detectados se corresponden con abiertos de puerta en los dos transistores cascode donde, al estar conectados a una tensión de continua, la resistencia que modela el circuito abierto no tiene ninguna influencia en su punto de trabajo. El tercer circuito abierto de puerta corresponde al transistor de memoria fina MF, este fallo evita la corrección del error de almacenamiento en el elemento de memoria gruesa y convierte la celda S<sup>2</sup>I en una celda SI.

El BICS también puede acoplarse al transistor MF del elemento de memoria fina. En este caso la detección de fallos disminuye drásticamente porque el transistor MF sólo almacena la corrección de los errores en la carga del elemento de memoria gruesa MC y por tanto experimenta menores variaciones en su corriente de polarización.

Los fallos GOS que permanecen sin detectarse en la simulación son los correspondientes al transistor cascode del elemento de memoria fina (M2) y a todos los GOS donde el defecto se modela por resistencias de 1M $\Omega$  debido a su alto valor óhmico.

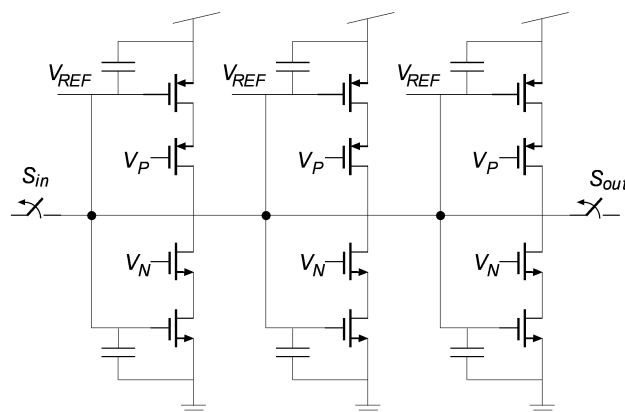


Figura 5.28. Reconfiguración de las celdas de memoria durante la etapa de test



Se ha comprobado que los datos de cobertura son mejores cuando el sensor está situado en la celda analizada que cuando el fallo se inyecta en una celda diferente porque su efecto se refleja más débilmente. Esto ocurre, por ejemplo, con el fallo drenador-fuente del transistor cascode del elemento de memoria gruesa detectable en el primer caso pero no el segundo. Esta idea se puede desarrollar para implementar un método específico de funcionamiento en modo test reconfigurando el esquema de las fases de reloj similar al propuesto en [Ren99c]. Se conectarán las tres celdas de tal forma que se conviertan en un conjunto equilibrado, aislado de cualquier entrada o salida que no esté relacionada con el intercambio de carga entre las celdas tal y como se muestra en la figura 5.28.

En esta configuración obtenemos tres celdas iguales que tienen todas sus llaves cerradas al mismo tiempo y por tanto la misma corriente de drenador circula por cada transistor de los elementos de memoria fina gruesa. Por tanto un defecto en uno de ellos romperá el equilibrio y las corrientes resultantes serán diferentes de las esperadas incluso para las celdas libres de fallo.

Por ejemplo, un fallo de circuito abierto en el drenador del transistor del elemento de memoria fina de la primera celda desconecta una de las ramas de  $V_{DD}$  (figura 5.29) haciendo nula su aportación de corriente. En estas condiciones los elementos de memoria gruesa modifican su corriente en  $\delta J$  para compensar la reducción y el fallo puede ser detectado con un único BICS muestreando cualquiera de las tres celdas.

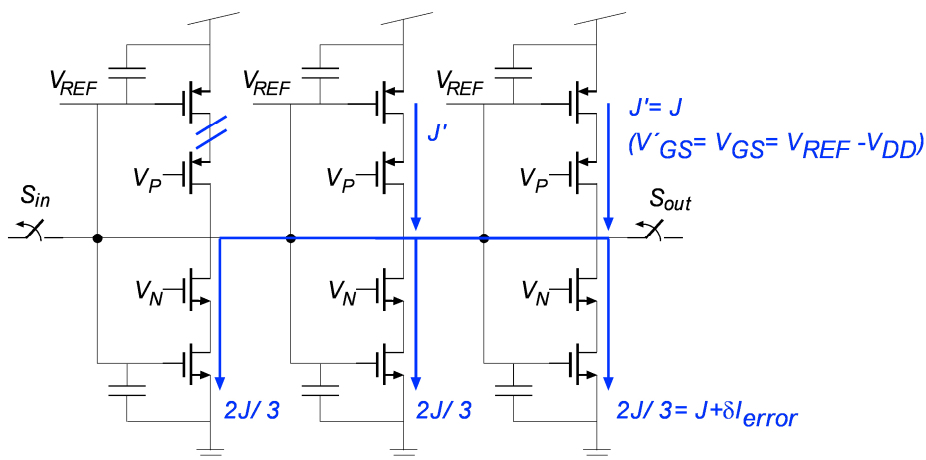


Figura 5.29. Ejemplo de reflexión de fallos

Comparando ambos modos de test, la reconfiguración del circuito permite relajar las especificaciones del diseño del sensor puesto que los mismos fallos inducen mayor variación en la forma de onda de la corriente. Sin embargo, este último método tiene la desventaja de que necesita modificar la secuencia de activación de los relojes que controlan las llaves por lo que solo es rentable para circuitos complejos donde la reflexión de los fallos entre las celdas adyacentes no sea lo suficientemente buena para permitir su detección por un único BICS.

**Resultados experimentales.** Se ha fabricado un circuito que contiene las tres celdas de memoria  $S^2I$  y la lógica de control necesaria para implementar el algoritmo del convertidor A/D con el BICS acoplado al transistor del elemento de memoria gruesa MC de la tercera celda [Lec04].

En el chip, junto con el circuito original, se han incluido varias versiones cada una de ellas con un defecto diferente. Estos defectos dan lugar a fallos catastróficos consistente entre cortocircuitos y circuitos abiertos [Mil89].

El vector de test utilizado en este experimento es una corriente de continua con un nivel de  $10\mu A$  mientras que cada celda de memoria  $S^2I$  ha sido polarizada con una corriente de  $90\mu A$ . El parámetro medido en el chip es la tensión analógica resultante de la conversión de la corriente muestreada en la tercera celda del CUT sin pasar por el comparador de ventana. Dado que la señal no tiene niveles lógicos los fallos se consideran detectados si esta se desvía significativamente de la señal medida para el caso libre de fallo.

Se han elegido siete de los fallos anteriormente simulados incluyendo los que, induciendo el menor cambio en la corriente transitoria, son más difíciles de detectar con el objetivo de poder extrapolar los resultados a los demás fallos (tabla 5.16).

<b>Fallo</b>	<b>Transistor</b>	<b>Localización</b>	<b>Detectada</b>
Cortocircuito DS	MC	Celda 1	SI
Cortocircuito DS	MF	Celda 1	SI
Cortocircuito DS	M1	Celda 1	NO
Circuito abierto D	M2	Celda 1	SI
Cortocircuito GD	MF	Celda 1	SI
Circuito abierto D	M2	Celda 3	SI
Cortocircuito DS	M1	Celda 3	SI

Tabla 5.16. Resultados experimentales de detección en las tres celdas  $S^2I$  del ADC

Ambos fallos inyectados en la celda 3, cuya corriente es directamente analizada por el sensor, son detectables incluyendo el cortocircuito drenador-fuente del transistor cascode del elemento de memoria gruesa M1. Sin embargo, este mismo fallo en una de las celdas vecinas es el único que permanece sin detectar al no generar la suficiente variación de corriente en el transistor monitorizado por el BICS (MC celda 3) para que la salida analógica del sensor pueda reconocerlo.

Un ejemplo de detección se muestra en la figura 5.30. El fallo es un cortocircuito drenador-fuente en el transistor de memoria fina MF de la celda 1. La salida analógica sensor de corriente, implementado en el chip, se desvía claramente de la esperada para el circuito libre de fallo, efecto que se mantendrá reconocible tras el comparador de ventana (no incluido) que debe digitalizar la señal.

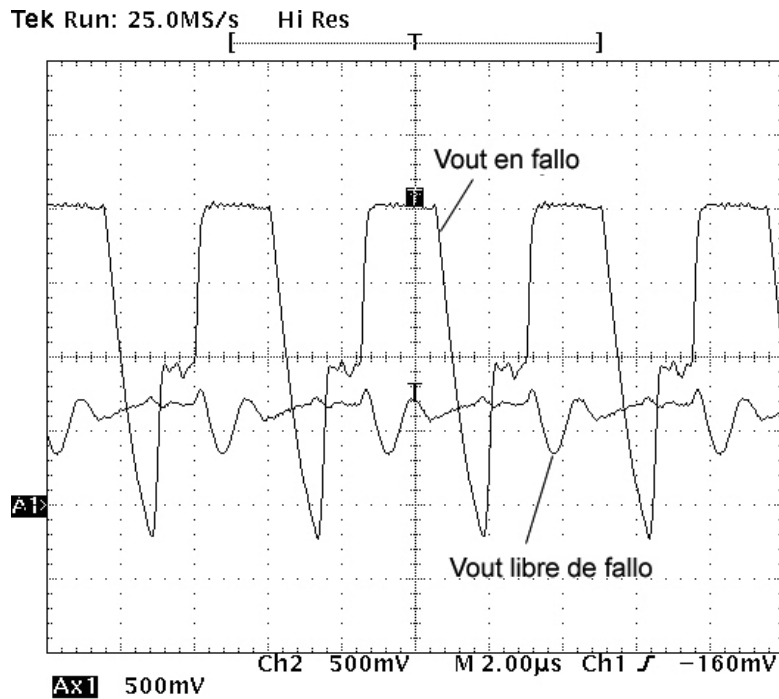


Figura 5.30. Ejemplo de la detección de un fallo

La validación experimental nos permite corroborar la alta cobertura de fallos catastróficos que proporciona el método de test  $I_{DDT}$  propuesto. La integración de un sensor de corriente junto al CUT permite detectar no sólo los defectos que aparecen en la celda directamente muestreada sino la reflexión de los fallos en celdas adyacentes sin tener que recurrir a la reconfiguración de la secuencia de conmutación de los relojes del circuito [Lec05a].

## 5.5 CONCLUSIONES

En este capítulo se ha presentado el estudio del método de test  $I_{DDT}$  propuesto. Se basa en el análisis de la forma de onda de la corriente de alimentación a través de ramas seleccionadas del circuito bajo test. Para ello se ha diseñado un conjunto de sensores de corriente que se integran junto al CUT permitiendo realizar una medida precisa y un primer tratamiento de la señal internamente. De este modo se evita la degradación en la información que pueda introducir las capacidades asociadas a los pines del encapsulado del circuito integrado cuando se realiza una medida externa. El parámetro de evaluación es la anchura de los pulsos digitales a la salida del BICS.

Se ha diseñado un convertidor digital-analógico para realizar una evaluación de fallos utilizando, primero un modelo de fallos catastróficos a nivel de transistor y posteriormente un conjunto de fallos provenientes de un análisis inductivo de fallos sobre el layout del circuito. Un sensor muestrea en serie la corriente a través de los módulos digitales (flip-flops D y decodificador) con lo que se permite una detección de fallos de cortocircuito y puente similar a un test de corriente estacionaria  $I_{DDQ}$  pero mejora la cobertura de otros tipos de fallos como

circuitos abiertos y GOS. Los módulos analógicos del DAC (junto con un buffer en tecnología SOG) son analizados por un sensor que muestrea en paralelo la corriente que circula por la etapa diferencial del amplificador operacional. Este circuito permite un nivel de detección de fallos de cortocircuito mayor que un test funcional que analiza la salida en continua del circuito tanto para fallos de cortocircuito como de circuito abierto, GOS y en los componentes pasivos.

En el modelo de fallos utilizado en el proceso de evaluación presentado en este capítulo, los valores de la resistencia que modela los cortocircuitos y los circuitos abiertos se han tomado en la simulación como  $100\Omega$  y  $10M\Omega$  respectivamente. El valor real de un defecto físico depende del proceso de fabricación, las máscaras involucradas, el efecto físico que da lugar al fallo, la evolución del defecto con el tiempo, la temperatura, etc. Elegir un único valor es un compromiso entre la precisión y la complejidad de la simulación de fallos.

El modelo paramétrico utilizado considera cuatro parámetros SPICE distintos para el transistor en fallo. La variación del tamaño del transistor a través de los parámetros  $\Delta L$  y  $\Delta W$  permite tener en cuenta ciertas condiciones de desacoplo en los transistores. También, el variado rango de valores considerandos para la posición y resistencia de los GOS junto con el fallo de circuito abierto débil tienen efectos similares a algunos tipos de fallos paramétricos. Acotar el número de los fallos paramétricos considerados permite analizar la eficacia del método de test manteniendo manejable el proceso de simulación, a costa de descartar algunas combinaciones de los dispositivos en fallo y desviaciones de parámetros del proceso de fabricación que, cuando aparecen simultáneamente, pueden dar lugar a comportamientos erróneos del circuito bajo test.

El diseño para test del que forma parte la inclusión del sensor de corriente también se utiliza para realizar un proceso iterativo de simulación de fallos, evaluación de los resultados, análisis de la testabilidad del CUT y optimización/rediseño del CUT o los vectores de test con objeto de mejorar la cobertura de test. Por ejemplo, ayuda a escoger el diseño del flip-flop más robusto frente a fallos y testable. Al mismo tiempo el IFA permite optimizar el layout del circuito para disminuir o eliminar la probabilidad de aparición de fallos no detectables.

Con objeto de mejorar la detección de fallos por el BICS se ha diseñado un circuito que realiza la conversión de la corriente muestreada a la tensión de salida del sensor con una carga inductiva para enfatizar la información proporcionada por los componentes de mayor frecuencia de la corriente. Al mismo tiempo, la utilización de un comparador de ventana en el sensor con carga inductiva, en vez del comparador de un único nivel del sensor de carga resistiva, permite recoger más información de los transitorios de corriente del CUT. La mejora se ha validado con la evaluación de fallos de un amplificador de transimpedancia y con la fabricación y medida experimental de un amplificador operacional.

La estructura del sensor de corriente con carga inductiva da lugar a que el método de test  $I_{DDT}$  se vea afectado por la sensibilidad del BICS a variaciones en los parámetros del proceso de

fabricación. Por lo tanto, en algunos casos, es necesario conocer con precisión los parámetros del proceso o disponer de la firma digital medida de un circuito libre de fallo.

Para extender la utilidad del método  $I_{DDT}$  propuesto, este se aplica a circuitos de corrientes conmutadas comenzando con una sencilla celda de memoria  $S^2I$ , para pasar a un integrador  $S^2I$ , y finalmente a los bloques de corriente que implementan el algoritmo de conversión del un ADC  $S^2I$  serie. En todos los casos se obtiene una buena cobertura de fallos catastróficos utilizando un único sensor de corriente para todo el sistema de celdas de corriente.

Se ha fabricado un circuito de prueba, formado por las celdas  $S^2I$  que constituyen el ADC, para comprobar la concordancia entre los resultados de la evaluación de fallos y la cobertura medida por el BICS.

Los vectores de test deben provocar transiciones bruscas en la corriente a través de los transistores del CUT. Por eso basta utilizar como vectores de test, en la evaluación del test  $I_{DDT}$ , un conjunto reducido de transiciones en la entrada digital del DAC y un simple pulso de tensión o corriente en los módulos analógicos continuos y muestreados.

Un resumen de las ventajas e inconvenientes entre el método  $I_{DDT}$  propuesto y del test estructural o funcional utilizado como se referencia se muestra en las tablas 5.17 y 5.18.

<b>Test <math>I_{DDT}</math></b>	
<b>Ventajas</b>	<b>Inconvenientes</b>
Libertad de elección de la corriente muestreada	No válido para auto test, aunque es posible desarrollar esta característica
La medida de la salida analiza el funcionamiento del BICS al mismo tiempo	Es un método no estructurado que dificulta su inclusión en herramientas de ayuda al diseño CAD.
Se puede aplicar a un variado rango de circuitos	La salida del sensor necesita ser cableada fuera del chip
Bajo incremento de área del método de test	
Cobertura de fallos mayor que un test de corriente o tensión DC	

Tabla 5.17. Ventajas e inconvenientes del método de test  $I_{DDT}$  propuesto

<b>Test estructural</b>	
<b>Ventajas</b>	<b>Inconvenientes</b>
No requiere integrar circuitos adicionales de medida	Medida de la tensión de continua de la salida no es suficiente para obtener una alta testabilidad. Necesita complementarse con otros test como el test de corriente
Método de test estándar	La medida de la corriente estacionaria fuera del chip es más lenta
	No válido para auto test
	La resolución del equipo de medida debe tener más precisión que la corriente o tensión medida en el CUT

Tabla 5.18. Ventajas e inconvenientes del método de test estructural

En resumen, el método de test  $I_{DDX}$  propuesto proporciona una mayor cobertura de fallos que el conjunto de test estructurales utilizados como referencia. Cuando es necesario cuantificar las especificaciones del CUT sigue siendo obligatorio realizar un conjunto de test funcionales exhaustivos, ya que la aproximación de test propuesta está orientada hacia la detección de defectos en el circuito. El método de test presentado puede utilizarse para una primera clasificación de los circuitos (posiblemente a nivel de oblea) para detectar la gran mayoría de circuitos defectuosos y para complementar otro tipo de test funcional. El número de vectores de test mínimo y el bajo costo de los equipos de medida que se necesitan pueden acortar y abaratar el proceso de test de producción.

## BIBLIOGRAFÍA

- [Aim99] Y.E. Aimine, A. Richardson, C. Desclèves, K. Sommacal, "GDS FaultSim, a mixed-signal IC computer-aided-test (CAT) tool," Design, Automation and Test in Europe, 1999, pág. 232-238
- [Aus04] Austria Micro Systems, "0.35 um CMOS C35 process parameters," 2004
- [Bou06] A. Bounceur, S. Mir, L. Rolindez, E. Simeu, "CAT platform for analogue and mixed-signal test evaluation and optimization," International Conference on Very Large Scale Integration, 2006, pág. 320-325
- [Eld09] "Eldo," Mentor Graphics, [http://www.mentor.com/products/ic\\_nanometer\\_design/custom\\_design\\_simulation/eldo](http://www.mentor.com/products/ic_nanometer_design/custom_design_simulation/eldo)
- [Enc09] "Encounter true-time test," Cadence, [http://www.cadence.com/products/ld/true\\_time\\_test/Pages/default.aspx](http://www.cadence.com/products/ld/true_time_test/Pages/default.aspx)
- [Gia98] F. Giannini, E. Limiti, G. Orengo, P. Sanzi, "High-Q gyrator-based monolithic active tunable bandstop filter," IEE Proceedings Circuits Devices and Systems, vol. 145, n° 4, agosto 1998, pág. 243-246
- [Gro93] P. Groeneveld, P. Stravers, "Ocean: The sea-of-gates design system," Delft University of Technology, Holanda, febrero 1993
- [Hao91] H. Hao, E.J. McCluskey, "Resistive shorts within CMOS gates," IEEE International Test Conference, 1991, pág. 292-301
- [Haw94] C.F. Hawkins, J.M. Soden, A.W. Righter, F.J. Ferguson, "Defect classes – An overdue paradigm for CMOS IC testing," IEEE International Test Conference, 1994, pág. 413-425
- [Hen91] C.L. Henderson, J.M. Soden, C.F. Hawkins, "The behavior and testing implications of CMOS IC logic gate open circuits," IEEE International Test Conference, 1991, pág. 302-310
- [Hsp09] "HSPICE," Synopsys, <http://www.synopsys.com/products/mixedsignal/hspice/hspice.html>
- [Lec02a] Y. Lechuga, R. Mozuelos, M. Martínez, S. Bracho, "Built-in Dynamic current sensor for hard to detect faults in mixed signal ICs," Design, Automation and Test in Europe Conference and Exhibition, 2002, pág. 205-211
- [Lec02b] Y. Lechuga, R. Mozuelos, M. Martínez, S. Bracho, "Hard-to-detect faults by dynamic current sensor in analogue circuits," IEEE Latin-American Test Workshop, 2002, pág. 180-185
- [Lec02c] Y. Lechuga, R. Mozuelos, M. Martínez, S. Bracho, "Fault detection in algorithmic switched current ADC using built-in sensors," Design of Circuits and Integrated Systems Conference, 2002, pág. 339-344
- [Lec03a] Y. Lechuga, R. Mozuelos, M. Martínez, S. Bracho, "Test generation in algorithmic switched current ADCs," IEEE International Mixed Signal Testing Workshop, 2003, pág. 85-90
- [Lec03b] Y. Lechuga, R. Mozuelos, M. Martínez, S. Bracho, "Dynamic current testing strategies for  $S^2I$  algorithmic A/D converters," Design of Circuits and Integrated Systems Conference, 2003, pág. 237-242
- [Lec03c] Y. Lechuga, R. Mozuelos, M. Martínez, S. Bracho, "Built-in sensor based on current supply high-frequency behaviour," IEEE Electronics Letters, vol. 39, n° 10, 15 mayo 2003, pág. 775-777
- [Lec04] Y. Lechuga, R. Mozuelos, M.A. Allende, M. Martínez, S. Bracho, "Experimental analysis of transient current test based on  $\Delta I_{DD}$  variations in  $S^2I$  memory cells," Design of Circuits and Integrated Systems Conference, 2004, pág. 685-690
- [Lec05a] Y. Lechuga, R. Mozuelos, M. A. Allende, M. Martínez, S. Bracho, "Fault detection in switched current circuits using built-in transient current sensors," Journal of Electronic Testing: Theory and Applications, vol. 21, n° 6, diciembre 2005, pág. 583-598
- [Lec05b] Y. Lechuga, R. Mozuelos, M. Martínez, S. Bracho, "Test de preamplificadores promediados en convertidores A/D doblados," Seminario Anual de Automática, Electrónica Industrial e Instrumentación, 2005, pág. 77-81
- [Lec08] Y. Lechuga, A. Bounceur, R. Mozuelos, M. Martínez, S. Bracho, S. Mir, "Test limit evaluation for an ADC design-for-test approach by using a CAT platform," Design of Circuits and Integrated Systems Conference, 2008, artículo 1D-2

- [Mac96] J. Machado da Silva, J. Silva Matos, "Mixed current/voltage observation towards effective testing of analog and mixed-signal circuits," *Journal of Electronic Testing: Theory and Applications*, vol. 9, n° 1-2, 1996, pág. 75-88
- [Mal87] W. Maly, "Realistic fault modelling for VLSI testing," *ACM/IEEE Design Automation Conference*, 1987, pp 173-180
- [Mil89] L. Milor, V. Visvanathan, "Detection of catastrophic faults in analog integrated circuits," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 8, n° 2, febrero 1989, pág. 114-130
- [Mir97] S. Mir, A. Rueda, T. Olbrich, E. Peralias, J.L. Huertas, "SWITTEST: Automatic switch-level fault simulation and test evaluation of switched-capacitor systems," *Design Automation Conference*, 1997, pág. 281-286
- [Mos74] G.S. Moschytz, "Linear integrated networks: Fundamentals," Van Nostrand Reinhold, 1974.
- [Moz95] R. Mozuelos, J. Arguelles, M. Martínez, S. Bracho, "Test basado en  $I_{DDT}$  de un convertidor digital-analógico," *Congreso de Diseño de Circuitos Integrados y Sistemas*, 1995, pág. 53-58
- [Moz96] R. Mozuelos, N. Peláez, M. Martínez, S. Bracho, "Built-in current sensor in mixed circuit test based on dynamic power supply consumption," *IEEE International On-Line Testing Workshop*, 1996, pág. 25-28
- [Moz98a] R. Mozuelos, M. Martínez, S. Bracho, "Sensor performances in dynamic power supply current test," *IEEE Hot Topic Workshop on Current Testing for Analogue and Mixed Signal Devices*, 1998, pág. 44-48
- [Moz98b] R. Mozuelos, M. Martínez, S. Bracho, "Dynamic power supply current measurements for catastrophic and parametric fault detection," *IEEE International Mixed Signal Testing Workshop*, 1998, pág. 178-183
- [Moz99] R. Mozuelos, M. Martínez, S. Bracho, "Catastrophic and parametric fault detection by a transient current test," *Design of Circuits and Integrated Systems Conference*, 1999, pág. 101-106
- [Moz01] R. Mozuelos, M. Martínez, S. Bracho, "Built-in sensor based on the time-variation of the transient current supply in analogue circuits," *Design of Circuits and Integrated Systems Conference*, 2001, pág. 630-635
- [Moz03] R. Mozuelos, Y. Lechuga, M. Martínez, S. Bracho, "SC algorithmic ADC test with a built-in charge sensor," *Design of Circuits and Integrated Systems Conference*, 2003, pág. 231-236
- [Moz04a] R. Mozuelos, Y. Lechuga, M. Martínez, S. Bracho, "Characterization of an SC ADC by a built-in charge sensor," *IEEE International Mixed Signal Testing Workshop*, 2004, pág. 122-126
- [Moz04b] R. Mozuelos, Y. Lechuga, M.A. Allende, M. Martínez, S. Bracho, "Experimental evaluation of a built-in current sensor for analog circuits," *Design of Circuits and Integrated Systems Conference*, 2004, pág. 96-100
- [Moz05a] R. Mozuelos, Y. Lechuga, M. Martínez, S. Bracho, "Test of averaged preamplifiers in folded ADCs," *IEEE International Mixed Signal Testing Workshop*, 2005, pág. 286-289
- [Moz05b] R. Mozuelos, Y. Lechuga, M. Martínez, S. Bracho, "Design for test of high-speed folded ADCs," *Design of Circuits and Integrated Systems Conference*, 2005, artículo 8B-4
- [Moz05c] R. Mozuelos, Y. Lechuga, M. Martínez, S. Bracho, "Test of a switched-capacitor ADC by a built-in charge sensor," *Microelectronics Journal*, vol. 36, n° 12, diciembre 2005, pág. 1064-1072
- [Moz06a] R. Mozuelos, Y. Lechuga, M. Martínez, S. Bracho, "A DfT behavioural description for folded ADCs," *IEEE International Mixed Signal Testing Workshop*, 2006, pág. 206-211
- [Moz06b] R. Mozuelos, Y. Lechuga, M. Martínez, S. Bracho, "Behavioral model of folded and interpolated ADCs by using MATLAB," *Design of Circuits and Integrated Systems Conference*, 2006, artículo 8B-1
- [Moz07a] R. Mozuelos, Y. Lechuga, M. Martínez, S. Bracho, "A methodology for structural test of folded ADCs," *IEEE International Mixed Signal Testing Workshop*, 2007, pág. 206-211
- [Moz07b] R. Mozuelos, Y. Lechuga, M. Martínez, S. Bracho, "Behavioral modeling for a top-down design methodology of folded and interpolated ADCs," *Design of Circuits and Integrated Systems Conference*, 2007, pág. 116-121
- [Moz07c] R. Mozuelos, Y. Lechuga, M. Martínez, S. Bracho, "Structural DfT approach on folded ADCs," *IEEE International Conference on Electronics, Circuits and Systems*, 2007, pág. 226-229
- [Olb96a] T. Olbrich, R. Mozuelos, A. Richardson, S. Bracho, "Design-for-test (DfT) study in a current mode DAC," *IEEE Proceedings Circuits, Devices and Systems*, vol. 143, n° 6, diciembre 1996, pág. 374-379
- [Olb96b] T. Olbrich, J. Perez, I.A. Grout, A.M.D. Richardson, C. Ferrer, "Defect-oriented vs schematic-level based fault simulation for mixed-signal ICs," *IEEE International Test Conference*, 1996, pág. 511-520
- [Olb96c] T. Olbrich, A. Richardson, "Design and self-test for switched-current building blocks," *IEEE Design & Test of Computers*, vol. 13, n° 2, verano 1996, pág. 10-17
- [Ren99a] M. Renovell, F. Azais, J.C. Bodin, Y. Bertrand, "Testing switched-current memory cells using DC stimuli," *International Workshop on Design of Mixed-Mode Integrated Circuits and Applications*, 1999, pág. 25-28
- [Ren99b] M. Renovell, F. Azais, J.C. Bodin, Y. Bertrand, "Functional and structural testing of switched-current circuits," *European Test Workshop*, 1999, pág. 22-27
- [Ren99c] M. Renovell, F. Azais, J.C. Bodin, Y. Bertrand, "Mixed test strategy for switched-current circuits," *IEEE International Mixed-signal Testing Workshop*, 1999, pág. 177-193
- [Rod93] R. Rodríguez-Montañes, J. Figueras, A. Rubio, "Current vs. logic testability of bridges in scan chains," *European Design and Test Conference*, 1993, pág. 392-396
- [Sae95] G.E. Saether, C. Toumazou, G. Taylor, K. Eckersall, I.M Bell, "Concurrent self test of switched current circuits based on the  $S^2I$ -technique," *IEEE International Symposium on Circuits and Systems*, vol. 2, 1995, pág. 841-844

- [Sac93] M. Sachdev, "Defect oriented testability analysis of a class AB amplifier," Workshop on Defect and Fault Tolerance in VLSI Systems, 1993, pág. 319-326
- [Sac94] M. Sachdev, "Transforming sequential logic in digital CMOS ICs for voltage and  $I_{DDQ}$  testing," European Design and Test Conference, 1994, pág.361-365
- [Seb95] C. Sebeke, J.P. Teixeira, M.J. Ohletz, "Automatic fault extraction and simulation of layout realistic faults for integrated analogue circuits," European Design and Test Conference, 1995, pág. 464-468
- [Seg92] J.A. Segura, V.H. Champac, R. Rodriguez-Montañes, J. Figueras and J.A. Rubio, "Quiescent current analysis and experimentation of defective CMOS circuits," Journal of Electronic Testing: Theory and Applications, vol. 3, no. 4, noviembre, 1992, pág. 337-348
- [Sod89] J.M. Soden, R.K. Treece, M.R. Taylor, C.F. Hawkins, "CMOS IC stuck-open fault electrical effects and design considerations," IEEE International Test Conference, 1989, pág. 423-430
- [Spi04] S.J. Spinks, C.D. Chalk, I.M. Bell, M. Zwolinski, "Generation and verification of tests for analog circuits subject to process parameter deviations," Journal of Electronic Testing, vol. 20, n° 1, febrero 2004, pág. 11-23
- [Tan98] R.J.W.T. Tangelder, N. Engin, H.G. Kerkhoff, R. Mozuelos, S. Bracho, "Built-in dynamic current testing of an operational amplifier in a sea of gates technology," IEEE International Mixed Signal Testing Workshop, 1998, pág. 174-177
- [Tet09] "TetraMAX ATPG," Synopsys, <http://www.synopsys.com/TOOLS/IMPLEMENTATION/RTLSYNTHESIS/Pages/TetraMAXATPG.aspx>
- [Wal86] H. Walker, S.W. Director, "VLASIC: A catastrophic fault yield simulator for integrated circuits," IEEE Transactions on Computer-Aided Design, vol. 5, n° 4, octubre 1986, pág. 541-556
- [Wal90] D.M.H. Walker, "VLASIC system user manual release 1.3," Carnegie-Mellon University, Pittsburgh, USA, junio 1990
- [Wey97] C.L. Wey, "Built-in self-test design of current-mode algorithmic analog-to-digital converters," IEEE Transactions on Instrumentation and Measurement, vol. 46, n° 3, 1997, pág. 667-671
- [Woo87] B.W. Woodall, B.D. Newman, A.G. Sammulu, "Empirical results on undetected CMOS stuck-open failures," IEEE International Test Conference, 1987, pág. 166-170



