

UNIVERSIDAD DE CANTABRIA



Departamento de Tecnología Electrónica,
Ingeniería de Sistemas y Automática

TESIS DOCTORAL

**TEST BASADO EN SENSORES DE CORRIENTE
INTERNOS PARA CIRCUITOS INTEGRADOS
MIXTOS (ANALÓGICOS-DIGITALES)**

Memoria presentada para optar al grado de
DOCTOR EN CIENCIAS FÍSICAS POR LA UNIVERSIDAD DE CANTABRIA

por Román Mozuelos García,
Licenciado en Ciencias Físicas,

Santander, 2009

CONCLUSIONES

- Se propone un método de test estructural basado en el análisis de la corriente de alimentación, estacionaria y transitoria, del circuito bajo test que es válida tanto para circuitos digitales como analógicos y mixtos. Se ha validado el nuevo método de test I_{DDX} mediante la simulación, fabricación y medida de una amplia gama de circuitos de prueba.
- Se han diseñado un conjunto de bloques sensores de corriente (BICS) que se integran en el chip para monitorizar la corriente que circula por el circuito bajo test (CUT). La medida de la I_{DDX} en los circuitos digitales se realiza en situando el BICS en serie entre el CUT y los pines de alimentación del encapsulado, siempre minimizando la degradación de la tensión de alimentación efectiva vista por los módulos digitales. En los bloques analógicos, el muestreo de corriente se realiza en paralelo duplicando la corriente que atraviesa ramas especialmente seleccionadas del CUT.
- El método I_{DDX} propuesto está orientado hacia módulos embebidos, permite reducir la complejidad y el tiempo de aplicación del test al utilizar como vectores de test pulsos de tensión o corriente internos al circuito y evalúa el comportamiento del CUT mediante la señal digital proporcionada por el sensor de corriente.
- El BICS realiza un tratamiento interno de la corriente para obtener una firma digital. La salida es un pulso de tensión cuya anchura refleja la amplitud y duración de los transitorios de corriente. La salida del BICS es un parámetro continuo y no se genera una señal “pasa/falla” para evitar la evaluación del CUT con un límite de detección único, así se posibilita la aplicación de un procesado estadístico para tomar en cuenta las fluctuaciones del proceso de fabricación.
- El diseño del BICS ha evolucionado hacia una estructura que utiliza una carga inductiva para realizar la conversión de corriente a tensión que prioriza las componentes de mayor frecuencia de la corriente muestreada. El comportamiento inductivo se emula con un girador (implementado a partir de la conexión realimentada de un transistor NMOS y otro PMOS) y un condensador (construido con la capacidad de carga de un transistor NMOS).

- Se han diseñado y fabricado un conjunto de circuitos de prueba para evaluar la eficacia de la aproximación de test propuesta tanto por simulación como experimentalmente. Los circuitos abarcan diferentes tecnologías (mares de puertas y CMOS A/D) y métodos de diseño (digital, analógico continuo y analógico conmutado). Los circuitos de prueba consisten en un buffer de tensión, un convertidor digital-analógico, un amplificador operacional y diversos módulos basados en celdas de memoria de corriente conmutada (SI).
- Se ha estudiado la influencia de la colocación del sensor de corriente con el objetivo de maximizar el número de fallos detectados utilizando el mínimo número de módulos de muestreo.
- Se ha desarrollado un estudio sobre el modelo de fallos más adecuado para el método de test estructural que se propone en la tesis. Este modelo incluye los fallos inducidos por defectos puntuales (cortocircuitos, abiertos, GOS) y los fallos paramétricos debidos a fluctuaciones del proceso de fabricación (variación de tensión umbral, anchura del oxido fino y dimensiones de los transistores).
- La evaluación de fallos del test I_{DDX} proporciona figuras de cobertura de fallos superiores a las obtenidas utilizando un conjunto de test estructurales que miden la corriente I_{DDQ} y la tensión de salida DC de los circuitos de prueba. No obstante, dado que se trata de una estrategia de test estructural basada en defectos no proporciona información acerca de las prestaciones del circuito analizado.
- La estructura del sensor de corriente con carga inductiva da lugar a que el método de test I_{DDT} se vea afectado por la sensibilidad del BICS a variaciones en los parámetros del proceso de fabricación. Por lo tanto, en algunos casos, es necesario disponer de una caracterización precisa del proceso de fabricación o utilizar como referencia un circuito conocido que cumpla especificaciones (“Golden device”).
- La confianza en los resultados obtenidos es alta. Aunque, para acotar la complejidad del proceso de evaluación de fallos se ha utilizado un modelo de fallos asequible y un criterio de detección para los circuitos defectuosos sencillo.
- Una aportación adicional es la posibilidad de utilizar el método de test como ayuda al diseño para fabricación. El diseño para test del que forma parte la inclusión del sensor de corriente permite realizar un proceso iterativo de simulación de fallos, evaluación de los resultados, análisis de la testabilidad del CUT y optimización/rediseño del CUT o los vectores de test con objeto de mejorar la cobertura de test.
- También, se ha presentado un método de test estructural para circuitos de capacidades conmutadas basado en el análisis de la transferencia de carga dentro del CUT. Con este fin se ha diseñado un módulo sensor de carga.
- Para evaluar el método de test de circuitos SC, se ha diseñado y fabricado como circuito de prueba un integrador inversor paralelo. Las medidas experimentales permiten comprobar

como la inclusión del sensor de carga tiene una influencia mínima en las prestaciones del CUT y permite detectar los diversos defectos introducidos en el integrador.

- Se ha ampliado el estudio del método de test estructural realizando una simulación de fallos sobre un convertidor analógico-digital algorítmico. Los resultados muestran una cobertura de fallos superior, con un tiempo de aplicación del test menor, analizando la salida del sensor de carga a la obtenida con un test funcional estático que analiza la palabra de salida digital del ADC.
- Se ha estudiado un método para relacionar el conjunto de tensiones que aparecen a la salida del sensor de carga durante el proceso de conversión con una de las prestaciones estáticas del ADC como es la no-linealidad integral.
- La evolución del trabajo presentado debe considerar la extensión de la metodología de test hacia una estructura BIST. Para ello;
 - Es preciso incluir el procesamiento, que actualmente se realiza externamente, dentro del chip. Esta etapa comparará la anchura de los pulsos de salida del BICS de dos vectores de test diferentes obteniendo el incremento o el cociente entre ellos.
 - Es necesario poder programar el umbral de detección que clasifica a un circuito como defectuoso.
 - Para facilitar su utilización el método de test debe ser un atributo más del bloque embebido (IP) por lo cual es necesario estandarizar la comunicación. Se puede lograr desarrollando el interfaz con el bus de test IEEE 1149.4.

CONCLUSIONS

- This thesis proposes a new I_{DDX} test method based on the analysis of the supply current, both quiescent and transient, for the verification of digital, analog and mixed-signal circuits. The test method has been validated by means of the simulation, fabrication and measurement of a wide range of benchmark circuits.
- A set of built-in current sensor circuits (BICS) have been designed to be integrated on the chip to monitor the current through the circuit under test (CUT). The I_{DDX} measurement is performed in digital circuits by placing the BICS in series between the CUT and the power pin, minimizing the effective supply voltage drop observed by the digital modules. In the analog blocks, the measurement is done in parallel by copying the current that passes through selected branches of the CUT.
- The I_{DDX} method is intended to test embedded modules. It reduces the test complexity and the test time using voltage and current pulses as test vectors. It enables the evaluation of the CUT behavior through the digital signal provided by the current sensor.
- The BICS performs internal processing of the current to obtain a digital signature. The output is a voltage pulse whose width reflects the amplitude and duration of the transient current. The output of the BICS is a continuous parameter and does not generate a "pass/fail" signal to prevent the CUT evaluation using a single detection limit and, in this way, it enables the application of statistical processing to take into account the process spread.
- The BICS design has evolved into a structure that uses an inductive load to convert the sampled current to voltage in order to prioritize the higher frequency components of the supply current. The inductive behavior is emulated with a gyrator (implemented by the back-to-back connexion of an NMOS and a PMOS transistor) and a capacitor (obtained from the gate capacitance of another NMOS transistor).
- A set of benchmark circuits has been designed and manufactured to evaluate, by simulation and experimentally, the proposed test method efficiency. These circuits cover different technologies (Sea of Gates and CMOS A/D) and design methods (digital, continuous

analog and switched analog). The benchmark circuits include a voltage buffer, a digital-analog converter, an operational amplifier and several modules based on switched current memory cells (SI).

- The influence of the BICS placement has been studied with the aim of maximizing the number of detected faults using the minimum number of sampling modules.
- The most suitable fault model has been presented for the evaluation of the structural test method proposed in the thesis. This model includes faults induced by spot defects (shorts, opens, GOS) and parametric faults due to fluctuations in the fabrication process (threshold voltage variation, thin oxide width and physical dimensions of the transistors).
- The fault evaluation of the I_{DDX} test provides a larger fault coverage level than the one obtained by a set of structural tests consisting of I_{DDQ} measurement and the DC output voltage analysis of the benchmark circuits. Nevertheless, as the proposed method is a defect-based structural test approach, it does not provide information about the CUT performance.
- The current sensor with the inductive load increases the BICS sensitivity to process spread and it makes it more difficult for the I_{DDT} test method to establish the threshold detection level. Therefore, it may be necessary to have a precise knowledge of the manufacturing process or to use a known circuit as a reference that meets specifications ("Golden Device").
- The confidence in the fault evaluation results is high. However, to limit the complexity of the fault evaluation, we have considered a simple fault model and a straightforward decision criteria for the test detection.
- An additional contribution is the possibility of using the test method as an aid to design-for-manufacturability. This design-for-test method that integrates the BICS with the CUT allows an iterative process of fault simulation, evaluation of results, testability analysis and optimization/redesign of the CUT or the test vectors to improve the test coverage.
- The thesis also presents a structural test method for switched capacitor circuits based on the analysis of charge transfer within the CUT. To fulfil this objective, a charge sensor module has been designed.
- To evaluate the proposed test method for SC circuits, a parallel non-inverting SC integrator has been designed and fabricated. The experimental data shows that the inclusion of the charge sensor has a negligible effect on CUT performance while enabling detection of the defects injected in the benchmark integrator.
- The efficacy of the structural test method for SC circuits has been studied by means of a fault evaluation on an algorithm SC analog-to-digital converter. The results show a higher fault coverage, with a lower test time, analyzing the output of the charge sensor than the fault coverage figure obtained from a static functional test that analyzes the digital output word of the ADC.

-
- A method has been developed to obtain some static ADC performance (such as INL) from the serial voltage values provided by the sensor output during the conversion process.
 - The future development of this work should consider extending the test method to a full BIST structure. To do this;
 - It must include the output signal processing within the chip, which currently is done externally. This stage will compare the width of the pulses at the BICS output from two different test vectors to obtain the difference or the ratio between them.
 - It is necessary to include the programming of the detection threshold that classifies the circuit as defective.
 - To facilitate the test method application. It should be an attribute of the embedded block (IP). So, it is necessary to standardize the communication between the BICS and the test system. This could be done developing an interface with the IEEE 1149.4 standard test bus.

