



UNIVERSITAT POLITÈCNICA DE CATALUNYA

DEPARTAMENT D'ENGINYERIA ELECTRÒNICA

CONTROLADOR DE HISTÉRESIS DE BAJO COSTE PARA CONVERTIDOR BUCK SÍNCRONO MULTIFASE

Tesis presentada para obtener el
título de Doctor por la Universitat
Politécnica de Catalunya

Programa de Doctorado en
Ingeniería Electrónica

Autor: Ángel Borrell Sanz

Director: Miguel Castilla Fernández

Junio 2012

Resumen

Este trabajo de investigación presenta un novedoso controlador de histéresis para un convertidor síncrono multifase destinado a alimentar cargas dinámicas de baja tensión y alta corriente, junto con una metodología de diseño basada en el análisis de la impedancia de salida de lazo cerrado. Este diseño obtiene respuesta transitoria óptima de la tensión de salida con una implementación simple y de bajo coste. La característica principal de este controlador es la ausencia de circuitos de sensado y procesado de corriente para lograr la regulación de tensión adaptativa y reparto de corriente entre las fases. Se proponen dos alternativas de diseño para el controlador. La primera resulta válida siempre y cuando las desviaciones entre las fases del convertidor están dentro de los límites habituales (+ / - 15%). La segunda logra impedancia de salida resistiva independientemente de las diferencias que existan entre las fases. Los resultados de simulación y experimentales validan las características del nuevo esquema de control.

Palabras clave

Alimentación de computadores, balance de corriente, control de histéresis multifase, entrelazado, metodología de diseño, regulador de tensión.

Abstract

This research work presents a novel hysteretic controller for a multi-phase synchronous buck converter supplying low voltage, high current and high slew-rate loads along with a design methodology based on closed-loop output impedance analysis. This design leads to optimal output-voltage transient response with a simple and low-cost control implementation. The main feature of this controller is the lack of current sensing and processing circuitry in order to accomplish the adaptive voltage regulation and current sharing. Two design alternatives for the controller are proposed. The first uses an equivalent single-phase converter to design the control parameters. This approximation is valid as long as the deviations between the phases of the converter are within the usual limits ($\pm 15\%$). The second achieves resistive output impedance regardless of the differences that exist between the phases. Simulation and experimental results are reported in order to validate the features of the novel control scheme.

Keywords

Computer power supplies, current sharing, design methodology, interleaving, multiphase hysteretic control, voltage regulator.

Prólogo

Actualmente, el convertidor buck síncrono multifase es universalmente utilizado para la alimentación de cargas dinámicas de baja tensión y elevada corriente como CPUs y otros circuitos integrados digitales de altas prestaciones. Este convertidor exige de técnicas de control con alta respuesta dinámica para hacer frente a los grandes y rápidos transitorios de carga a los que es sometido. A este respecto, los reguladores de histéresis representan una excelente opción debido a su reacción inmediata, ciclo de trabajo ilimitado y excepcional capacidad para manejar régimen de gran señal.

Las principales aportaciones de la mayor parte de trabajos publicados en el campo de los controladores de histéresis multifase son distribución de corriente entre las fases y funcionamiento entrelazado. Sin embargo, el autor no tiene conocimiento de estudios que describan un esquema de control que integre las principales funciones de control para la alimentación de tales exigentes cargas: regulación de tensión de salida con posicionamiento adaptativo, distribución de corriente y funcionamiento entrelazado. Tampoco existe una metodología de diseño basada en la impedancia de salida de lazo cerrado. Este diseño optimiza la respuesta transitoria de la tensión de salida y, de este modo, se puede aprovechar toda la ventana de tolerancia del procesador. Por lo tanto, este trabajo de investigación presenta un novedoso controlador de histéresis para convertidor síncrono multifase destinado a alimentar cargas dinámicas de baja tensión y alta corriente, junto con una metodología de diseño basada en el análisis de la impedancia de salida de lazo cerrado.

Contenido

1	INTRODUCCIÓN	1
1.1	TOPOLOGÍA	2
1.2	ARQUITECTURA Y FUNCIONES DEL CONTROLADOR	3
1.2.1	REGULACIÓN DE TENSIÓN CON POSICIONAMIENTO ADAPTATIVO (AVP)	3
1.2.2	ECUALIZACIÓN DE CORRIENTE	7
1.2.3	FUNCIONAMIENTO ENTRELAZADO	8
1.3	LIMITACIONES DEL CONTROLADOR PWM	9
1.3.1	TIEMPO DE SUBIDA DE LA CORRIENTE DE LOS INDUCTORES	9
1.3.2	TIEMPO DE REACCIÓN DEL CONTROLADOR	10
1.4	CONTROLADOR DE HISTÉRESIS	12
1.4.1	ESTADO DEL ARTE DEL CONTROLADOR DE HISTÉRESIS PARA EL CONVERTIDOR <i>BUCK</i> SÍNCRONO	14
2	OBJETIVOS DE LA TESIS	17
2.1	METODOLOGÍA Y PLANIFICACIÓN	17
2.2	ORGANIZACIÓN DEL DOCUMENTO	18
3	CONTROLADOR DE HISTÉRESIS DE BAJO COSTE DE UNA SOLA FASE	21
3.1	MODELADO DEL CONVERTIDOR <i>BUCK</i> SÍNCRONO	21
3.1.1	MODELO EN LAZO ABIERTO	22
3.1.2	CONTROLADOR DE BAJO COSTE	23
3.2	REDES DE FILTRADO PARA LA REGULACIÓN DE LA TENSIÓN DE SALIDA	24
3.3	IMPEDANCIA DE SALIDA EN LAZO CERRADO	25
3.4	DISEÑO DEL CONTROLADOR	28
3.4.1	DISEÑO DE LA RED DE FILTRADO	28
3.4.2	DISEÑO DE LA FUNCIÓN AVP	29

3.4.3	FRECUENCIA DE CONMUTACIÓN	30
3.4.4	SINCRONISMO	31
3.5	EJEMPLO DE DISEÑO Y SIMULACIÓN	34
3.5.1	DISEÑO DE LA RED DE FILTRADO	34
3.5.2	MODELO DE SIMULACIÓN	37
3.5.3	COMPARATIVA DE REDES DE FILTRADO	38
3.5.4	FUNCIONAMIENTO A FRECUENCIA FIJA	45
3.6	EXPERIMENTACIÓN DE LABORATORIO	46
3.6.1	PROTOTIPO DE LABORATORIO	47
3.6.2	RESPUESTA TRANSITORIA Y FRECUENCIA DE CONMUTACIÓN	50
3.6.3	CARACTERÍSTICA DE CAÍDA	55
3.6.4	SINCRONISMO	56
3.7	CONCLUSIONES	59
4	<u>CONTROLADOR DE HISTÉRESIS DE BAJO COSTE MULTIFASE</u>	61
4.1	ARQUITECTURA DEL CONTROLADOR MULTIFASE DE BAJO COSTE	61
4.2	IMPEDANCIA DE SALIDA DE LAZO CERRADO	63
4.2.1	MODELO EN LAZO ABIERTO	63
4.2.2	IMPEDANCIA DE SALIDA DE LAZO CERRADO	65
4.3	DISEÑO DEL CONTROLADOR DE HISTÉRESIS MULTIFASE	67
4.3.1	DISEÑO DE LA RED DE FILTRADO	67
4.3.2	DISEÑO AVP	72
4.3.3	BALANCE DE CORRIENTE	73
4.3.4	FRECUENCIA DE CONMUTACIÓN Y FUNCIONAMIENTO ENTRELAZADO	75
4.4	EJEMPLOS DE DISEÑO Y SIMULACIÓN	77
4.4.1	COMPONENTES DE FASE IDÉNTICOS	80
4.4.2	COMPONENTES DE FASE CON DESVIACIONES	81
4.4.3	FUNCIONAMIENTO ENTRELAZADO	84
4.5	EXPERIMENTACIÓN DE LABORATORIO	86
4.5.1	PROTOTIPO DE LABORATORIO	86
4.5.2	RESPUESTA TRANSITORIA DE LA TENSIÓN DE SALIDA Y CORRIENTE DE FASE	87
4.5.3	CARACTERÍSTICA DE CAÍDA	90
4.5.4	BALANCE DE CORRIENTE	91

4.5.5	FRECUENCIA DE CONMUTACIÓN Y ENTRELAZADO	91
4.5.6	FUNCIONAMIENTO ENTRELAZADO EN RÉGIMEN TRANSITORIO	93
4.5.7	CASO INDUCTORES CON DESVIACIONES	94
4.6	CONCLUSIONES	97
5	CONCLUSIONES FINALES Y APORTACIONES	101
5.1	REVISIÓN DE OBJETIVOS Y CONCLUSIONES FINALES	101
5.2	APORTACIONES DE LA TESIS DOCTORAL	102
5.3	ARTÍCULOS DERIVADOS DE LA TESIS DOCTORAL	103
5.4	FUTURAS LÍNEAS DE INVESTIGACIÓN	103
6	REFERENCIAS	105

1. INTRODUCCIÓN

1 Introducción

El rápido progreso de la tecnología de integración está llevando consigo un descenso en el valor de la tensión de alimentación de microprocesadores y otros circuitos digitales como memorias y tarjetas gráficas. Según la última edición de la *International Technology Roadmap for Semiconductors* para el año 2024 la tensión de alimentación de microprocesadores de altas prestaciones será de 0,6 V. El aumento de las prestaciones de estos dispositivos también se ve reflejado en el consumo de corriente de este tipo de cargas. A modo de ejemplo, el procesador Pentium II se alimentaba a 2 V y su consumo no sobrepasaba los 14 A [1], mientras que los microprocesadores actuales de doble núcleo se alimentan con tensiones inferiores a 1 V, con una tolerancia de la regulación de la tensión de +/- 2 % y un nivel de rizado inferior al 1%. Con tan baja tensión de alimentación, el consumo de corriente es superior a 100 A para poder dar respuesta a la alta carga computacional y velocidad de proceso del microprocesador. Por otro lado, la alta dinámica de esta carga se traduce en unos transitorios de corriente superiores a 500 A/ μ s cuando el microprocesador pasa de modo inactivo a modo activo y viceversa [2], [3].

Ante tales extremas especificaciones de alimentación, la solución utilizada para suministrar energía a este tipo de cargas de baja tensión y alta dinámica es la del módulo regulador de tensión. Se trata de un convertidor CC/CC reductor dedicado, *point of load converter* (POL), con rápida respuesta dinámica, conectado al bus común de alimentación de potencia de la fuente de alimentación primaria del ordenador y situado muy próximo a la carga. El objetivo es minimizar la impedancia parásita entre la carga y el módulo regulador y así obtener una rápida transferencia de potencia y una regulación precisa de la tensión de salida frente a los transitorios de carga [4]. Otra característica importante de este tipo de convertidores es que disponen de 5 a 8 pines de entrada mediante los cuales el procesador programa la tensión de salida del convertidor con un código de identificación de voltaje, *Voltage Identification* (VID) presente en los pines VID del procesador.

El módulo regulador de tensión puede adoptar dos formas, tal y como muestran las figuras 1.1 (a) y (b). Como módulo independiente, instalable a la placa base del ordenador mediante un conector, *Voltage Regulator Module* (VRM) y la que implementa sus componentes en la propia placa base, *Voltage Regulator-Down* (VRD). El primero requiere de menos espacio de placa base y disipa mejor el calor debido a su montaje en vertical, además de contribuir menos al

calentamiento de la placa base. Otra ventaja es su facilidad de sustitución en caso de avería lo cual lo convierte en la opción utilizada en servidores. Por contra, la necesidad de un conector con baja resistencia de contacto y preparado para soportar corriente elevada añade coste al sistema [5]. La opción VRD es la que se encuentra actualmente en las placas base de ordenadores tanto portátiles como de sobremesa.

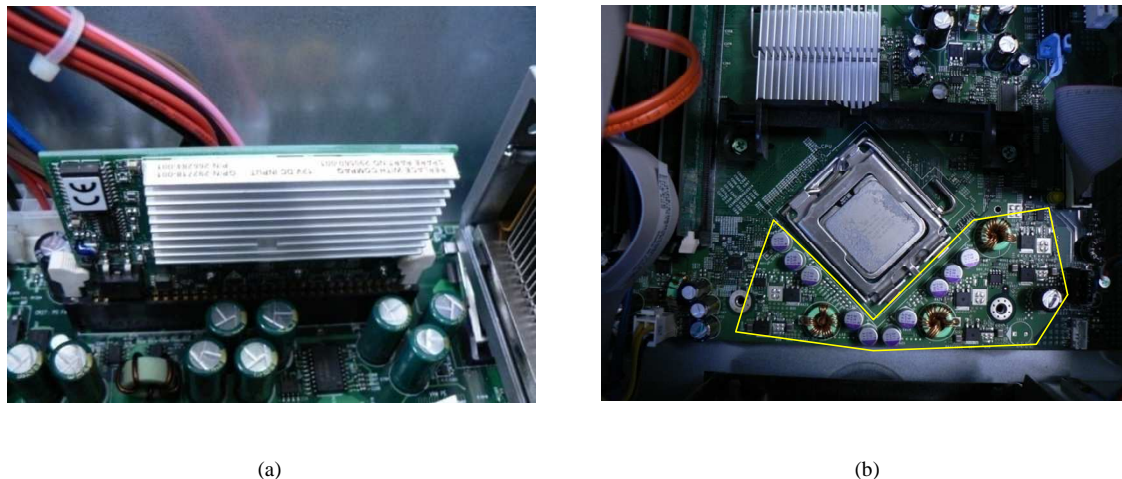


Fig. 1.1. (a) VRM instalado en un servidor. (b) VRD en la placa base de un ordenador de sobremesa.

Las especificaciones de diseño de los módulos reguladores de tensión fueron primero desarrolladas por Intel con la aparición de la familia de microprocesadores Pentium®. Actualmente los dos grandes fabricantes de microprocesadores, Intel y AMD, ponen al alcance del diseñador publicaciones en forma de guía las cuales recogen las especificaciones eléctricas que deben satisfacer este tipo de reguladores. Como ejemplo, la *Voltage Regulator-Down (VRD) 11.1 Processor Power Delivery Design Guidelines* de Intel de Septiembre de 2009, recoge las especificaciones de diseño del regulador para distintas bases de conexión de microprocesadores para ordenadores de sobremesa.

1.1 Topología

Los primeros VRM utilizaban la topología del convertidor *buck* síncrono. Por aquel entonces esta topología era suficientemente capaz de satisfacer las especificaciones de alimentación de los procesadores Pentium II. Con los valores de corriente de alimentación de los actuales microprocesadores y las exigentes especificaciones que debe cumplir la tensión de alimentación, el convertidor de una sola fase resulta poco factible y eficaz [6], [7]. Hoy en día, la topología que se implementa en las placas base de ordenador es la del *buck* síncrono multifase. A pesar de emplear mayor número de componentes y de su complejidad de control, reúne una serie de ventajas con respecto a su homólogo de una sola fase como se verá continuación.

La configuración *buck* multifase consiste en conectar en paralelo N estructuras básicas del convertidor *buck* síncrono entre la entrada y la carga de forma que en la salida del regulador se obtiene la suma de corrientes de todas las fases, véase figura 1.2. Al repartir la corriente de salida I_o entre las distintas fases se reducen las pérdidas de conmutación y conducción, además de reducir el tamaño físico de los inductores y de los MOSFETs de cada célula. También se obtiene una mejor disipación de las pérdidas al quedar repartidas en más de un dispositivo de potencia. Sin embargo, se debe asegurar un buen balance de corriente entre las fases para obtener un reparto equitativo de pérdidas y de la potencia de conversión.

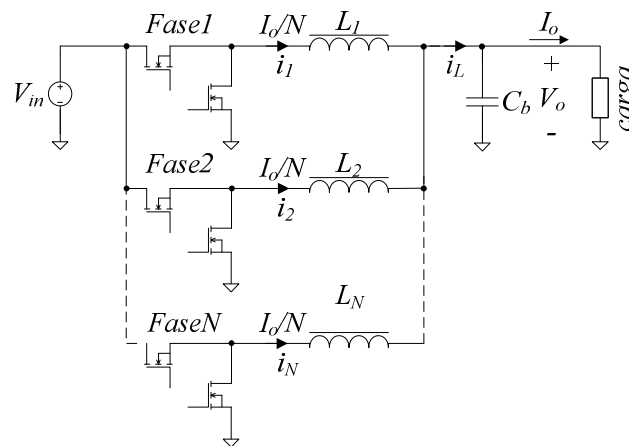


Fig. 1.2. Etapa de potencia de un convertidor *buck* de N-fases

1.2 Arquitectura y funciones del controlador

Actualmente, numerosos fabricantes disponen de controladores analógicos para poder implementar la topología multifase con funcionamiento entrelazado [8]-[14]. La implementación digital del controlador representa una opción interesante debido a su mayor capacidad para integrar funciones de control y gestión complejas [15]-[17]. En cualquier caso, estos controladores basan su arquitectura en N-canales PWM en paralelo los cuales implementan las funciones básicas de control requeridas por el módulo regulador: regulación de la tensión de salida con posicionamiento adaptativo, *adaptive voltage positioning* (AVP); balance de corriente, y funcionamiento entrelazado o *interleaving*. La figura 1.3 muestra el esquema de principio típico de un controlador multifase.

1.2.1 Regulación de tensión con posicionamiento adaptativo (AVP)

Los actuales módulos reguladores aparte de tener que satisfacer el alto consumo de corriente del microprocesador también deben dar respuesta a los rápidos transitorios de carga manteniendo la tensión de salida dentro de unos límites. De hecho, la respuesta de la tensión de salida ante los

transitorios de la corriente de salida es una de las principales características para evaluar el funcionamiento del módulo regulador. Si se superan los límites de variación de la tensión de salida se puede causar el malfuncionamiento del microprocesador e incluso la destrucción. Las especificaciones de diseño de los fabricantes de microprocesadores establecen estos valores límite. Un buen ejemplo de ello se puede encontrar en la guía de diseño VRD 11.0 de Intel. Para la versión 775_VR_CONFIG_05B se especifica una desviación de la tensión de salida de 95 mV ante un escalón de corriente de 30 A a 125 A con un tiempo de subida de 50 ns.

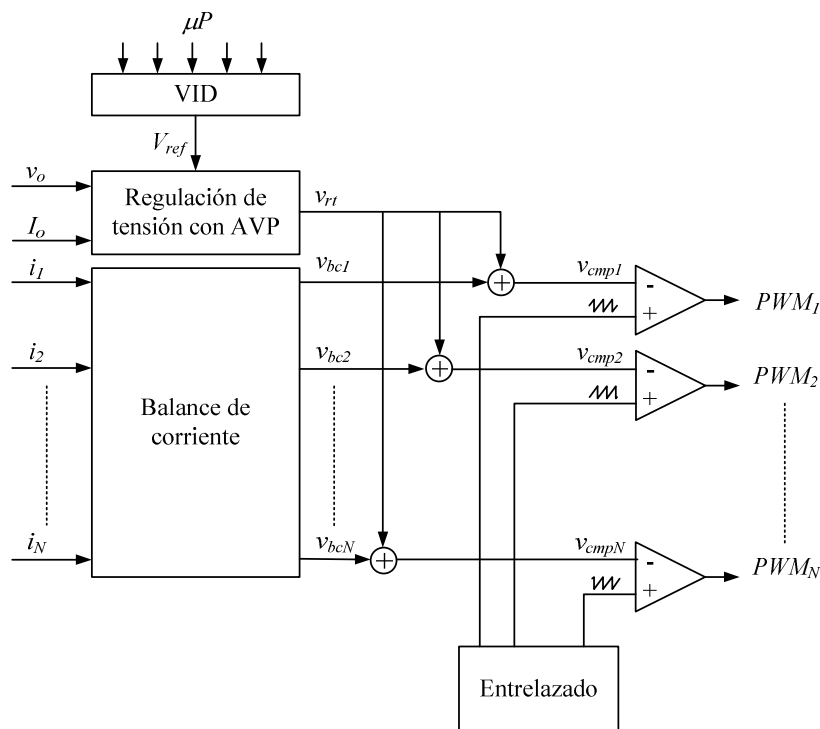


Fig. 1.3. Diagrama de bloques típico del regulador PWM multifase

El comportamiento de la tensión de salida ante un transitorio de la corriente de carga viene definido por la impedancia de salida en lazo cerrado Z_{ocl} . El circuito eléctrico equivalente del módulo regulador puede representarse mediante una fuente de tensión ideal en serie con la Z_{ocl} , mientras que la carga se modela mediante una fuente de corriente tal y como puede observarse en la figura 1.4.

En los primeros VRMs el lazo de control ajustaba la tensión de salida al mismo nivel y centrada entre los valores máximo y mínimo permitidos para todo el rango de la corriente de carga. En términos de impedancia de salida del convertidor, el lazo de control imponía una impedancia mínima en régimen estacionario. De esta manera se mantenía el valor de la tensión de salida constante e independiente de la corriente de carga y se minimizaba la desviación de la tensión de salida durante los transitorios de carga.

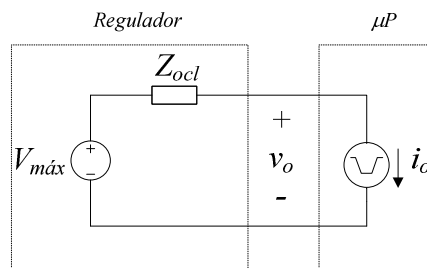


Fig. 1.4. Circuito equivalente del modulo regulador y carga

En la figura 1.5 (a) puede observarse como una transición de vacío a plena carga en la corriente de carga produce un sobreimpulso negativo en la tensión de salida. Por el contrario, una transición de plena carga a vacío se traduce en un sobreimpulso positivo en la tensión de salida. En ambas situaciones, el valor del sobreimpulso no puede exceder la mitad de la ventana de tolerancia, siendo el condensador de salida el encargado de mantener la tensión de salida dentro de la ventana de tolerancia. Esta solución llevaba a sobredimensionar el valor de capacidad para poder satisfacer las especificaciones del margen de variación de la tensión de salida.

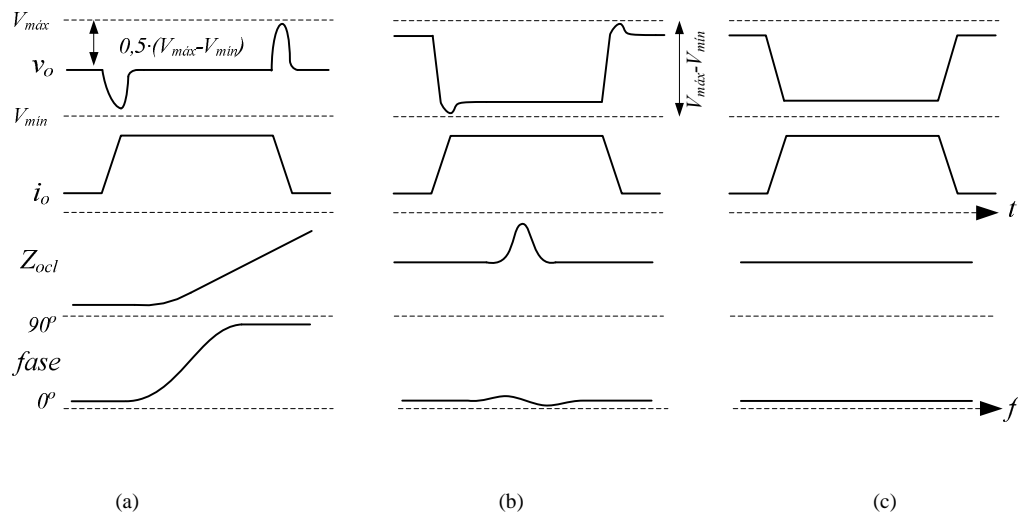


Fig. 1.5. (a) Sin AVP. (b) Con función AVP y Z_{ocl} casi resistiva y constante. (c) AVP óptimo con Z_{ocl} resistiva y constante.

Con la aparición de la familia de microprocesadores Pentium® II y con el fin usar toda la ventana de tolerancia durante los transitorios de carga se adoptó la función de control AVP [18]. Esta función regula la tensión de salida para que su nivel en vacío sea un poco más pequeño que el valor de tensión máximo permitido y su nivel a plena carga sea mayor que el mínimo [19]-[26], véase figura 1.5 (b). En términos de capacidad de salida, significa disminuir su valor a la mitad, obteniendo un ahorro en coste y espacio de placa base [26]. Otra ventaja adicional que se

obtiene es una reducción de consumo de potencia por parte del microprocesador a plena carga, lo cual facilita el diseño térmico [18]-[26].

Esta técnica requiere que la tensión de salida dependa directamente de la corriente de carga, siguiendo las especificaciones que proporciona el fabricante del microprocesador en forma de recta de carga [2]. La figura 1.6 muestra dicha característica. Su pendiente R_{LL} determina la impedancia de salida del módulo regulador a frecuencia cero o en corriente continua. En régimen estacionario la tensión en vacío viene determinada por el código VID, mientras que la tensión en carga se posiciona en función de la corriente y del valor de la componente resistiva de la impedancia de salida de lazo cerrado del regulador Z_{ocl} .

Volviendo a la figura 1.5 (b), se observan ciertas oscilaciones en la tensión de salida antes de alcanzar el régimen permanente, después del instante en que suceden los cambios bruscos de corriente. Esto es debido a que el perfil de impedancia no es constante para todo el rango de frecuencia. En cambio, el perfil de impedancia de salida mostrado en la figura 1.5 (c) es resistivo y constante para todo el rango de frecuencia. Consecuentemente, la respuesta transitoria está libre de oscilación y sobreimpulso y la ventana de tolerancia de la tensión de salida se puede aprovechar al máximo.

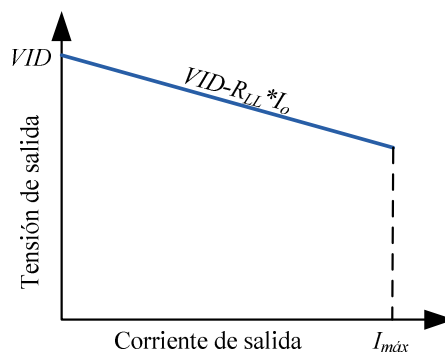


Fig. 1.6. Recta de carga

La impedancia de salida de la figura 1.4 equivale entonces a una resistencia y en este caso el diseño de la función AVP se considera óptimo [21]. Para obtener la respuesta transitoria óptima de la figura 1.5 (c) es necesario un método de diseño de la función AVP basado en el análisis de la impedancia de lazo cerrado. Al respecto, en [20]-[25] con métodos basados en modelos de pequeña señal del convertidor y mediante redes de compensación simples se obtiene aproximadamente Z_{ocl} resistiva y constante con controles PWM en modo tensión y modo corriente. Con esta metodología de diseño la obtención de Z_{ocl} resistiva y constante está condicionada a la frecuencia de conmutación.

1.2.2 Ecuación de corriente

La configuración multifase del convertidor *buck* síncrono debe asegurar un reparto equitativo de la corriente de carga entre cada una de las fases [28]-[34]. A pesar de que las configuraciones multifase parten de la premisa de utilizar componentes de potencia idénticos, la realidad es bien distinta. Las tolerancias de los componentes de potencia y las diferencias en el trazado del circuito impreso entre fases provocan la aparición de un cierto error en el reparto de la corriente entre los módulos. En función de la magnitud del error se puede llegar a inducir un calentamiento excesivo de las fases que suministran más corriente y la infrautilización de las otras. En la literatura se pueden encontrar dos alternativas posibles para ecualizar la corriente entre fuentes que funcionan en paralelo: el método de la caída y el método activo. Para ambas técnicas existen varios esquemas [29], [31].

En el método de la caída, la tensión de salida disminuye conforme aumenta la corriente de salida individual de cada fase. Se trata de una técnica en lazo abierto. Su principio se basa en programar la impedancia de salida de cada fase para lograr el reparto de corriente entre los distintos módulos [31]. Por otro lado, se debe partir de la premisa de que todos los módulos tienen ajustado el mismo valor de tensión de salida en vacío. Una manera sencilla de paralelizar fuentes es conectar en serie una resistencia a la salida de cada fuente para así obtener una característica de caída. El inconveniente que presenta es la disipación de potencia en la resistencia serie si la caída de tensión es grande. Otra posibilidad es forzar la característica de caída de tensión mediante la realimentación de la corriente de salida, de manera que la tensión de salida sea función del nivel de carga. En este esquema la precisión en el reparto de corriente está estrechamente ligada con las diferencias entre las tensiones de vacío de cada módulo. En ambas alternativas no se precisa de interconexiones entre módulos y en algunos esquemas no resulta necesario medir la corriente, si el propio convertidor ya tiene una característica inherente de caída de tensión con la carga [31]. Esto hace que este método favorezca la modularidad del sistema y al mismo tiempo represente una solución de bajo coste.

Con respecto al método activo, existen varios posibles esquemas para su implementación, se puede encontrar un estudio exhaustivo y detallado en [31]. Su principio se basa en medir la corriente de cada fase, de forma directa o indirecta, y compararla con una referencia común, presente en un bus de reparto de corriente, a todos los módulos. Un lazo adicional de control de corriente se encarga de regular por igual la distribución de la corriente de carga entre las fases. Los métodos más utilizados para obtener el valor de referencia son: el método promediado y el maestro-esclavo automático. En el primero, y como su nombre indica, la corriente de referencia presente en el bus de reparto de corriente se obtiene a partir de la media aritmética de las corrientes individuales. De hecho, y para la tipología de convertidor objeto de esta tesis, la

mayoría de controladores multifase incorporan esta opción para el balance de corriente [32], [34], [9]-[13]. La figura 1.7 muestra el esquema de principio de este método para la fase 1. Se puede observar como a partir de las corrientes de cada fase se obtiene el valor promedio de referencia I_{ref} . Esta referencia junto con la corriente individual de cada fase generan un error en corriente, el cual, debidamente procesado por el filtro $G(s)$, modifica la tensión de control v_{rt} procedente del lazo regulador de tensión.

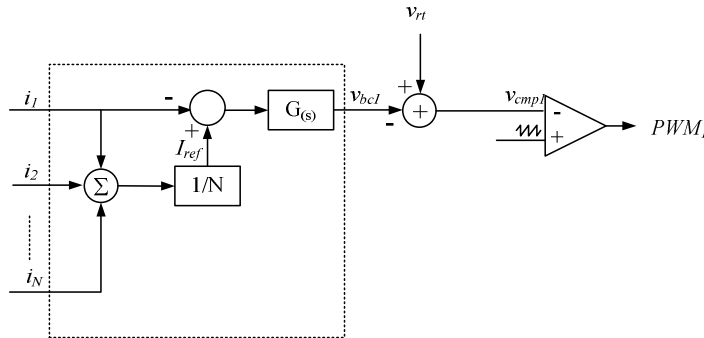


Fig. 1.7. Diagrama de principio del método promediado

En el segundo, entre los posibles esquemas, el que está disponible comercialmente en forma de circuito integrado es el maestro-esclavo automático [33]. En él, el valor de referencia lo determina el módulo con mayor corriente de salida.

1.2.3 Funcionamiento entrelazado

Por su parte, el funcionamiento entrelazado consiste en conmutar cada una de las fases a la misma frecuencia pero con su señal de control desplazada un ángulo de fase igual a $2\pi/N$. En un convertidor de 3-fases, cada canal conmuta $1/3$ de ciclo después del canal anterior y $1/3$ de ciclo antes que el canal siguiente. Como resultado, el convertidor de 3-fases tiene una frecuencia de rizado equivalente a tres veces la frecuencia de rizado de una fase. Además, el valor pico a pico del rizado de la corriente resultante i_L se reduce en proporción al número de fases [35].

La figura 1.8 ilustra el efecto multiplicativo en la frecuencia del rizado de la corriente de suma de los inductores i_L . Las corrientes de cada fase, i_1, i_2, i_3 se suman para formar el valor medio I_o de la corriente de salida. La reducción del rizado de la corriente de salida y el aumento de la frecuencia permite economizar en el valor de capacidad de salida C_b para un mismo valor de rizado de tensión de salida V_o reduciendo coste y área de placa base. Por otro lado, un menor rizado en la corriente trae consigo una disminución de la potencia disipada por la resistencia serie equivalente de los condensadores (ESR), lo cual revierte en la duración de los condensadores y en la eficiencia del convertidor. Los mismos beneficios se obtienen con el

rizado de la corriente de entrada al convertidor y la capacidad de entrada (no mostrada en la figura 1.2).

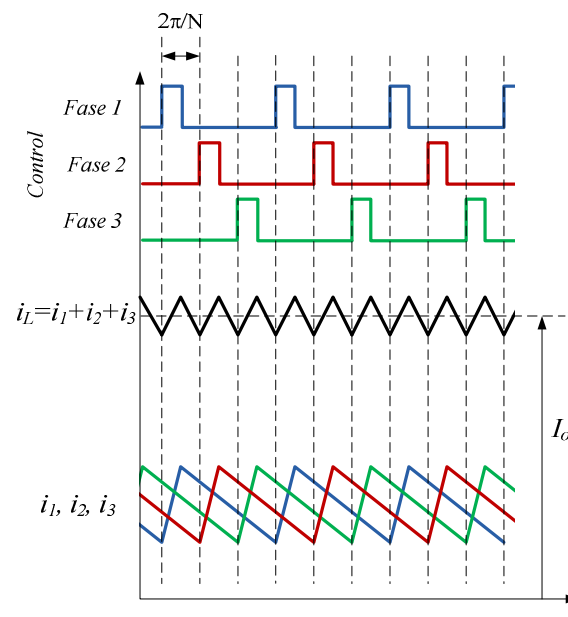


Fig. 1.8. Formas de onda de las corrientes de fase i_1 , i_2 , i_3 , corriente suma i_L y señales de control de un convertidor de tres fases

1.3 Limitaciones del controlador PWM

El controlador empleado en este tipo de convertidores debe tener una rápida respuesta transitoria para hacer frente a la alta dinámica de la carga. Al mismo tiempo debe cumplir con las especificaciones de variación de la tensión de salida con el mínimo de capacidad de salida para ahorrar en coste y espacio de placa base. Dos son los factores que influyen de forma determinante en la respuesta transitoria: el tiempo de subida de la corriente de los inductores y el tiempo de reacción del controlador desde el instante inicial en que sucede el transitorio hasta que da orden de conmutar a los transistores de potencia.

1.3.1 Tiempo de subida de la corriente de los inductores

Con respecto al tiempo de subida de la corriente, durante el transitorio de vacío a plena carga sería deseable que todas las fases se activaran de forma simultánea. De esta manera la corriente a la salida de los inductores se establecería más rápidamente y disminuiría la carga suministrada por la capacidad de salida [36]. La figura 1.9 ilustra precisamente como influye el tiempo de subida t_s de la corriente de los inductores i_L en la carga Q suministrada por la capacidad de salida. En el instante en que sucede el transitorio de la corriente de carga I_o , la tensión de salida v_o cae inmediatamente a un valor determinado por la ESR del condensador de salida. Durante el transitorio, el condensador se descarga para proporcionar parte de la corriente de carga mientras

la corriente de los inductores i_L aumenta. Cuanto menor sea el tiempo de subida t_s de i_L menor tendrá que ser la carga Q suministrada por la capacidad de salida, lo cual permite economizar en el número de condensadores a instalar en la placa base.

La última generación de controladores multifase de Intersil incorporan el modulador PWM con solapamiento adaptativo de fase, *Adaptive Phase Alignment* (APA) [9]. Esta prestación permite conmutar de forma simultánea todas las fases cuando sucede un transitorio de elevada intensidad. De esta forma se reduce el tiempo de subida con el consiguiente ahorro en capacidad de salida.

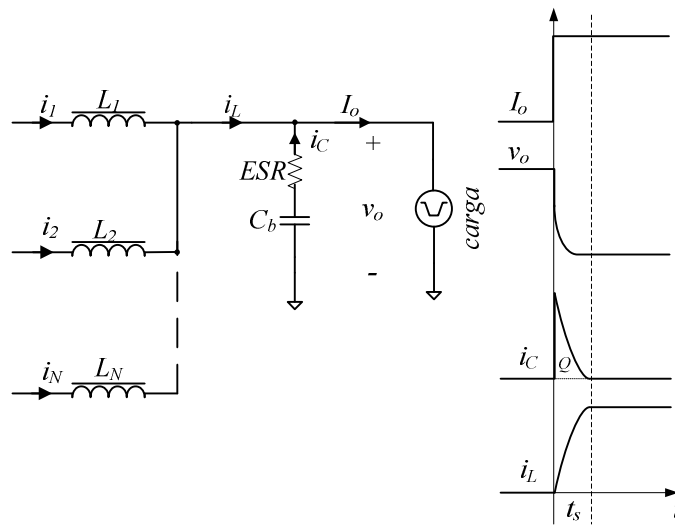


Fig. 1.9. Formas de onda en el instante en que la corriente de salida I_o aumenta

1.3.2 Tiempo de reacción del controlador

El tiempo de reacción del controlador y los tiempos de retardo inherentes a la tecnología de la circuitería empleada juegan un papel muy importante en la respuesta de la tensión de salida ante un transitorio de carga. En el instante en que sucede un transitorio de vacío a plena carga, inicialmente y mientras el controlador no reaccione para dar orden de conmutar las fases, la energía es suministrada por la capacidad de salida. Cuanto mayor sean los tiempos de reacción del controlador y los retardos, mayor tendrá que ser el valor de la capacidad de salida para poder mantener la tensión de salida dentro de sus límites de variación. Al contrario, en el instante en que sucede un transitorio de plena carga a vacío, el controlador debe reaccionar de inmediato desactivando las fases. De esta forma se evita que la tensión de salida se incremente excesivamente debido al exceso de carga provocado por la corriente procedente de los inductores y no absorbida por la carga.

El modulador PWM, en cualquiera de sus variantes *trailing edge* y *leading edge*, que incorporan la mayoría de controladores multifase, presenta un tiempo de retardo en función del instante en que sucede el transitorio de carga [37]. Retardo que en el peor de los casos puede llegar a ser próximo al tiempo de un periodo de conmutación. La principal causa del retardo es el empleo de una báscula S-R que se utiliza para activar (esquema *trailing edge*) o desactivar (esquema *leading edge*) la salida PWM mediante una señal de reloj que impone la frecuencia de conmutación fija del convertidor. El resultado es que la tensión de salida puede experimentar grandes desviaciones durante el tiempo en que el controlador permanece sin reaccionar ante los cambios de carga, tal y como reflejan las formas de onda de la figura 1.10. Para paliar los efectos del retardo del controlador se puede optar por aumentar la frecuencia de conmutación. Sin embargo, la eficiencia disminuye debido al incremento de pérdidas asociadas por la mayor frecuencia de conmutación.

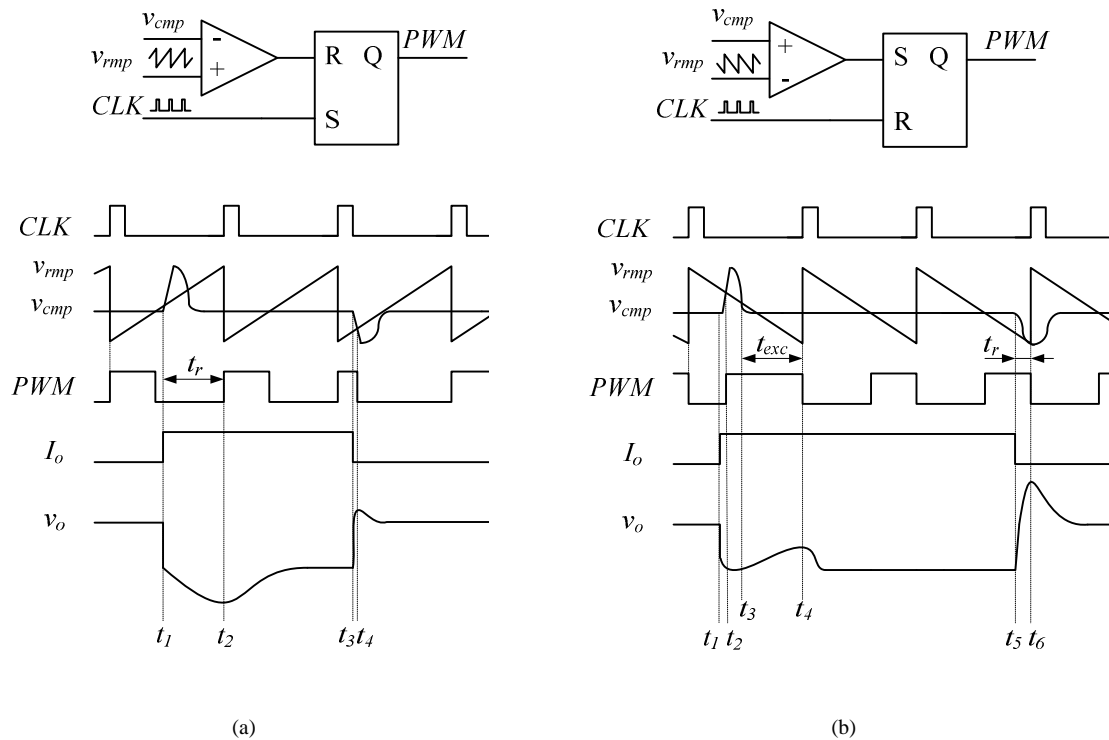


Fig. 1.10. Esquema y formas de onda del modulador PWM. (a) *Trailing edge*. (b) *Leading edge*.

Refiriéndose a las formas de onda de la figura 1.10 (a), se observa como en el instante t_1 en que sucede el transitorio de aumento de carga el controlador no puede activar la señal PWM hasta el instante t_2 en que la señal de reloj CLK fuerza la salida PWM. Durante el tiempo t_r la capacidad de salida se descarga y hace que la tensión de salida v_o disminuya. A partir de t_2 la función AVP sitúa la tensión de salida a su nivel en carga. En t_3 la carga disminuye, la tensión de control v_{cmp} intersecciona con la rampa v_{rmp} en t_4 para que el comparador desactive la salida PWM. Nótese

que aquí la dinámica de la tensión de control v_{cmp} añade un pequeño retardo en la desactivación del pulso PWM.

Por su lado, el diseño *leading edge* de la figura 1.10 (b), presenta un pequeño retardo en la activación debido a la dinámica de v_{cmp} entre t_1 y t_2 . El problema aparece en la desactivación. Obsérvese como en t_3 la tensión de control v_{cmp} intersecciona con la rampa v_{rmp} pero el pulso PWM no baja hasta t_4 permaneciendo un tiempo en exceso t_{exc} que provoca una oscilación de la tensión de salida. De forma similar, cuando la demanda de corriente disminuye en t_5 , la señal PWM se desactiva en el siguiente pulso de reloj en t_6 con el consiguiente exceso de carga en la capacidad de salida y aumento de la tensión de salida.

Como se ha visto, el esquema *trailing edge* presenta el retardo en la activación de la salida PWM mientras que responde con relativa rapidez en la desactivación. Por su parte, el diseño *leading edge* exhibe un retardo principalmente en la desactivación de la señal PWM. Para disminuir estos retardos algunos fabricantes disponen de moduladores PWM *dual edge* [38], [39]. Éstos combinan los beneficios de los dos esquemas pero no llegan a eliminarlos del todo. Como alternativa, Intersil incorpora la técnica *Active Pulse Positioning* (APP) [9] en sus nuevos controladores multifase. Este diseño combina la modulación *leading edge* y *trailing edge* suprimiendo la señal de reloj causante del tiempo de retardo en el esquema clásico. La figura 1.11 muestra este esquema con la formas de onda.

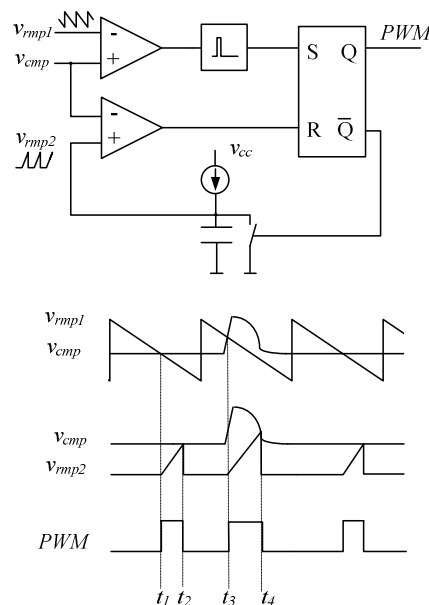


Fig. 1.11. Esquema y formas de onda APP

Nótese como la activación de la señal PWM, instantes t_1 y t_3 , obedece al esquema *leading edge*. La desactivación es gracias a una segunda señal en forma de rampa v_{rmp2} y se produce cuando

ésta intersecciona con la tensión de control v_{cmp} , como en el esquema *trailing edge*, instantes t_2 y t_4 . Como se puede observar la complejidad del diseño consigue minimizar los retardos del controlador. También cabe destacar que en este caso la frecuencia de conmutación es variable.

1.4 Controlador de histéresis

El convertidor objeto de aplicación de esta tesis requiere del empleo de técnicas de control con alta respuesta dinámica para poder responder a los cambios bruscos de carga [40], [41]. A este respecto, los controles en modo deslizamiento, normalmente implementados como controles de histéresis, representan una excelente opción debido a su respuesta inmediata, ciclo de trabajo sin restricción de tiempo y extraordinaria capacidad para controlar regímenes transitorios sin incrementar la frecuencia de conmutación ni sobredimensionar la capacidad de salida [42]-[44].

Desde un punto de vista teórico, la teoría de control en modo deslizamiento simplifica el análisis del sistema de control en lazo cerrado. El controlador de histéresis linealiza de forma exacta el modelo de convertidor por lo que permite obtener funciones de transferencia válidas para analizar el comportamiento del sistema frente a grandes perturbaciones [45]-[49]. Por ejemplo, permite obtener funciones de transferencia de gran señal como la impedancia de salida de lazo cerrado. En cambio, en el control PWM, el diseño del control se realiza utilizando modelos de pequeña señal. Esto hace que las características del sistema sean sensibles al punto de trabajo.

El control de histéresis también destaca por su simplicidad con respecto al PWM, en cualquiera de sus variantes en modo tensión o corriente. La figura 1.12 ilustra el principio de funcionamiento.

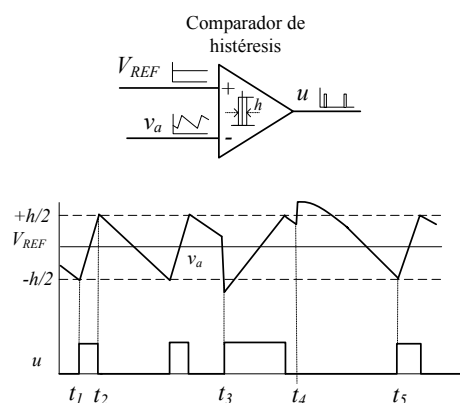


Fig. 1.12. Esquema y formas de onda controlador de histéresis

La tensión de control v_a es comparada permanentemente por medio del comparador con histéresis h con una referencia V_{REF} . Cuando v_a llega a $V_{REF} - h/2$ en t_1 , se activa la señal de control u , y se desactiva en t_2 cuando v_a llega a $V_{REF} + h/2$. Ante un transitorio de aumento de carga en t_3 , la tensión de control cae provocando de forma inmediata la activación de la señal de control durante el tiempo necesario para restablecer a v_a dentro de los límites de la ventana de histéresis. Si por el contrario la carga disminuye, instante t_4 , la señal de control permanece desactivada, para permitir a v_a volver a la ventana de histéresis, hasta el instante t_5 .

Como se puede observar en el esquema, no necesita báscula R-S ni tampoco generar una señal repetitiva en forma de rampa para la modulación de anchura de pulso, tan sólo es necesario un comparador. La ausencia de la báscula R-S, empleada en los controles PWM, permite la respuesta del controlador sobre los elementos de potencia en el mismo instante en que ocurre el transitorio, no existiendo la espera al siguiente ciclo de reloj. Por otro lado, los MOSFET de potencia, gobernados por la señal de control, se mantienen en estado de conducción o corte en los transitorios de carga el tiempo necesario para retornar la tensión de salida a su valor de estado estacionario lo más rápidamente posible. El intervalo de conducción de los dispositivos de potencia cubre el rango de 0 a 1 por completo, no tiene las restricciones en el intervalo de conducción de otras estrategias de control. Esta capacidad es muy importante para poder disminuir el tiempo de recuperación de la tensión de salida después de un transitorio en la corriente de carga [42].

1.4.1 Estado del arte del controlador de histéresis para el convertidor *buck* síncrono

Existen diversos circuitos integrados que implementan el controlador de histéresis para el convertidor *buck* síncrono de altas prestaciones [50], [51]. Sin embargo su aplicación prácticamente queda limitada a la topología de una sola fase [52]-[56]. El principal problema del regulador de histéresis es que carece de una referencia interna de tiempo para el desplazamiento de fase de la señal de ciclo de trabajo. Esto supone un problema para lograr el funcionamiento entrelazado de las distintas fases. También es conocida la dependencia de la frecuencia de conmutación con el punto de trabajo y los elementos parásitos del condensador de salida [57]. Al respecto, las implementaciones existentes en reguladores de una sola fase modifican ligeramente la red de sensado para hacer invariable la frecuencia de conmutación al filtro de salida y obtener un comportamiento robusto frente a la dependencia de la corriente de carga [42], [48], [49], [58], [59].

El diseño basado en el análisis de la impedancia de lazo cerrado permite optimizar la respuesta transitoria tal y como se señaló en el punto 1.2.1. Varios autores proponen esta metodología

para el diseño del controlador de histéresis de una sola fase. En [49] se expone de forma sistemática la obtención de impedancia de salida resistiva y constante basándose en la cancelación total de polos y ceros de la expresión de Z_{ocl} . Mediante la adecuada elección de las redes de compensación es posible obtener comportamiento resistivo y constante de Z_{ocl} y programar la frecuencia de conmutación. En [58] se propone una solución de bajo coste la cual no precisa sensar la corriente para la función AVP, obtiene impedancia de salida resistiva y constante y permite programar la frecuencia de conmutación. Existen otros trabajos [60] y [61], pero tienen la limitación de no poder lograr a la vez impedancia resistiva y programación de frecuencia. Tampoco se tiene conocimiento, hasta la fecha, de estudios publicados relativos al diseño del control basado en el análisis de la impedancia de salida de lazo cerrado en el ámbito de los convertidores multifase empleando el controlador de histéresis.

La aplicación del controlador de histéresis multifase en convertidores reductores también ha sido tratada en diversos artículos y publicaciones científicas [62]-[67]. Estos trabajos focalizan su atención en el balance de corriente y el funcionamiento entrelazado. En [62] se logra el funcionamiento entrelazado a partir de una única señal de control y la inclusión de un circuito secuencial para generar las N-señales de ciclo de trabajo con su respectivo desplazamiento de fase. Durante los transitorios de carga, una serie de comparadores se encargan de activar o desactivar todas las fases para una mejor respuesta transitoria. El control de ecualización de corriente se realiza mediante método pasivo y la función AVP no se implementa. En [63] se consigue funcionamiento entrelazado y ecualización de corriente dirigiendo la señal de ciclo de trabajo sobre la fase con menor corriente y desactivando el resto de las fases, la función AVP no se implementa. En [64] se diseña una superficie de conmutación que de forma natural proporciona balance de corriente de forma activa y entrelazado para un número primo de fases. El control propuesto en [42], [60] y [65]-[66] realiza la sincronización entre los distintos canales mediante la inyección de una señal externa. En [67] se presenta un control con banda de histéresis variable y señal de referencia de frecuencia externa que consigue funcionamiento entrelazado.

Sin embargo, no se tiene constancia de ningún estudio publicado que describa una arquitectura de control que integre las funciones de regulación de la tensión de salida con AVP, balance de corriente y funcionamiento entrelazado con respuesta transitoria óptima. Tampoco se ha tratado una metodología de diseño basada en el análisis de la impedancia de salida de lazo cerrado. Este diseño optimiza la respuesta transitoria de la tensión de salida y de esta forma se puede utilizar toda la ventana de tolerancia de la tensión de alimentación de la carga.

El presente trabajo presenta una arquitectura de controlador de histéresis multifase que integra las funciones de control de regulación de tensión, AVP, balance de corriente y entrelazado para

el convertidor *buck* síncrono multifase. La implementación de dichas funciones se realiza mediante circuitos analógicos teniendo en cuenta simplicidad, bajo coste y funcionalidad como principales objetivos. También se abarca una metodología de diseño basada en el análisis de la impedancia de salida de lazo cerrado. Aplicando la teoría de control de sistemas en modo deslizamiento se obtiene una expresión general de la impedancia de lazo cerrado. Mediante la adecuada selección de los parámetros de control se logra impedancia de salida constante, lo cual conduce a la respuesta óptima de la tensión de salida.

2. OBJETIVOS DE LA TESIS

2 Objetivos de la tesis

El estudio del estado actual de las técnicas de control de reguladores de tensión destinados a la alimentación de microprocesadores de altas prestaciones pone de manifiesto un vacío en la aplicación del control de histéresis en el campo de los reguladores multifase. Por esta razón, se decide emprender la realización de este trabajo de investigación con los siguientes objetivos:

- O 1. Modelar la etapa de potencia del convertidor multifase teniendo en cuenta los componentes parásitos que influyen en el funcionamiento del sistema.
- O 2. Definir estructuras de control para: la regulación de la tensión de salida con posicionamiento adaptativo, la ecualización de corriente y el funcionamiento entrelazado de las fases, bajo una perspectiva de implementación escalable y de bajo coste.
- O 3. Obtener de forma sistemática la expresión de la impedancia de salida de lazo cerrado del sistema.
- O 4. Diseñar redes de sensado y compensación que permitan obtener una respuesta óptima de la tensión de salida frente a transitorios de carga basándose en el análisis de la impedancia de salida de lazo cerrado.
- O 5. Construir modelos de simulación que permitan verificar el funcionamiento teórico de las estructuras de control.
- O 6. Diseñar e implementar prototipos de laboratorio para la verificación experimental del funcionamiento del sistema.

2.1 Metodología y planificación

La metodología de trabajo de este trabajo de investigación comprende las siguientes fases: la definición de modelos y estrategias de control, el diseño de tales estrategias, la comprobación teórica del sistema mediante simulación y por último la verificación experimental en el laboratorio. Sin embargo, un trabajo de estas características lleva con frecuencia a resultados parciales no satisfactorios, lo cual obliga a tener que reformular parte del problema y que el proceso sea iterativo en algún punto. A continuación se describe la forma en que se va a tratar de alcanzar los principales objetivos propuestos.

Con respecto al modelado, se debe partir de la premisa de que el modelo de circuito debe ser simple y al mismo tiempo reflejar de forma precisa las características relevantes del convertidor de N fases objeto de este estudio. Para ello, su desarrollo considerará todos aquellos elementos parásitos que puedan afectar de forma apreciable el comportamiento del sistema. A partir del modelo de circuito se van a derivar las ecuaciones de las variables del sistema y las funciones de transferencia que son significativas de cara al diseño de las estrategias de control que se van a considerar.

En lo que concierne a las estructuras de control y diseño del controlador, en esta fase se estudiará la adaptación de esquemas de control establecidos con anterioridad lo que permitirá introducir mejoras sobre estos dando como resultado nuevas estrategias de control. Otros aspectos como el número de variables a sensar, dificultad de implementación, coste y escalabilidad del sistema se tendrán en cuenta ya que uno de los objetivos es que el diseño sea de bajo coste. En concreto, se partirá del control de histéresis del convertidor reductor de una sola fase de bajo coste, del cual ya se tiene la suficiente experiencia y conocimiento. Debido a que el sistema a estudiar es bastante complejo, se implementarán las distintas funciones de control: regulación de la tensión de salida con AVP, ecualización de corriente y funcionamiento entrelazado, de forma gradual con el objetivo de presentar una solución de controlador de N fases.

En lo que se refiere a simulación del sistema, se hará uso de técnicas de simulación para la implementación de los modelos teóricos del convertidor y así comprobar el funcionamiento teórico del sistema. En este punto es importante comentar que las simulaciones que se realicen servirán de referencia de cara a la siguiente fase experimental de laboratorio. El objetivo es poder contrastar los resultados de simulación con los que se obtengan a partir de prototipos experimentales y así comprobar la correspondencia entre el planteamiento teórico y los resultados empíricos.

Finalmente, se construirán los prototipos experimentales que sean necesarios y se modificarán modelos de convertidor de evaluación ya existentes con el objetivo de validar de forma experimental el trabajo de investigación que se propone en este documento.

2.2 Organización del documento

El capítulo 1 acerca al lector al convertidor objeto de aplicación de este estudio. Se presta atención a aspectos generales como son las características de la carga a alimentar, topología de convertidor, así como de las funciones de control propias de este tipo de convertidor dedicado a alimentar cargas de baja tensión, elevada corriente y alta dinámica. También se tratan las

limitaciones del modulador PWM. Por último, se da un breve repaso de los principales trabajos publicados en el campo del controlador de histéresis aplicado a alimentar cargas de baja tensión y elevada corriente.

El capítulo 2 se dedica a la declaración de objetivos, descripción de la metodología de trabajo y planificación que se ha seguido para realizar el presente trabajo de investigación.

El capítulo 3 trata el controlador de histéresis de una sola fase. En este capítulo se intenta asentar las bases de la presente tesis para después extender el conocimiento adquirido con el controlador monofásico al controlador multifase tratado en el capítulo 4. Ambos capítulos comparten la misma estructura. Una primera parte se dedica a obtener las ecuaciones de diseño. Una vez resuelto el diseño de forma teórica, se pasa a ejemplarizar un diseño concreto de controlador. Finalmente, para su verificación, se procede a su simulación y ensayo experimental de laboratorio y se hace un breve resumen final donde se recogen las conclusiones a las que se ha llegado.

Para obtener las ecuaciones de diseño, en primer lugar se procede al análisis del circuito de potencia para obtener el modelo en lazo abierto. Seguidamente, se aplica la teoría de control en modo deslizamiento para obtener la expresión general de la impedancia de salida de lazo cerrado. El diseño de los parámetros de control tiene como objetivo el lograr impedancia de salida resistiva y constante. De esta forma se consigue respuesta transitoria óptima. Para el caso particular del convertidor multifase, se estudia el reparto de corriente aprovechando la estrategia de regulación de tensión. Para finalizar, se aborda el funcionamiento entrelazado de las fases.

Finalmente, el capítulo 5 se dedica a analizar el grado de consecución de los objetivos iniciales planteados y se plantea la extensión de alguna de las estrategias de control al campo de los controladores digitales.

3. CONTROLADOR DE HISTÉRESIS DE BAJO COSTE DE UNA SOLA FASE

3 Controlador de histéresis de bajo coste de una sola fase

El presente capítulo se centra en el convertidor CC/CC *buck* síncrono de una sola fase con control de histéresis. En primer lugar, se va a modelar la etapa de potencia y el controlador. Seguidamente se va a seleccionar las redes de filtrado. Se obtiene la expresión de la impedancia de salida de lazo cerrado de forma sistemática aplicando la teoría de control en modo deslizamiento. El análisis de esta expresión lleva al diseño de la red de filtrado. Se van a comparar las prestaciones de distintas configuraciones de redes de filtrado en cuanto a comportamiento de la impedancia de salida para obtener respuesta transitoria óptima y selección de frecuencia con simulaciones y prototipos experimentales. Por último se va a tratar el funcionamiento a frecuencia fija del convertidor mediante la inyección de una señal externa de sincronismo. Todo ello bajo una óptica de implementación escalable y de bajo coste. La metodología empleada y los resultados se harán extensibles al convertidor multifase que se trata en el capítulo 4.

3.1 Modelado del convertidor *buck* síncrono

La figura 3.1 muestra el modelo considerado de etapa de potencia de convertidor *buck* síncrono. Los elementos parásitos tienen una influencia significativa en la regulación de los VRM. Los componentes parásitos considerados son únicamente los resistivos. r_1 y r_2 representan respectivamente las resistencias en estado de conducción de los MOSFET de potencia Q_1 y Q_2 . r_L y r_b son las correspondientes resistencias serie equivalentes del inductor y del condensador. Por último, se incluye la resistencia debida al trazado de la pista entre el convertidor y la carga r_c . La carga se modela usando una fuente de corriente variable en el tiempo i_o . Normalmente se conectan varios condensadores cerámicos alrededor del conector de carga para compensar el efecto de las inductancias parásitas y reducir la pendiente del transitorio de la corriente que absorbe la carga a la salida del convertidor. Tanto los condensadores como las inductancias parásitas no se consideran en el modelo. La variable de control del convertidor u toma el valor $u=1$ cuando el interruptor Q_1 está en conducción y Q_2 en corte y $u=0$ cuando Q_1 está en corte y Q_2 en conducción.

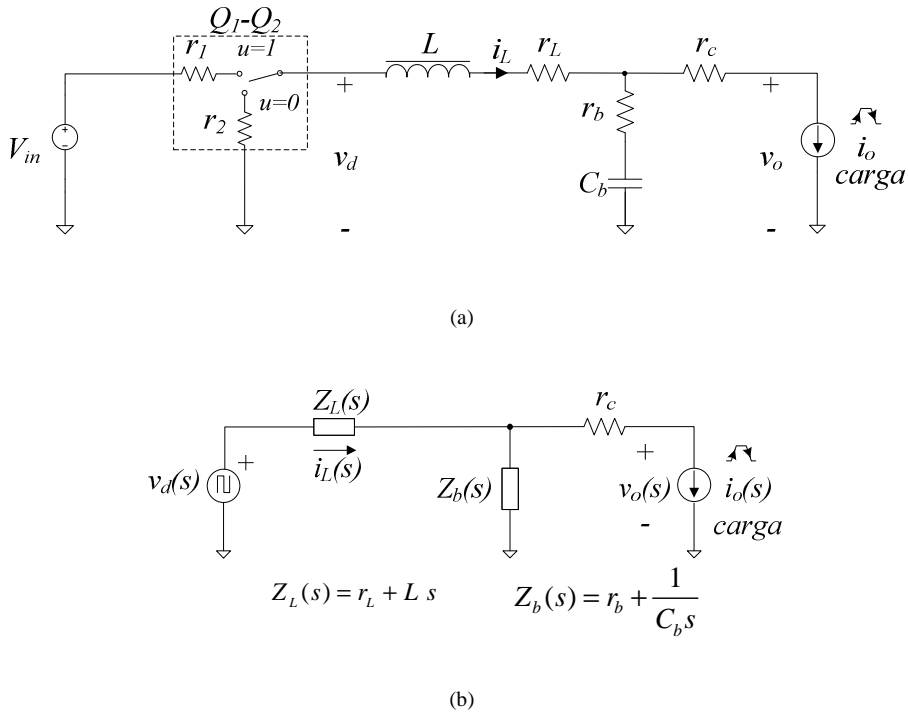


Fig. 3.1. Convertidor *buck* síncrono. (a) Modelo con los componentes parásitos. (b) Transformación al dominio de Laplace.

El modelo de Laplace va a permitir un desarrollo matemático mucho más compacto. El inductor y condensador de salida quedan caracterizados por sus impedancias respectivas Z_L y Z_b . La tensión de entrada y los interruptores de potencia se reemplazan por la fuente de tensión controlada v_d , la cual puede expresarse como

$$v_d(t) = (V_{in}(t) + (r_2 - r_1) \cdot i_L(t)) \cdot u(t) - r_2 \cdot i_L(t) \quad (3.1)$$

3.1.1 Modelo en lazo abierto

A partir del circuito de la figura 3.1 la corriente i_L puede expresarse como

$$i_L(s) = G_{id}(s) \cdot v_d(s) + G_{io}(s) \cdot i_o(s) \quad (3.2)$$

donde G_{id} y G_{io} se formulan de la siguiente forma

$$G_{id}(s) = \left. \frac{i_L(s)}{v_d(s)} \right|_{i_o(s)=0} = \frac{1}{Z_L + Z_b} \quad (3.3)$$

$$G_{io}(s) = \left. \frac{i_L(s)}{i_o(s)} \right|_{v_d(s)=0} = \frac{Z_b}{Z_L + Z_b} \quad (3.4)$$

La tensión de salida v_o viene dada por

$$v_o(s) = G_{od}(s) \cdot v_d(s) - Z_o(s) \cdot i_o(s) \quad (3.5)$$

donde G_{od} y la impedancia en lazo abierto Z_o se formulan respectivamente como

$$G_{od}(s) = \left. \frac{v_o(s)}{v_d(s)} \right|_{i_o(s)=0} = \frac{Z_b}{Z_L + Z_b} \quad (3.6)$$

$$Z_o(s) = - \left. \frac{v_o(s)}{i_o(s)} \right|_{v_d(s)=0} = \frac{Z_L \cdot Z_b}{Z_L + Z_b} + r_c \quad (3.7)$$

3.1.2 Controlador de bajo coste

La arquitectura del controlador se muestra en la figura 3.2 en forma de diagrama de bloques. Como en el caso del controlador comercial [52], la característica más remarcable es que para conseguir la función de regulación de tensión con posicionamiento adaptativo únicamente se necesita sensar la tensión de salida v_o y la tensión a la salida del troceador v_d . La arquitectura de control típica necesita medir la corriente del inductor para la función AVP. En este caso no es necesario sensar la corriente, lo cual reduce la complejidad del controlador y el coste. Otro aspecto destacable de esta configuración es que elimina la dependencia del condensador de salida en la frecuencia de conmutación. [42], [48], [49], [58]-[60].

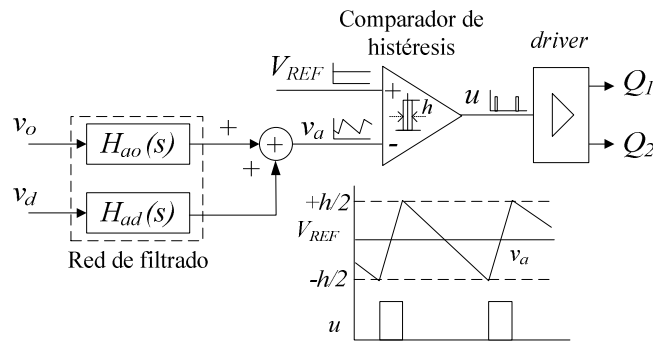


Fig. 3.2. Diagrama de bloques del controlador y formas de onda del comparador de histéresis

Esta arquitectura logra la regulación de tensión con AVP mediante el adecuado procesado de v_o y v_d con la red de filtrado. La red de filtrado se implementa de forma simple con componentes RC. Las funciones de transferencia H_{ad} y H_{ao} corresponden a un filtro paso bajo y a un filtro paso alto, respectivamente, tal y como se mostrará en el apartado dedicado a la red de filtrado. Consecuentemente, el valor medio de v_d y las variaciones de alta frecuencia de v_o son ambas

inyectadas al comparador de histéresis a través de la tensión de control v_d . La dinámica de v_d puede expresarse como sigue

$$v_d(s) = H_{ad}(s) \cdot v_d(s) + H_{ao}(s) \cdot v_o(s) \quad (3.8)$$

Ésta última se compara con la referencia estática de tensión V_{REF} . Cerrando el lazo, el comparador de histéresis modula el ancho de la señal de control u para ajustar el valor medio de v_d a la referencia V_{REF} . Obsérvese como el controlador está regulando el valor medio de v_d en lugar de la tensión de salida. Gracias a ello se obtiene la característica de caída necesaria para la función AVP sin necesidad de introducir la corriente en el diagrama de control. Todo ello se deduce a partir de la siguiente expresión

$$v_d(t) = L \cdot \frac{di_L(t)}{dt} + r_L \cdot i_L(t) + r_c \cdot i_o(t) + v_o(t) \quad (3.9)$$

que en valor medio es igual a

$$\overline{v_d}(t) = (r_L + r_c) \cdot I_o(t) + \overline{v_o}(t) \quad (3.10)$$

Otra característica importante de este controlador es que la tensión de control tiene indirectamente información sobre la corriente de carga.

3.2 Redes de filtrado para la regulación de la tensión de salida

La figura 3.3 muestra distintas configuraciones de red analógica RC que han sido objeto de estudio y aplicación en controles de histéresis para VRMs [42], [48], [49], [58]-[61]. Las configuraciones que se seleccionan para el controlador de bajo coste son las que ofrecen un comportamiento de filtro pasa bajos para v_d y de filtro pasa altos para v_o , ambos con respecto a v_d . Estas se corresponden con las redes de la figura 3.3 (b) a (e). De esta forma se introduce un error en la tensión de salida en estado estacionario proporcional a la corriente y se consigue la característica de caída de la función AVP de forma inherente, sin sensar la corriente de salida. Por otro lado, también se obtiene indirectamente información de las variaciones de la corriente de carga. De esta manera el controlador puede responder rápidamente ante los transitorios de carga.

Con el objetivo de comparar las prestaciones de las distintas redes, en lo que respecta a logro de impedancia de salida constante y programación de frecuencia, y teniendo en cuenta la topología común de las redes (b) a (e), se definen los siguientes parámetros de control

$$k_t = R_t \cdot C_t \quad k_o = R_d \cdot C_o \quad k_a = R_d \cdot C_a \quad k_p = R_d \cdot C_t \quad \alpha = \frac{R_d}{R_a} \quad (3.11)$$

de esta manera se podrá pasar fácilmente de una configuración de red a otra simplemente igualando a cero el parámetro que no exista en la red concreta. El diseño del controlador de histéresis lleva consigo el cálculo de los parámetros de control k_t , k_o , k_a , k_p y α que satisfagan las especificaciones estáticas y dinámicas del convertidor.

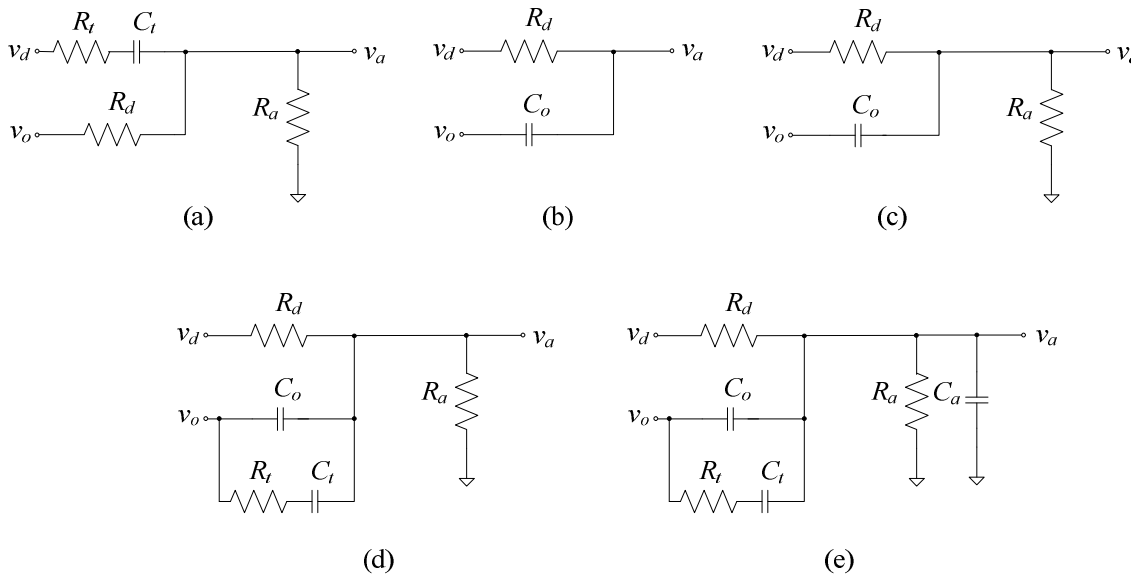


Fig. 3.3. Redes de filtrado

Finalmente se obtienen las funciones de transferencia H_{ad} y H_{ao} de la red 3.3 (e) por ser la que incluye todos los parámetros

$$H_{ad}(s) = \frac{k_t \cdot s + 1}{(k_o + k_a) \cdot k_t \cdot s^2 + (k_o + k_a + k_p + (1 + \alpha) \cdot k_t) \cdot s + (1 + \alpha)} \quad (3.12)$$

$$H_{ao}(s) = \frac{s \cdot (k_o \cdot k_t \cdot s + k_o + k_p)}{(k_o + k_a) \cdot k_t \cdot s^2 + (k_o + k_a + k_p + (1 + \alpha) \cdot k_t) \cdot s + (1 + \alpha)} \quad (3.13)$$

3.3 Impedancia de salida en lazo cerrado

El controlador de histéresis de la figura 3.2 puede ser analizado por medio de la teoría de control en modo deslizamiento [45]. La superficie de conmutación viene dada por la diferencia entre las dos entradas del comparador

$$S(t) = v_{REF}(t) - v_a(t) \quad (3.14)$$

La ley de control se define como

$$u(t) = \begin{cases} u=1, & S > 0 \\ u=0, & S < 0 \end{cases} \quad (3.15)$$

Cuando el estado del sistema desliza sobre la superficie de conmutación, el convertidor satisface la condición de invarianza [45], [46]

$$S(t) = 0 \quad \text{y} \quad \frac{\partial S(t)}{\partial t} = 0 \quad (3.16)$$

Ello supone considerar una frecuencia de conmutación infinita. La condición de invarianza permite deducir el comportamiento dinámico medio de las variables del convertidor. Para el presente caso, las entradas del comparador siguen la siguiente dinámica de valores medios

$$\bar{v}_a(t) = \bar{V}_{REF}(t) \quad \text{y} \quad \frac{d\bar{v}_a(t)}{dt} = \frac{d\bar{V}_{REF}(t)}{dt} = 0 \quad (3.17)$$

con lo que la dinámica del valor medio de v_d se puede obtener sustituyendo (3.8) en (3.17), resultando en

$$\bar{v}_d(s) = \frac{\bar{V}_{REF}(s) - H_{ao}(s) \cdot \bar{v}_o(s)}{H_{ad}(s)} \quad (3.18)$$

Tomando la definición de impedancia en lazo cerrado, la cual describe la relación entre la tensión de salida del VRM y la corriente de carga

$$Z_{ocl}(s) = - \left. \frac{\bar{v}_o(s)}{\bar{i}_o(s)} \right|_{\bar{v}_{REF}(s)=0} \quad (3.19)$$

y sustituyendo (3.18) en (3.5) y usando (3.19) se obtiene

$$Z_{ocl}(s) = \frac{Z_o(s)}{1 + \frac{H_{ao}(s)}{H_{ad}(s)} \cdot G_{od}(s)} \quad (3.20)$$

De acuerdo con la teoría de control, se observa como el hecho de cerrar el lazo atenúa la impedancia de salida en uno más el término de ganancia de lazo, formado en este caso por H_{ad} ,

H_{ao} y G_{od} . Llegado a este punto, merece la pena observar como los parámetros k_a y α no tienen influencia en la impedancia de salida de lazo cerrado, con lo que se pueden utilizar para otros fines. Esto es fácil de probar observando que (3.20) depende del cociente de H_{ao} y H_{ad} .

Los ceros y polos de Z_{ocl} determinan la respuesta transitoria frente a variaciones de la corriente de carga. El objetivo de respuesta transitoria óptima se alcanza cuando Z_{ocl} es resistiva y constante para todo el espectro de frecuencia. Así pues, desde un punto de vista conceptual, el diseño de la impedancia de lazo cerrado consistirá en cancelar ceros y polos de Z_{ocl} resolviendo la ecuación $Z_{ocl} = k$, donde k es una constante, y obtener entonces las funciones de transferencia H_{ad} y H_{ao} que garanticen la condición de impedancia de salida resistiva y constante. Sustituyendo (3.12), (3.13), (3.6) y (3.7) en la expresión de la impedancia de salida de lazo cerrado (3.20) se obtiene una forma más adecuada para el diseño del controlador

$$Z_{ocl}(s) = Z_{ocl}(0) \frac{a_3 \cdot s^3 + a_2 \cdot s^2 + a_1 \cdot s + a_0}{b_3 \cdot s^3 + b_2 \cdot s^2 + b_1 \cdot s + b_0} \quad (3.21)$$

$Z_{ocl}(0)$ es la impedancia de lazo cerrado en corriente continua. Los coeficientes del numerador y denominador son

$$\begin{aligned} a_3 &= \frac{r_b + r_c}{r_L + r_c} \cdot L \cdot C_b \cdot k_t \\ a_2 &= \frac{r_b + r_c}{r_L + r_c} \cdot L \cdot C_b + k_t \left(r_b \cdot C_b + \frac{L + r_L \cdot r_c \cdot C_b}{r_L + r_c} \right) \\ a_1 &= k_t + r_b \cdot C_b + \frac{L + r_L \cdot r_c \cdot C_b}{r_L + r_c} \\ a_0 &= 1 \\ b_3 &= k_t \cdot C_b \cdot (r_b \cdot k_o + L) \\ b_2 &= L \cdot C_b + r_b \cdot C_b \cdot (k_o + k_p) + ((r_L + r_b) \cdot C_b + k_o) \cdot k_t \\ b_1 &= (r_L + r_b) \cdot C_b + k_o + k_p + k_t \\ b_0 &= 1 \end{aligned} \quad (3.22)$$

Nótese como los coeficientes a_j y b_j ($j = 0 \dots 3$) dependen de los parámetros de control de la red k_o , k_p y k_t y los valores de los componentes de potencia. El objetivo del diseño es obtener las expresiones de los parámetros de control que garanticen

$$Z_{ocl}(s) = Z_{ocl}(0) \quad (3.23)$$

3.4 Diseño del controlador

A continuación se aborda el diseño del controlador de forma que incluya las funciones de regulación de tensión con posicionamiento adaptativo y respuesta transitoria óptima, y funcionamiento a frecuencia de conmutación seleccionable e independiente del punto de trabajo del convertidor.

3.4.1 Diseño de la red de filtrado

Se pretende forzar que la impedancia de salida en lazo cerrado sea constante y resistiva, mediante la total cancelación de ceros y polos de (3.21). De esta forma, la tensión de salida no presentará oscilaciones cuando se produzca un cambio en la corriente de salida y se logrará respuesta transitoria óptima. Observando la expresión (3.21) se deberá cumplir que $a_j = b_j$ ($j = 0 \dots 3$). Bajo esta condición se obtiene la impedancia resistiva y constante deseada.

Igualando los coeficientes (3.22) se pueden obtener las ecuaciones de diseño de los valores de los parámetros del controlador en función de los componentes del filtro de potencia y la impedancia en CC

$$a_3 = b_3 \Rightarrow k_o = \frac{L}{r_L + r_c} \left(\frac{r_b - r_L}{r_b} \right) \quad (3.24)$$

$$a_2 = b_2 \Rightarrow k_t = r_b \cdot C_b \quad (3.25)$$

$$a_1 = b_1 \Rightarrow k_p = \frac{r_L \cdot L}{r_L + r_c} \left(\frac{1}{r_b} - \frac{r_L \cdot C_b}{L} \right) \quad (3.26)$$

$$Z_{ocl}(0) = r_L + r_c \quad (3.27)$$

A su vez se deberán cumplir las siguientes condiciones en relación a los componentes de potencia, las cuales se deberán tener en cuenta en el diseño de la etapa de potencia del convertidor.

$$\begin{aligned} k_o = R_d C_o \Rightarrow k_o > 0 &\Rightarrow r_b > r_L \\ k_p = R_d C_t \Rightarrow k_p > 0 &\Rightarrow \frac{L}{r_L} > r_b \cdot C_b \end{aligned} \quad (3.28)$$

Normalmente, el orden de magnitud de los componentes en este tipo de convertidores asegura que la constante de tiempo del inductor sea mayor que la del condensador de salida.

3.4.2 Diseño de la función AVP

Típicamente, la función de control AVP modifica la tensión de referencia para poder reducir la tensión de salida linealmente con el incremento de corriente. A su vez, el lazo de regulación de tensión ajusta la tensión de salida a esta referencia dinámica. Sin embargo, el controlador de bajo coste funciona de forma diferente. La red de filtrado de la figura 3.3 (e) realiza la regulación de tensión y la función AVP. La función de transferencia H_{ad} (3.12) corresponde a un filtro pasa bajos mientras que H_{ao} (3.13) es pasa altos. Con lo que la tensión de control v_a contiene información del valor medio de v_d y de las variaciones de alta frecuencia de v_o . Consecuentemente, el comparador de histéresis ajusta el valor medio de v_d a la referencia estática V_{REF} . Esta estrategia introduce un error en estado estacionario en la tensión de salida. Este error es proporcional a la corriente de carga y es el que se utiliza para implementar la función AVP. Para mostrar esta característica se deduce la tensión de salida en régimen estacionario sustituyendo los valores en CC ($s=0$) de (3.6) y (3.7) en (3.5) y también el valor en estado estacionario de (3.12) y (3.13), obteniéndose como resultado

$$V_o = (1 + \alpha) \cdot V_{REF} - (r_L + r_c) \cdot I_o \quad (3.29)$$

Obsérvese como se obtiene la característica deseada de caída. Los parásitos r_L y r_c y el consumo de la carga proporcionan la función AVP. Por su parte, el parámetro α determina el valor máximo de la tensión de salida. El convertidor en estado estacionario se comporta como una fuente ideal de tensión con una resistencia serie que hace que la tensión de salida dependa directamente de la corriente de salida.

Para poder satisfacer las especificaciones de la carga, $(r_L + r_c)$ debe coincidir con la pendiente de la recta de carga anunciada en las guías de diseño [1]-[3]. El diseño de la etapa de potencia con inductores con baja tolerancia en el valor de su resistencia en corriente continua (DCR) y una buena estimación de la resistencia del trazado de pista entre el convertidor y la carga son requisitos indispensables para poder tener una buena estimación de los parásitos r_L y r_c respectivamente. En este caso, la banda de tolerancia de la ecuación de la recta de carga puede absorber fácilmente las desviaciones de la tensión de salida debidas a las tolerancias y derivas térmicas. A modo de ejemplo, considérese una impedancia de salida de lazo cerrado de $1 \text{ m}\Omega$, que se implementa con un inductor de $r_L = 0.5 \text{ m}\Omega$ 5 % de DCR y una $r_c = 0.5 \text{ m}\Omega$ 20 %. La tolerancia equivalente dada por el método de la raíz de la suma de los cuadrados es de un 10%. La desviación de la tensión de salida para una corriente de 100 A sería de $\pm 10 \text{ mV}$. Este valor está por debajo de los $\pm 19 \text{ mV}$ especificados en [2].

3.4.3 Frecuencia de conmutación

Para la determinación de la frecuencia de conmutación en estado estacionario se emplea el método propuesto en [58]. Este método se basa en suponer que la tensión de control v_a presenta una forma de onda triangular en régimen estacionario, como se muestra en la figura 3.4.

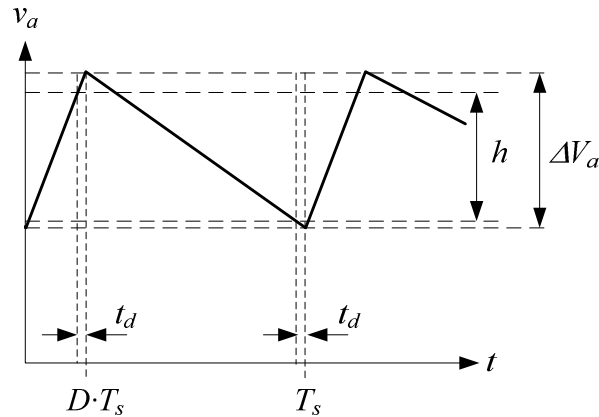


Fig. 3.4. Forma de onda de v_a

La dinámica aproximada de esta tensión puede deducirse de (3.8), (3.12) y (3.13). Teniendo presente todo lo anterior se llega a

$$(k_o + k_a) \frac{dv_a(t)}{dt} = v_d(t) \quad (3.30)$$

Obsérvese que la figura 3.4 incluye el retardo del controlador en la constante t_d , que se supondrá igual para la conmutación de encendido y apagado del transistor Q_1 . Este retardo provoca que el rizado de v_a , ΔV_a , sea mayor que el valor de la ventana de histéresis h . Teniendo en cuenta lo anterior, el valor de ΔV_a será

$$\Delta V_a = h + \left(\left. \frac{dv_a(t)}{dt} \right|_{u=1} \cdot t_d - \left. \frac{dv_a(t)}{dt} \right|_{u=0} \cdot t_d \right) = h + \frac{\Delta V_a}{D \cdot (1-D) \cdot T_s} \cdot t_d \quad (3.31)$$

Por otro lado, restando los dos valores de la expresión (3.30) para los dos valores de la variable de control u se obtiene

$$\left. \begin{array}{l} u = 1 \Rightarrow (k_o + k_a) \frac{\Delta V_a}{D \cdot T_s} = V_{in} - r_1 \cdot I_o \\ u = 0 \Rightarrow (k_o + k_a) \frac{\Delta V_a}{(1-D) \cdot T_s} = -r_2 \cdot I_o \end{array} \right\} \Rightarrow \Delta V_a = (k_o + k_a) \frac{\Delta V_a}{D \cdot (1-D) \cdot T_s} = V_{in} + (r_2 - r_1) \cdot I_o \quad (3.32)$$

Sustituyendo (3.31) en (3.32) se obtiene la expresión de la frecuencia de conmutación f_s

$$f_s = \frac{1}{T_s} = \frac{D \cdot (1-D) \cdot \Delta V_d}{\Delta V_d \cdot t_d + h \cdot (k_o + k_a)} \quad (3.33)$$

El ciclo de trabajo D se corresponde con el valor medio de la variable de control u y se obtiene a partir del modelo promediado del convertidor (3.1) a (3.7)

$$\overline{v_d} = (V_{in} + (r_2 - r_1) \cdot \overline{i_L}) \cdot D - r_2 \cdot \overline{i_L} \quad (3.34)$$

$$\overline{i_L} = I_o \quad (3.35)$$

$$\overline{v_o} = V_o = \overline{v_d} - I_o (r_L + r_c) \quad (3.36)$$

$$D = \frac{V_o + I_o (r_L + r_c + r_2)}{V_{in} + (r_2 - r_1) \cdot I_o} \quad (3.37)$$

Obsérvese que la frecuencia de conmutación no depende de los componentes parásitos del condensador de salida. Además el parámetro de control k_a permitirá seleccionar la frecuencia de conmutación, ya que el parámetro k_o se utiliza para fijar la impedancia de salida en lazo cerrado.

3.4.4 Sincronismo

La expresión (3.33) muestra la dependencia de la frecuencia de conmutación con el punto de trabajo del convertidor. Sin embargo, se puede lograr frecuencia de conmutación fija en régimen permanente simplemente mediante la inyección de una señal de sincronismo en una de las dos entradas del comparador de histéresis. La figura 3.5 muestra el controlador modificado, con respecto al de la figura 3.2, y el principio de operación de este mecanismo de sincronización.

La tensión de entrada en este tipo de convertidores es de 12 V mientras que la de salida está en torno a 1V. Ello propicia que el ciclo de trabajo sea extremadamente bajo. Para fijar ideas, se inyecta una señal en forma de tren de pulsos v_{sy} en la entrada positiva del comparador de histéresis. De esta forma, el comparador de histéresis es forzado a cambiar su salida activando la señal de control u cuando la tensión de control v_a está bajando. De no hacerse así, se podría observar un funcionamiento inestable.

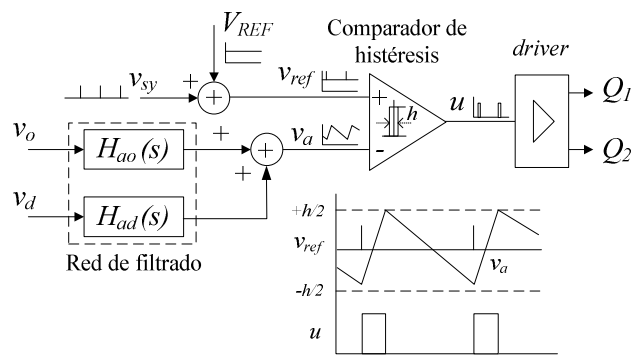


Fig. 3.5. Comparador de histéresis y formas de onda con sincronismo externo

La figura 3.6 denota el instante de tiempo en el que la señal de control u entra en sincronismo con el pulso externo v_{sy} . La frecuencia, amplitud y ancho del pulso deben cumplir ciertos requisitos para poder conseguir la sincronización sin perturbar la regulación de la tensión de salida tal y como se describe a continuación.

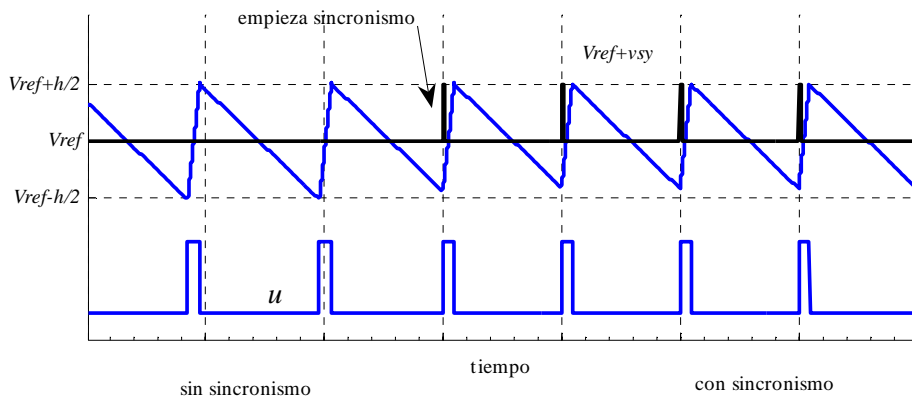


Fig. 3.6. Detalle de las formas de onda con sincronismo externo

La inyección de la señal externa evita que la tensión de control v_a alcance el extremo bajo de la banda de histéresis, tal y como puede apreciarse en la figura 3.6. La tensión de rampa v_a no queda centrada en la tensión de referencia porque el comparador no trabaja de forma simétrica. Consecuentemente, el valor medio de v_a se incrementa. Sin embargo, el valor medio de v_a apenas se ve afectado si la frecuencia de la señal externa es ligeramente superior a la frecuencia de conmutación a plena carga sin sincronización. De hecho, es fácil mostrar como la nueva ventana de histéresis h_{sy} es inversamente proporcional al incremento de la frecuencia β con la ayuda de la figura 3.7. El trazo continuo denota la forma de onda de v_a cuando se inyecta la

señal de sincronismo de periodo T_{sy} , mientras que el trazo discontinuo de periodo T_s se corresponde a la situación de no sincronismo.

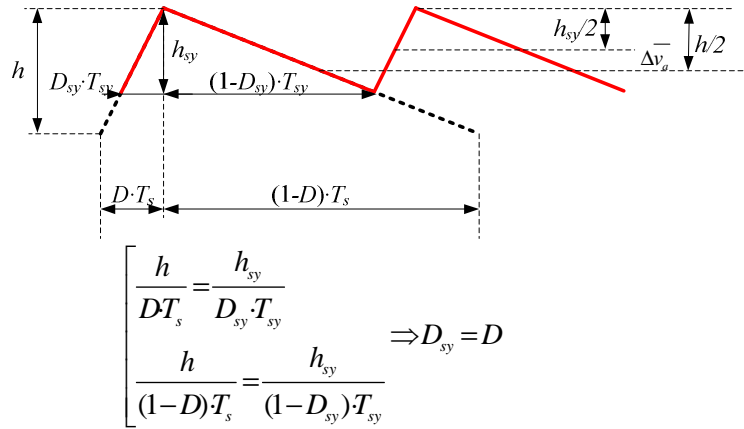


Fig. 3.7. Análisis de v_a cuando se inyecta sincronismo

$$f_{sy} = \beta \cdot f_s \qquad h_{sy} = \frac{h}{\beta} \qquad (3.38)$$

f_{sy} es la frecuencia de la señal de sincronismo v_{sy} . El valor medio de v_a se incrementa en

$$\Delta v_a^- = \frac{h}{2} \left(1 - \frac{1}{\beta} \right) \qquad (3.39)$$

A modo de ejemplo, con un incremento de un 10 % en la frecuencia ($\beta = 1,1$) y una ventana de histéresis de 20 mV, el valor medio de v_a sufre un incremento de 0,909 mV, lo cual es negligible para una $V_{REF} = 1$ V.

Con respecto a la amplitud del pulso p_a , se debe cumplir la condición de diseño (3.40) para lograr de forma efectiva que el comparador de histéresis conmute su salida.

$$h > p_a > \frac{h}{2} \left(1 - \frac{1}{\beta} \right) \qquad (3.40)$$

La condición para el ancho del pulso p_w es que debe ser más pequeño que el tiempo de subida de v_a . En este caso, cuando la rampa v_a alcance el límite superior de la ventana de histéresis podrá forzar al comparador a desactivar su salida. En caso contrario, v_a seguiría aumentando para poder seguir a la referencia de voltaje impuesta por el pulso. Como el tiempo de subida de v_a coincide con el ancho de la señal de control u , tomando el valor del ciclo de trabajo (3.37) para el peor de los casos (situación de vacío), el ancho del pulso p_w debe cumplir

$$p_w < T_{sy} \frac{V_o}{V_{in}} \quad (3.41)$$

El método de sincronización por señal externa no interfiere con la rápida respuesta del control de histéresis, tal y como se muestra en la figura 3.8. La carga se activa en el instante t_{on} y se desactiva en el t_{off} . En estos instantes de tiempo, la dinámica de la tensión de control v_a posee información sobre la variación de v_o de alta frecuencia debido al transitorio de carga gracias al efecto pasa altos de H_{ao} . En t_{on} , v_a cae y fuerza al comparador de histéresis a activar su salida independientemente de la señal de sincronización. Al contrario, en t_{off} , v_a aumenta y causa al comparador a mantener su salida desactivada. Después de t_{on} y t_{off} se alcanza de nuevo la sincronización en los instantes t_1 y t_2 respectivamente.

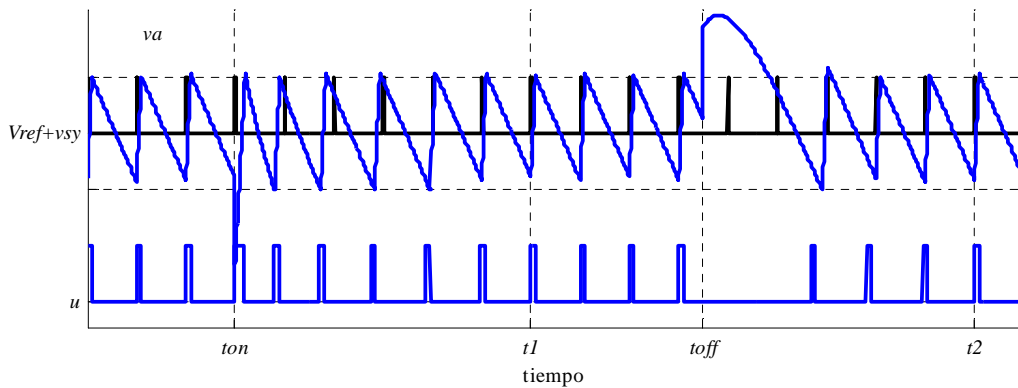


Fig. 3.8. Comportamiento del sistema de sincronismo durante los transitorios de carga

3.5 Ejemplo de diseño y simulación

En este punto se aborda el diseño del control en base a un ejemplo concreto de convertidor y su simulación mediante Simulink® Matlab. Los valores nominales de los componentes de la etapa de potencia y los parámetros del circuito de control se corresponden a los del prototipo que se utilizará en el apartado de comprobación experimental de laboratorio. Dichos componentes satisfacen la condición de diseño (3.28).

3.5.1 Diseño de la red de filtrado

A continuación se procede al diseño de la red de filtrado de la figura 3.3 (e) por ser la que incluye todos los parámetros de control definidos en (3.11). El procedimiento paso a paso para el diseño de la red de filtrado es el siguiente:

1) Los parámetros de control k_o , k_t y k_p que satisfacen la imposición de impedancia resistiva y constante se derivan utilizando las expresiones (3.24) a (3.26) y los valores de los componentes de potencia que se listan en la Tabla 3.1.

2) El parámetro de control k_a se calcula utilizando (3.33) para una frecuencia de conmutación de 400 kHz sin señal de sincronización. Nótese como esta frecuencia es ligeramente menor que la frecuencia de conmutación especificada en la Tabla 3.1.

3) El parámetro de control α se determina con (3.29) y la especificación de tensión en vacío de la Tabla 3.1.

4) Los componentes de la red de filtrado se calculan con (3.11) y los resultados de los pasos anteriores. Fijando $R_d = 10 \text{ k}\Omega$, la Tabla 3.2 lista la solución al ejemplo de diseño.

TABLA 3.1
Valores de los componentes y especificaciones estáticas y dinámicas

Símbolo	Componente del circuito de potencia	Valor
r_1	Resistencia equivalente en conducción del transistor Q_1	3.67 m Ω
r_2	Resistencia equivalente en conducción del transistor Q_2	2.75 m Ω
L	Inductor	450 nH \pm 15 %
r_L	DCR inductor	0.78-0.98 m Ω
C_b	Condensador de salida	4.98 mF
r_b	ESR Condensador de salida	0.91 m Ω
r_c	Resistencia parásita entre convertidor y carga	0.66 m Ω
Especificaciones de línea y carga		
V_{in}	Tensión de entrada	12 V
$I_{o\ max}$	Corriente máxima de salida	20 A
$I_{o\ min}$	Corriente mínima de salida	0 A
$SR(I_o)$	dI_o/dt	80 A/ μ s
Parámetros del circuito de control		
V_{REF}	Tensión de referencia	1.30 V
h	Ventana de histéresis	10 mV
t_d	Retardo de propagación	200 ns
Especificaciones estáticas y dinámicas		
$V_{o\ nl}$	Tensión de salida en vacío	1.315 V
$Z_{o\ cl}$	Impedancia de salida de lazo cerrado $r_L + r_c$	1.44 m Ω
f_s	Frecuencia de conmutación	430 kHz

TABLA 3.2
Solución al ejemplo de diseño

Parámetros de la red de filtrado		
$k_o = 44.3 \mu\text{s}$	$k_i = 4.53 \mu\text{s}$	$k_p = 263.9 \mu\text{s}$
$k_a = 10 \mu\text{s}$	$\alpha = 0.0092$	
Componentes implementados		
$R_d = 10 \text{ k}\Omega$	$C_i = 27 \text{ nF}$	$R_i = 180 \Omega$
$C_o = 4.7 \text{ nF}$	$C_a = 1 \text{ nF}$	$R_a = 1 \text{ M}\Omega$

3.5.2 Modelo de simulación

La figura 3.9 representa el modelo de simulación empleado. Este implementa el modelo de convertidor y controlador descritos en los apartados 3.1 y 3.2 respectivamente. Las entradas son la corriente de carga pulsante 0-20 A y la tensión de referencia de 1.3 V. La etapa de potencia se encuentra en el bloque denominado “buck síncrono 1 fase”. El control por su parte, sensa la tensión de salida v_o y la tensión a la salida del troceador v_d . A partir de estas señales y de la tensión de referencia de 1.3 V genera la señal de control u .

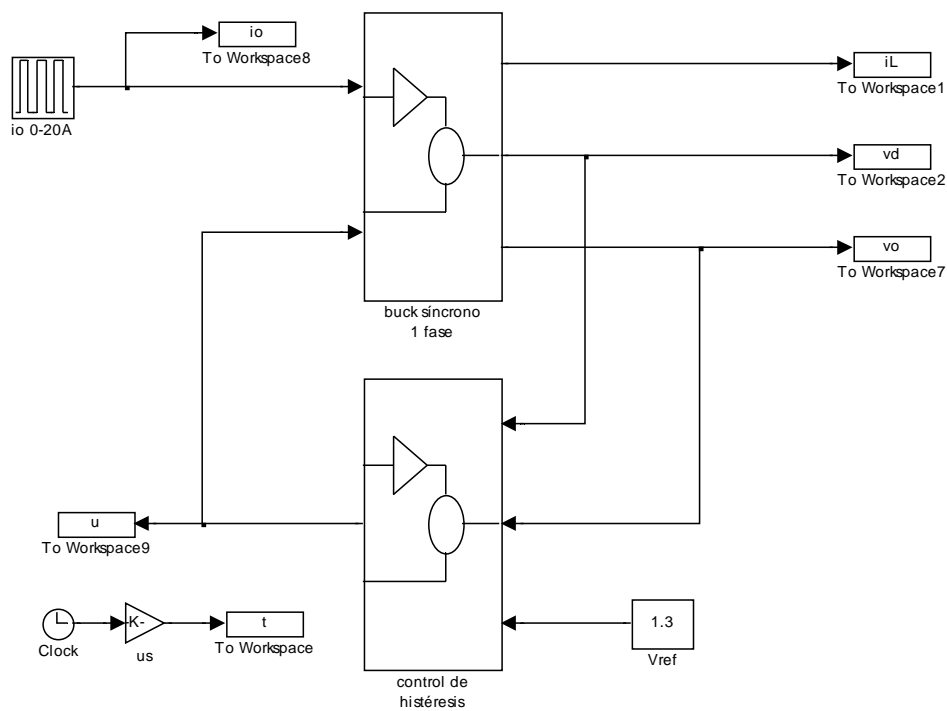


Fig. 3.9. Modelo de simulación Simulink®

3.5.3 Comparativa de redes de filtrado

A continuación se analizan las prestaciones de las redes de filtrado (b) a (e) de la figura 3.3 en términos de logro de impedancia de salida resistiva constante y programación de frecuencia. Para ello se simulan las distintas redes para obtener el comportamiento en frecuencia de la impedancia de salida y la respuesta transitoria de la tensión de salida frente a escalones de carga.

3.5.3.1 Redes (b) y (c)

Las redes (b) y (c) carecen de los componentes C_r , R_t y C_a (veáse figura 3.3) con lo que $k_t = k_p = k_a = 0$. La red (c) añade el parámetro α con respecto a la (b), lo cual permite seleccionar la tensión de salida en vacío. Ambas redes disponen únicamente del parámetro de control k_o para determinar el comportamiento de la impedancia de salida y el valor de la frecuencia de conmutación. H_{ad} y H_{ao} se reducen a un filtro de primer orden pasa bajos y pasa altos respectivamente tal y como muestra la figura 3.10 (a). Los coeficientes de numerador y denominador de (3.21) quedan reducidos a

$$\begin{aligned}
 a_3 &= 0 & b_3 &= 0 \\
 a_2 &= \frac{r_b + r_c}{r_L + r_c} \cdot L \cdot C_b & b_2 &= L \cdot C_b + r_b \cdot C_b \cdot k_o \\
 a_1 &= r_b \cdot C_b + \frac{L + r_L \cdot r_c \cdot C_b}{r_L + r_c} & b_1 &= (r_L + r_b) \cdot C_b + k_o \\
 a_0 &= 1 & b_0 &= 1
 \end{aligned} \tag{3.42}$$

Siguiendo el mismo procedimiento que en apartado 3.4.1, se igualan coeficientes y se obtiene una doble condición para k_o para lograr impedancia de salida resistiva

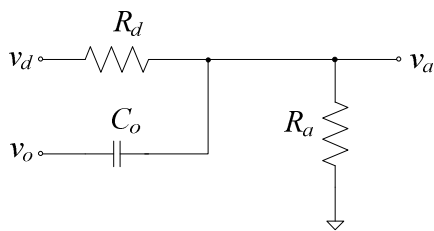
$$k_o = r_b \cdot C_b = \frac{L}{r_L} \tag{3.43}$$

lo cual compromete el diseño de la etapa de potencia a que las constantes de tiempo del inductor y condensador de salida sean iguales. Normalmente, la magnitud de la constante de tiempo del condensador es mucho más pequeña que la del inductor.

La figura 3.10 (b) muestra el diagrama de Bode de la impedancia de salida en lazo abierto (3.7) del convertidor descrito en la Tabla 3.1 y el término de ganancia de lazo para distintos valores de k_o . La impedancia de salida en lazo abierto a baja frecuencia viene determinada por $r_L + r_c$ y se incrementa con la impedancia del inductor hasta la frecuencia de resonancia del inductor y condensador de salida, 3.34 kHz. Pasada la resonancia, disminuye hasta que alcanza el valor de

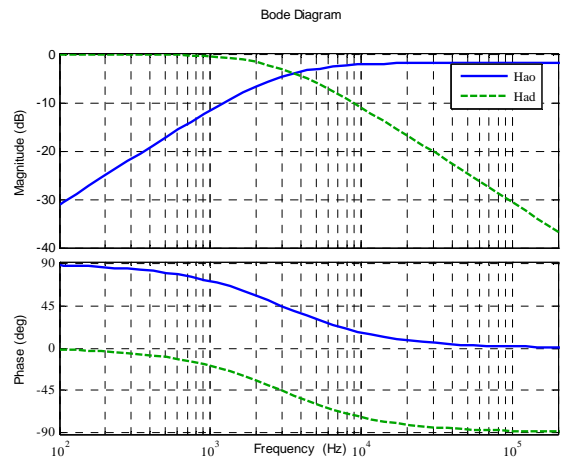
r_b . A alta frecuencia la impedancia viene impuesta por $r_b + r_c$. La figura 3.10 (c) muestra gráficamente como el hecho de cerrar el lazo disminuye la impedancia de salida en uno más el término de ganancia de lazo.

Se observa como k_o atenúa la magnitud de la impedancia de salida en lazo cerrado alrededor de la frecuencia de resonancia, pero no consigue el objetivo de valor constante. También permite predecir que la respuesta transitoria será más lenta y con menor sobreimpulso a medida que aumente k_o . El valor de impedancia de salida en lazo cerrado a baja frecuencia de -56.8 dB (1.44 mΩ) se corresponde con el valor en lazo abierto $r_L + r_c$. A alta frecuencia queda condicionada a k_o y llega incluso a ser menor que en lazo abierto.

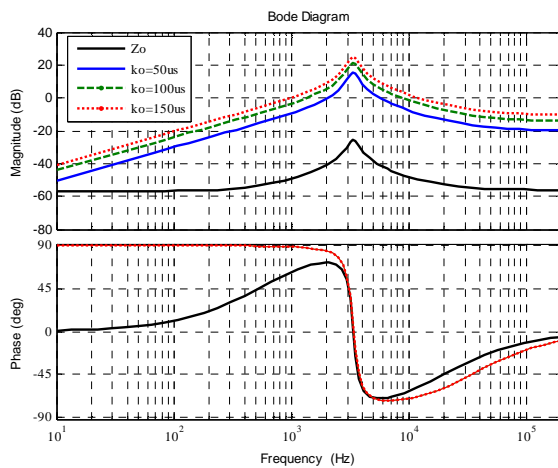


$$H_{ad}(s) = \frac{1}{k_o \cdot s + (1 + \alpha)}$$

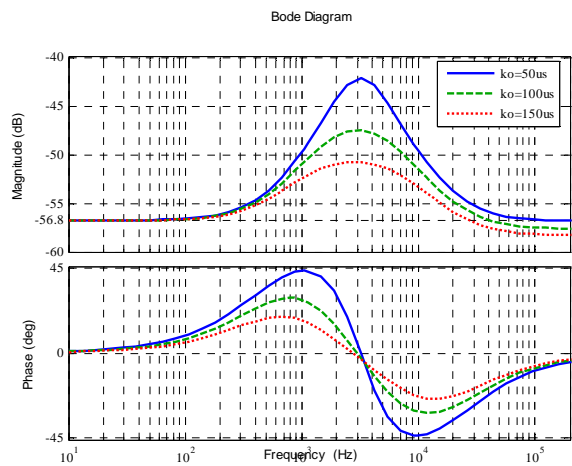
$$H_{ao}(s) = \frac{k_o \cdot s}{k_o \cdot s + (1 + \alpha)}$$



(a)



(b)



(c)

Fig. 3.10. (a) Red de filtrado y característica de H_{ad} y H_{ao} . (b) Impedancia de salida en lazo abierto y ganancia de lazo para distintos valores de k_o . (c) Impedancia de salida de lazo cerrado para distintos valores de k_o .

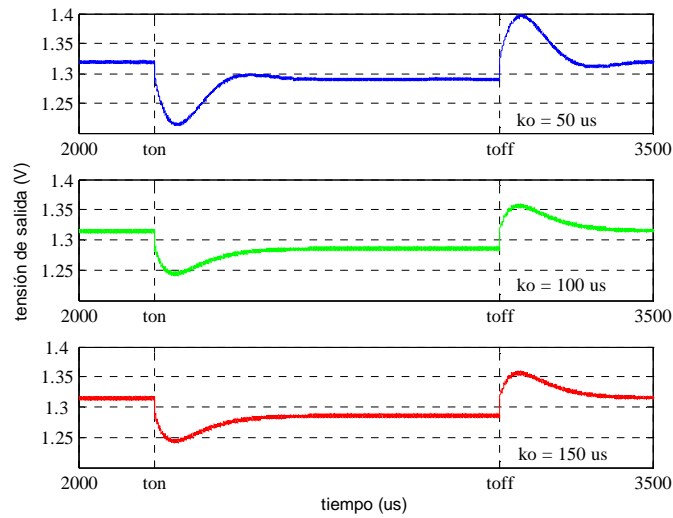


Fig. 3.11. Respuesta transitoria de la tensión de salida para distintos valores del parámetro de control k_o

La figura 3.11 muestra la respuesta transitoria de la tensión de salida frente a un salto de carga de 0 a 20 A en t_{on} y de 20 A a 0 A en t_{off} para el mismo rango de valores de k_o . Se aprecia como varía el sobreimpulso de la tensión de salida al modificar k_o . El régimen permanente, anterior y posterior a cada transitorio, coincide en los tres casos, se obtiene la misma variación de la tensión de salida de 29 mV entre la situación de vacío y carga. Esta caída de tensión, propia de la función AVP, se corresponde con el producto de la corriente de carga de 20 A por la impedancia de salida en CC ($r_L + r_c$).

La figura 3.12 muestra la dependencia de la frecuencia de conmutación con el parámetro k_o y su desviación con respecto a la corriente de carga según (3.33).

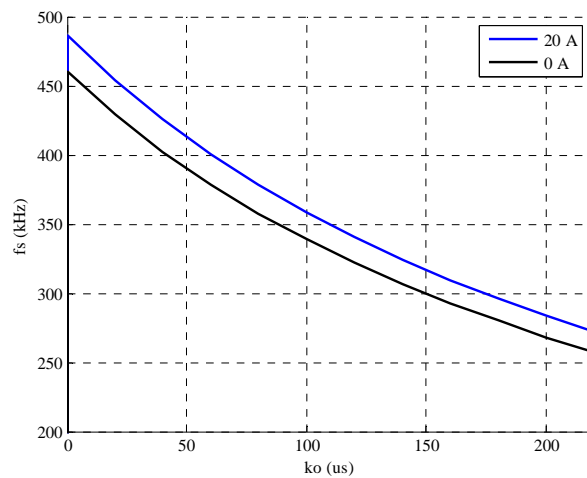


Fig. 3.12. Dependencia de la frecuencia de conmutación con k_o y la corriente de carga

Los resultados de simulación del funcionamiento del convertidor con la red (c) muestran la dependencia entre la respuesta transitoria y frecuencia de conmutación. No es posible obtener impedancia de salida resistiva y constante. La elección del valor del parámetro de control k_o , condiciona la respuesta transitoria e impone al mismo tiempo el valor de la frecuencia de conmutación.

3.5.3.2 Redes (d) y (e)

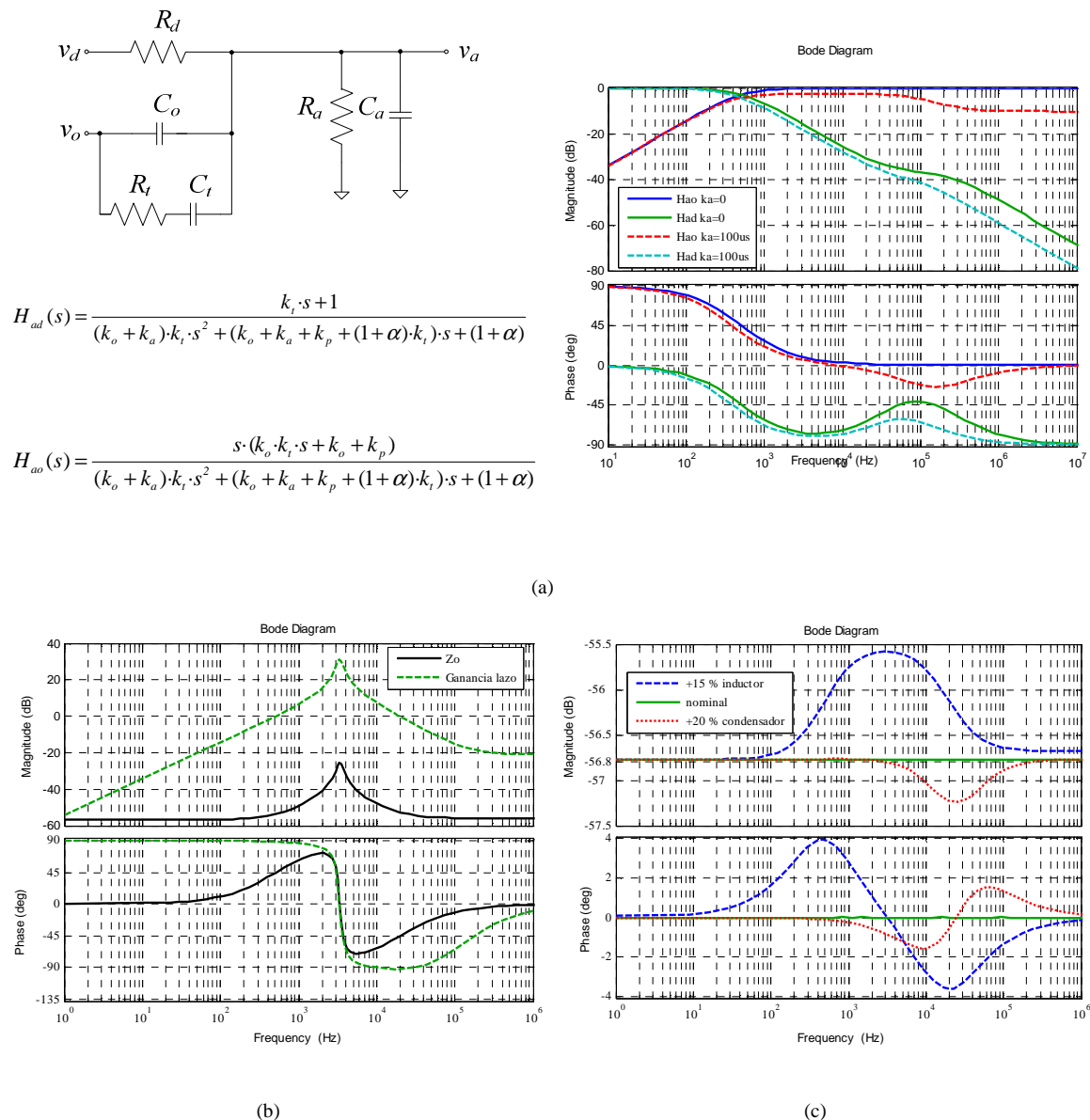
Las redes (d) y (e) añaden los componentes C_t y R_t con respecto a las redes (b) y (c), tal y como puede observarse en la figura 3.3. Consecuentemente, se dispone de los tres parámetros de control necesarios (k_o , k_p y k_t) para imponer comportamiento resistivo y constante de la impedancia de salida de lazo cerrado. Por su parte, la red (e) añade únicamente el parámetro k_a , con respecto a la red (d), el cual únicamente afecta a la selección de frecuencia de conmutación, tal y como denota la expresión (3.33). Se puede observar en la figura 3.13 (a) la característica pasa bajos y pasa altos de H_{ad} y H_{ao} respectivamente para distintos valores del parámetro k_a . Nótese que con $k_a = 0$ se obtiene la característica de la red (d).

De acuerdo con (3.24) a (3.26), la respuesta transitoria debería ser sensible a las variaciones de los componentes de potencia. Sin embargo, en la práctica esta sensibilidad es baja. Se va a considerar una tolerancia del 15 % en el valor del inductor y del 20 % en el condensador de salida para ver el efecto en la impedancia de salida y respuesta transitoria, manteniendo la solución de los parámetros de la Tabla 3.2.

La figura 3.13 (b) muestra el diagrama de Bode de la impedancia de salida en lazo abierto y la ganancia de lazo. El gráfico de la ganancia de lazo denota dos frecuencias de corte (542 Hz y 22.85 kHz) alrededor de la frecuencia de resonancia de la impedancia en lazo abierto. En este caso, la arquitectura del controlador y el diseño basado en la cancelación de ceros y polos ajusta la ganancia de lazo para conseguir un valor constante en la impedancia de salida de -56.8 dB (1.44 mΩ) que coincide con el de baja frecuencia de la red tipo (c). Consecuentemente, el régimen permanente será el mismo que el observado con la red (c). La diferencia está en que con las redes (d) y (e) el transitorio estará libre de oscilación, con lo que se alcanzará respuesta óptima. La figura 3.14 superior demuestra esta importante característica.

Las frecuencias de corte de la ganancia de lazo indican el margen de frecuencias en las que el lazo de control es activo. Consecuentemente, las perturbaciones de la corriente de salida, con componentes frecuenciales por encima de la frecuencia superior, se traducirán en sobretensiones en la salida debido a que la impedancia de salida dejaría de tener un comportamiento resistivo y constante. Por debajo de la frecuencia inferior, sin embargo, la impedancia en lazo abierto coincide con la de lazo cerrado, es decir $r_L + r_c$, con lo cual no habría problema alguno.

Las frecuencias que limitan la acción del lazo de control dependen exclusivamente de los valores del filtro de potencia y de los parámetros de control y se sitúan alrededor de la frecuencia de resonancia del filtro de potencia. A su vez, los parámetros de control dependen también directamente de los componentes del filtro de potencia. Este hecho hace que el diseñador pueda situar en el diagrama de Bode el límite de respuesta dinámica del controlador mediante la elección de la frecuencia de resonancia del filtro de potencia.



Con respecto a las tolerancias consideradas, el trazo discontinuo de la figura 3.13 (c) denota la impedancia de salida para una tolerancia del inductor del +15 %, mientras que el trazo a puntos hace lo propio para una tolerancia del +20 % en el condensador. La tolerancia del inductor afecta a un espectro más amplio de frecuencias y en mayor magnitud y tiene su máximo alrededor de la frecuencia de resonancia del filtro de potencia.

Como consecuencia de ello, su efecto en la respuesta transitoria será más notable que en el caso de la variación del valor del condensador, tal y como se puede apreciar en la figura 3.14 central. La tolerancia del condensador afecta de forma selectiva a frecuencias en el rango de 20 kHz, con lo que afectará únicamente en el momento en que se produzca el transitorio, tal y como muestra la figura 3.14 inferior. A pesar de ello se observa un comportamiento casi óptimo en ambos casos.

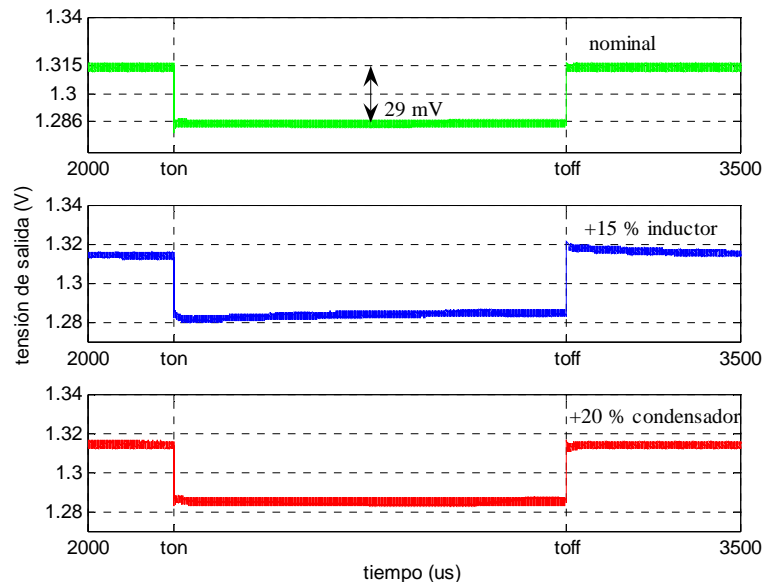
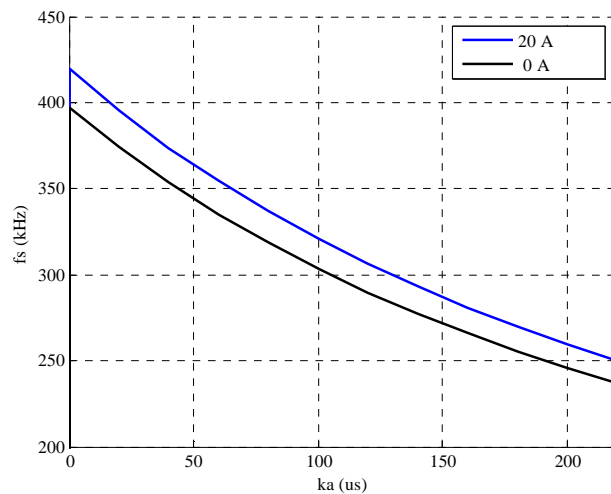


Fig. 3.14. Respuesta transitoria redes (d) y (e). Superior, valor nominal; centro, 15 % inductor, e inferior 20 % condensador

Con respecto a la frecuencia de conmutación, en la red (d) su valor viene impuesto por el parámetro k_o al igual que con las redes (c) y (d). Con el valor de k_o de la Tabla 3.2 el valor de la frecuencia de conmutación viene dado nuevamente por (3.33) y resulta ser de 397 kHz para 0 A y de 420 kHz para 20 A. La red (e) añade el condensador C_a con lo que k_a va a permitir seleccionar la frecuencia de conmutación según (3.33). Conviene recordar que k_a no afecta a la impedancia de salida. La figura 3.15 muestra la característica de selección de frecuencia de conmutación con el parámetro k_a para una corriente de carga de 20 A y 0 A.

Fig. 3.15. Selección de la frecuencia de conmutación con k_a

3.5.3.3 Influencia de la variación de los parámetros de control en la impedancia de salida

En este apartado se lleva a cabo una serie de simulaciones que permiten ver la influencia de los parámetros de control sobre la impedancia de salida, ubicación de ceros y polos de ésta y respuesta transitoria. Para ello se introduce una variación del + 50 % con respecto al valor de los parámetros determinados por las ecuaciones de diseño (3.24) a (3.26). Con los resultados de diseño las frecuencias de los ceros y polos de la impedancia de salida coinciden, obteniendo una respuesta temporal óptima libre de oscilaciones.

Obsérvese como el efecto de la variación de k_p sobre la impedancia de salida se corresponde con el obtenido en el apartado anterior al variar el valor del inductor pero en contrafase. De hecho, es fácil ver cómo la expresión de diseño de k_p revela una mayor dependencia con el valor del inductor que la expresión de k_o . Se desubican todos los polos con respecto a los ceros.

Por lo que respecta a k_o , se observa cómo afecta en menor grado a la variación de la magnitud de la impedancia y desplazamiento de polos pero en mayor grado en lo que se refiere a espectro de frecuencias.

Por otro lado, la alteración de k_i tiene su correspondencia con la modificación en el valor de la capacidad de salida. Esto último resulta evidente si se observa que la expresión de diseño de k_i se corresponde con la constante de tiempo de la capacidad de salida. También se ve reflejado en el movimiento de los polos de alta frecuencia, los cuales modifican ligeramente la forma de la respuesta transitoria justo en el momento en que sucede el transitorio.

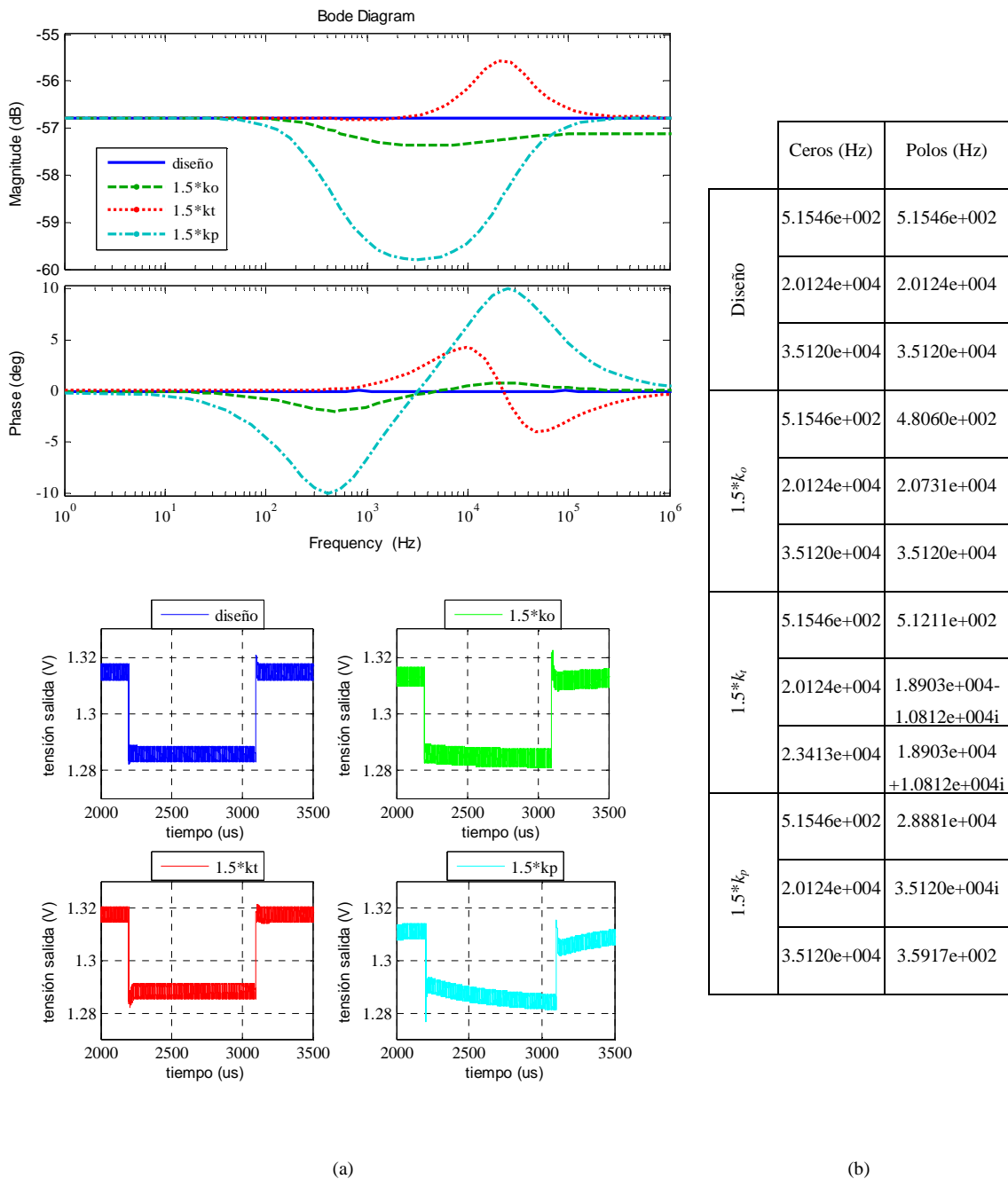


Fig. 3.20. Influencia de los parámetros de control sobre la respuesta del controlador. (a) Superior: impedancia de salida. Inferior: transitorio. (b) Ubicación ceros y polos.

3.5.4 Funcionamiento a frecuencia fija

Según lo expuesto hasta ahora, la red (e) logra respuesta transitoria óptima y selección de frecuencia de conmutación. Sin embargo, no opera a frecuencia de conmutación fija, y además existe una desviación en el valor de la frecuencia debida a la corriente de carga. Con el objetivo de lograr funcionamiento a frecuencia constante en régimen permanente se inyecta una señal en forma de tren de pulsos en la tensión de referencia tal y como muestra la figura 3.5. La señal de

sincronismo debe tener una frecuencia ligeramente superior a la frecuencia de conmutación de plena carga sin sincronismo. Con $k_a = 10 \mu\text{s}$, la frecuencia máxima sin sincronismo es de 407 kHz. Siguiendo las indicaciones del punto 3.4.4, se elige una frecuencia de la señal de sincronismo de 430 kHz, amplitud 10 mV y ciclo de trabajo 2 %.

Seguidamente se procede a comparar la respuesta transitoria de la tensión de salida de la red (e), sin y con señal de sincronismo, figura 3.16.

Se puede observar como el método de sincronización por señal externa no interfiere con la rápida respuesta del control de histéresis. No hay diferencia alguna en cuanto a rapidez de respuesta. La carga se activa en el instante t_{on} y se desactiva en el t_{off} . El modelo de simulación tiene en cuenta el retardo de propagación t_d , de la señal de control hacia los interruptores de potencia. Por esta razón, la señal de control u no se activa justo en el instante en el que sucede el transitorio. Durante el régimen transitorio se pierde la sincronización momentáneamente para no interferir con la respuesta natural del control de histéresis. La dinámica de la tensión de control v_a se impone a la señal de sincronismo, tal y como se expuso en el punto 3.4.4. La única diferencia apreciable está en el nivel de la tensión de salida. Nótese como con sincronismo es ligeramente mayor.

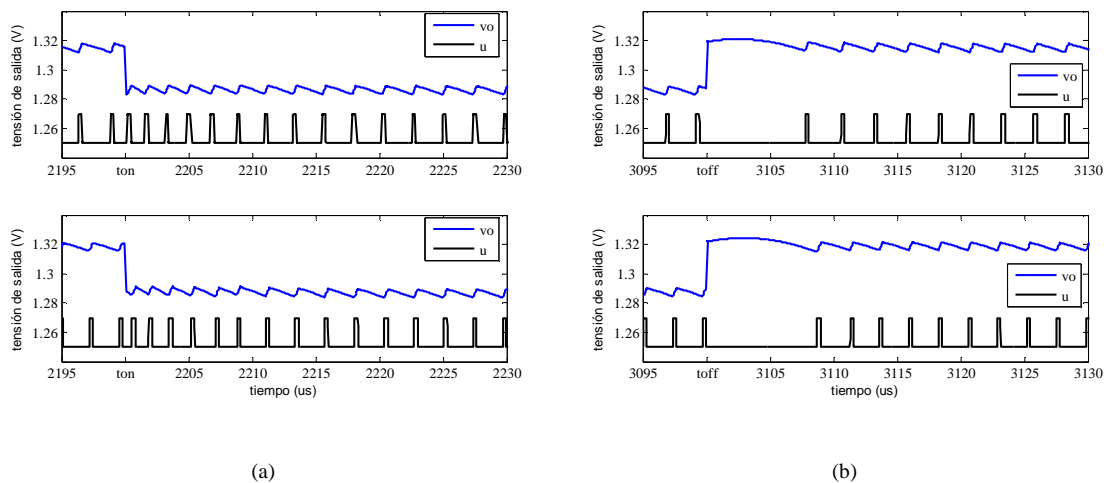


Fig. 3.16. Respuesta transitoria de la tensión de salida frente a un escalón de carga. Superior sin sincronismo, inferior con sincronismo. (a) Transitorio 0 A a 20 A. (b) Transitorio 20 A a 0 A.

3.6 Experimentación de laboratorio

Para la parte experimental de esta tesis ha sido necesario implementar el conjunto convertidor-controlador-carga a modo de prototipo descrito a continuación. Las medidas realizadas permiten

verificar el funcionamiento del controlador de forma bastante fiel al obtenido en el apartado anterior de simulación.

3.6.1 Prototipo de laboratorio

Para el presente trabajo se dispone del módulo de evaluación TPS5210EVM-126 de Texas Instruments [56] que se muestra en la figura 3.17. Dicho módulo implementa un convertidor *buck* síncrono de altas prestaciones con el controlador de histéresis TPS5210 [55]. A partir de una alimentación principal de 12V y una auxiliar de 5V para el controlador, el módulo de evaluación es capaz de proporcionar una corriente de salida de 40 A con una tensión de salida programable de 1.3 V a 3.5 V.

El módulo de evaluación dispone de puntos de test y medida para visualizar formas de onda y comprobar su funcionamiento. Sobre el módulo de evaluación se van a implementar las redes de filtrado que se han simulado en el apartado anterior sobre los puntos de test (TP) indicados en la figura 3.17. Para poder experimentar el comportamiento dinámico del convertidor con las distintas redes de filtrado se dispone de un prototipo de carga pulsante.

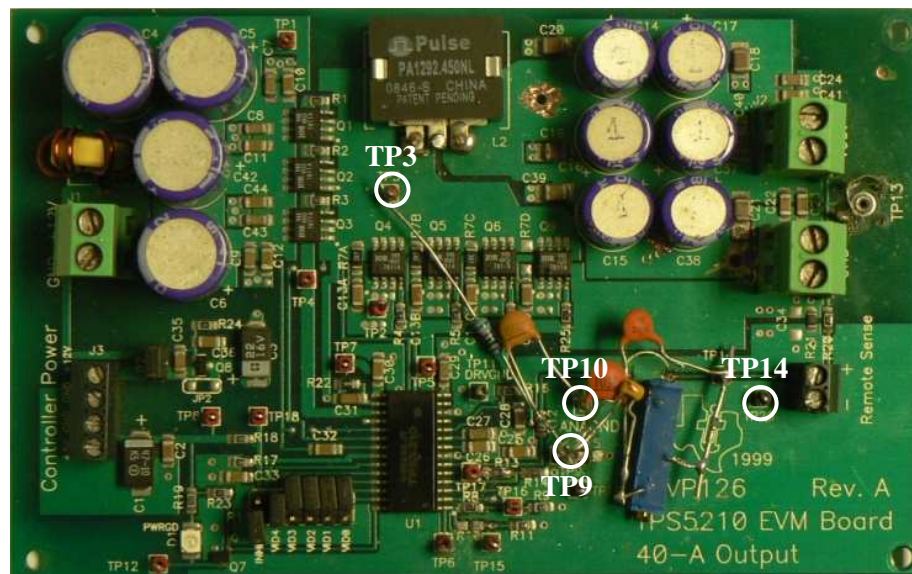


Fig. 3.17. Módulo de evaluación TPS5210EVM-126

3.6.1.1 Características del controlador TPS5210

El TPS5210 es un controlador para la regulación de convertidores *buck* síncronos de altas prestaciones [55]. La figura 3.18 muestra el diagrama de bloques simplificado del TPS5210. Los principales bloques funcionales mostrados son:

- Comparador de histéresis.

- Control adaptativo de tiempo muerto del disparo de la puerta del MOSFET inferior, para minimizar el tiempo de conducción del diodo intrínseco y prevenir la conducción simultánea de los MOSFETs superior e inferior.
- Referencia del 1% programable a partir de un convertidor digital analógico no mostrado en la figura.
- Ventana de histéresis simétrica con respecto a la tensión de referencia.
- Modificación de la tensión de referencia en función de la corriente.
- Sensado indirecto de la corriente.

También dispone de protecciones como arranque lento y sobrecarga; entradas digitales para la programación de la tensión de salida y habilitación; referencias de potencia y señales separadas, y, por último, tensión flotante para el control de puerta del MOSFET superior.

La corriente de salida se mide indirectamente por muestreo y retención de la tensión entre extremos del MOSFET superior a través de una red RC. El voltaje obtenido corresponde al valor medio de la tensión del MOSFET superior el cual será proporcional al valor medio de la corriente de salida. Mediante la salida IOUT se obtiene la tensión proporcional a la corriente de salida y con el divisor formado por R5 y R6 se obtiene la tensión de la entrada DROOP para la compensación de la tensión de referencia (función AVP).

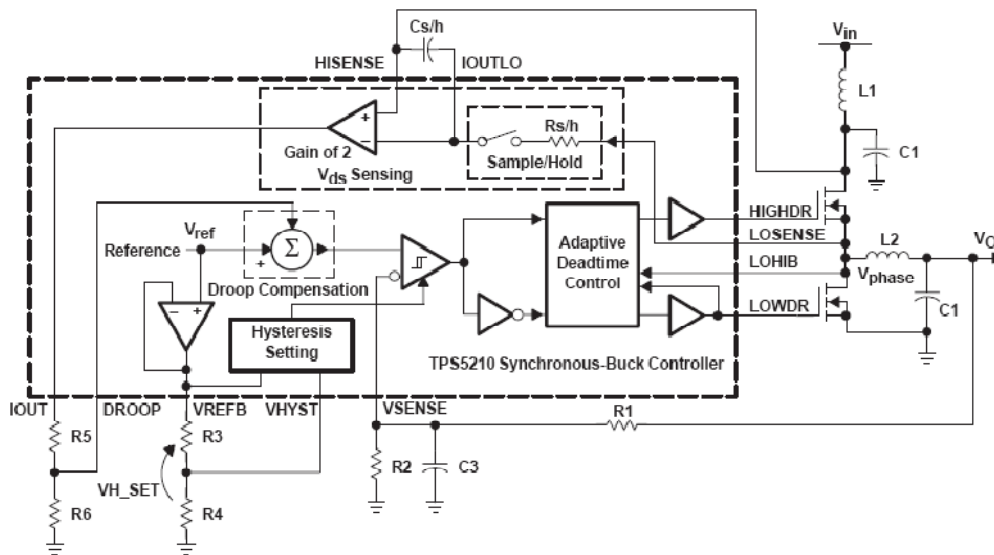


Fig. 3.18. Diagrama de bloques controlador TPS5210

Los circuitos para el sensado de corriente y función AVP no van a ser utilizados en este trabajo. Recuerdese que el controlador a implementar no precisa de sensado de corriente para la función

AVP. Para deshabilitar esta función es suficiente con desconectar la resistencia R5 mostrada en la figura 3.18.

3.6.1.2 Etapa de potencia

El circuito completo del EVM126 se puede encontrar en la referencia [56]. A continuación se detallan los componentes de potencia que intervienen en el modelo considerado en este trabajo:

- 3 MOSFETs de potencia en paralelo IRF7811 canal N de 30 V, 13 A, 11 m Ω , para el interruptor superior Q1.
- 4 MOSFETs de potencia en paralelo IRF7811 canal N de 30 V, 13 A, 11 m Ω para el interruptor inferior Q2.
- Inductor de 450 nH, 0.78 m Ω .
- 6 Condensadores OS-Con 820 μ F, 4 V, 12 m Ω más 6 condensadores cerámicos de 10 μ F, 16 V, 10 m Ω , todos ellos en paralelo.

3.6.1.3 Circuito para generar saltos de carga

Para poder evaluar el comportamiento del convertidor con las distintas redes de filtrado en régimen transitorio ha sido necesario diseñar una carga pulsante, figura 3.19. Las especificaciones de la carga son:

- Alimentación 12 V 150 mA.
- Salto de carga de frecuencia ajustable mediante entrada de conexión de generador de funciones externo.
- di/dt ajustable.
- Corriente máxima 40 A ajustable en valores de 5, 10, 15, 20, 30 y 40 A.

A nivel funcional, el circuito consta de:

- Un driver para poder atacar, con la señal cuadrada proveniente del generador de funciones, a las puertas de los transistores de potencia tipo MOSFET.
- La etapa de potencia formada por dos transistores MOSFET de canal N en paralelo.
- La carga formada por un grupo de resistencias montadas sobre un radiador y con ventilación forzada.

La alimentación de 12V se utiliza para el funcionamiento del driver de alta velocidad (EL7104) para transistores MOSFET de potencia capaz de suministrar corrientes de pico de hasta 1 A. La elección de los transistores de potencia ha venido condicionada por el valor de tensión y

corriente de salida del convertidor a testear, 1.3V y 40 A. Por consiguiente, se ha tenido especialmente en cuenta que el transistor presentase un valor reducido de resistencia drenador-surtidor en conducción, así como un valor suficiente de corriente máxima. El modelo empleado en el diseño es el IRF3704 en encapsulado TO220 con las siguientes características: $V_{ds} = 20 \text{ V}$, $I_{ds} = 77 \text{ A}$, $V_{gs} = 20\text{V}$ y $R_{ds\text{ON}} < 9 \text{ m}\Omega$.

La carga consta de un grupo de resistencias de inductancia despreciable de 0.1Ω , 20 W (montaje en radiador) y con encapsulado TO220. En función del número de resistencias que se conecten y de su arreglo (serie/paralelo) se obtiene el valor de corriente de carga que se desee.

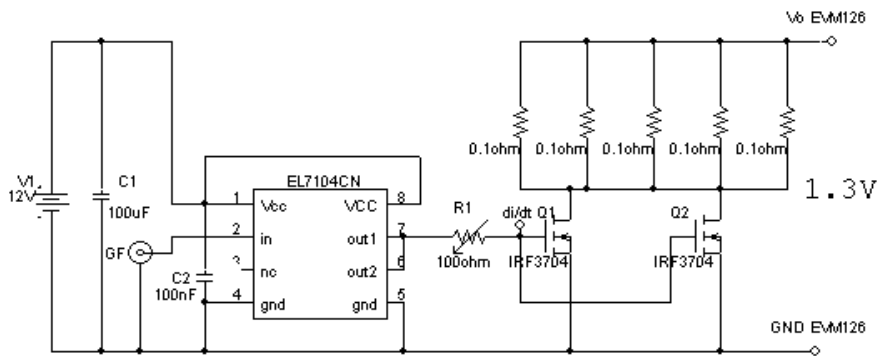


Fig. 3.19. Circuito generador de saltos de carga

3.6.2 Respuesta transitoria y frecuencia de conmutación

Como paso previo a la implementación de las distintas redes de sensado y con el objetivo de familiarizarse con el módulo de evaluación, se ha sometido al EVM126 con la configuración de origen a diferentes regímenes de carga y se han obtenido los mismos resultados que los publicados por el fabricante en [56].

Para poder llevar a cabo la implementación de las cuatro redes objeto del presente trabajo, se debe eliminar varios componentes de la configuración original. Estos son:

- R10 para anular la función DROOP.
- FB Loop y C25 para eliminar el filtro pasabajos de la red original de sensado de la tensión de salida.

Los puntos del circuito para implementar las distintas redes de sensado se corresponden a los puntos de test existentes en la placa de evaluación, tal y como se muestran en la figura 3.17: TP3 tensión v_d , TP14 tensión de salida v_o , TP9 tensión de control v_a , y TP10 referencia analógica. La figura 3.20 detalla la implementación de la red (e). Para pasar a la configuración de la red (c), bastará con eliminar los componentes R_t , C_t y C_a .

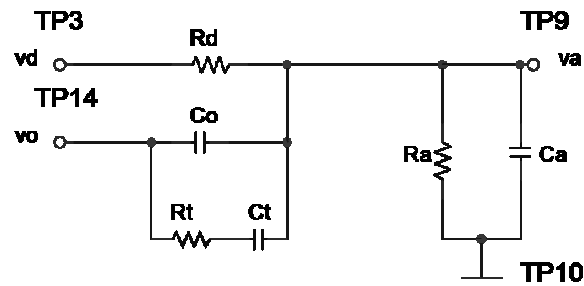


Fig. 3.20. Implementación de la red de sensado

3.6.2.1 Redes (b) y (c)

La red (c) tiene las mismas prestaciones en régimen transitorio que la (b), por lo que sólo se va a implementar la (c). Tal y como se procedió en el apartado de simulación, se va a experimentar la influencia de k_o en: la respuesta transitoria del controlador frente a saltos de carga (0 A a 20 A y de 20 A a 0 A, di/dt 80 A/ μ s) y en la frecuencia de conmutación en estado estacionario (vacío y carga 20 A). La tabla 3.3 muestra los valores de los componentes y medidas de frecuencia realizadas en estado estacionario para las situaciones de vacío y carga. Las medidas de la figura 3.21 permiten comparar la respuesta dinámica del controlador frente a distintos valores del parámetro k_o . La figura 3.22 muestra un detalle de los dos transitorios de carga para $k_o = 220 \mu$ s.

k_o (μ s)	R_d (k Ω)	C_o (nF)	f_s (kHz) 0A	f_s (kHz) 20A
12	10	1.2	496	536
47	10	4.7	408	424
100	10	10	366	373
150	10	15	351	360
220	10	22	334	351

Tabla 3.3. Componentes de la red tipo (c) y frecuencia de conmutación

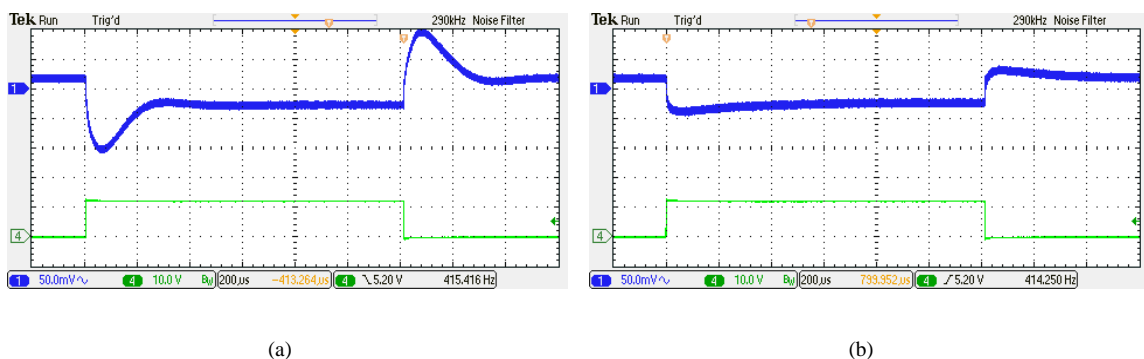


Fig. 3.21. Resultados experimentales de la respuesta de la tensión de salida frente a transitorio de carga con distintos valores de k_o . (a) $k_o = 47 \mu$ s. (b) $k_o = 220 \mu$ s. Traza 1 superior: Tensión de salida componente AC 50 mV/div. Traza 4 inferior: activación de carga 20 A, 10V/div; 200 μ s/div.

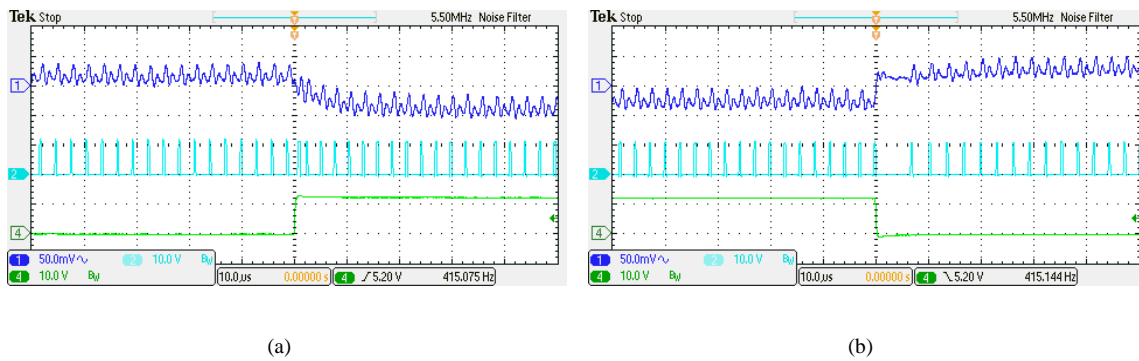


Fig. 3.22. Detalle de los dos transitorios de carga para $k_o = 220 \mu s$. (a) 0 A a 20 A. (b) 20 A a 0 A. Traza 1 superior: Tensión de salida componente AC 50 mV/div. Traza 2 centro: Señal puerta transistor superior. 10 V/div. Traza 4 inferior: activación de carga 20 A, 10V/div; 10 μs /div.

Los resultados experimentales obtenidos confirman los ensayos de simulación del apartado anterior. La red (c) dispone de un único parámetro de control k_o . El perfil de impedancia de salida y el valor de la frecuencia de conmutación quedan condicionados al valor de este parámetro. No consigue impedancia de salida constante y resistiva con lo que la respuesta transitoria muestra un sobreimpulso más o menos acusado en función de k_o .

3.6.2.2 Redes (d) y (e)

Estas dos redes optimizan la respuesta transitoria y además la red (e) permite seleccionar la frecuencia de conmutación con el parámetro de control k_a . La red (d) se puede tratar como un caso particular de la red (e) con $k_a = 0$. La tabla 3.4 detalla precisamente esta característica. La figura 3.23 muestra la buena correspondencia con los resultados teóricos.

El parámetro k_a no afecta a la respuesta transitoria de la tensión de salida tal y como puede apreciarse en las figuras 3.24 y 3.25. Nótese como la respuesta es óptima en todos los casos. El cálculo de los componentes de la red de sensado, ver Tabla 3.2, se ha realizado con los valores nominales de los componentes de la placa de evaluación listados en la Tabla 3.1.

k_a (μs)	R_d (k Ω)	C_a (nF)	f_s (kHz) 0A	f_s (kHz) 20A
0	10	0	408	424
10	10	1	390	400
47	10	4.7	341	359
100	10	10	300	325
150	10	15	266	288
220	10	22	241	255

Tabla 3.4. Selección de frecuencia de conmutación con parámetro k_a

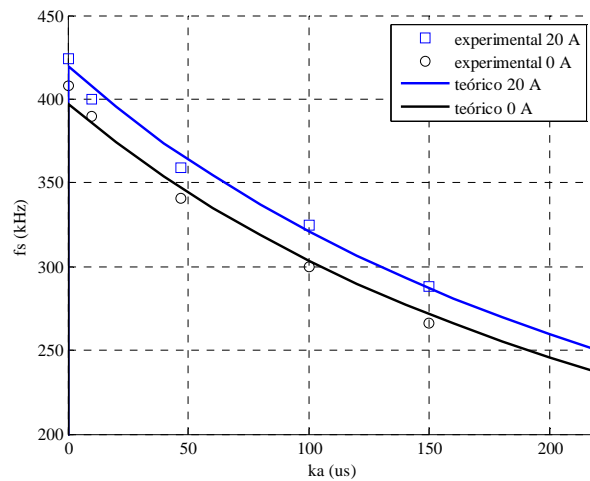


Fig. 3.23. Característica de frecuencia de conmutación con k_a y la corriente de carga

Se pone de manifiesto como las posibles desviaciones debidas a las tolerancias de los componentes de potencia y de la red de sensado no influyen en la calidad de la respuesta. Tan sólo es observable un mayor rizado a medida que aumenta k_a , debido a la menor frecuencia de conmutación.

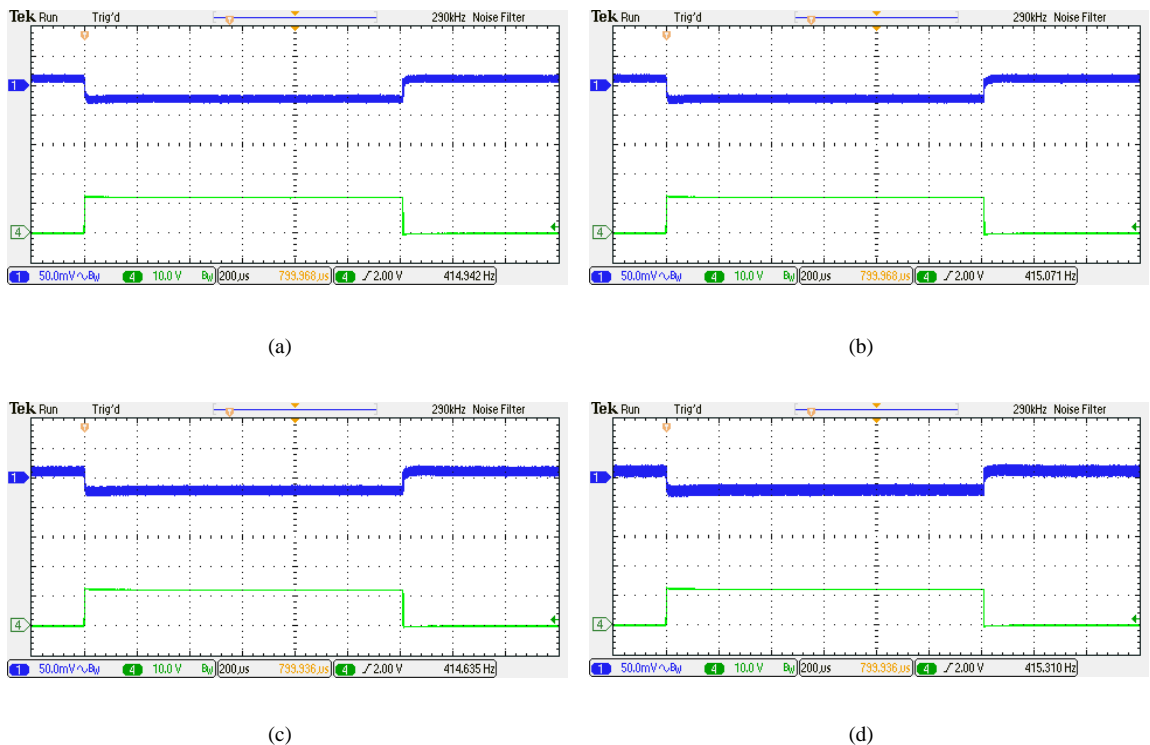


Fig. 3.24. Resultados experimentales de la respuesta de la tensión de salida frente a transitorio de carga con distintos valores de k_a . (a) $k_a = 0 \mu s$. (b) $k_a = 10 \mu s$. (c) $k_a = 100 \mu s$. (d) $k_a = 220 \mu s$ Traza 1 superior: Tensión de salida componente AC 50 mV/div. Traza 4 inferior: activación de carga 20 A, 10V/div; 200 μs /div.

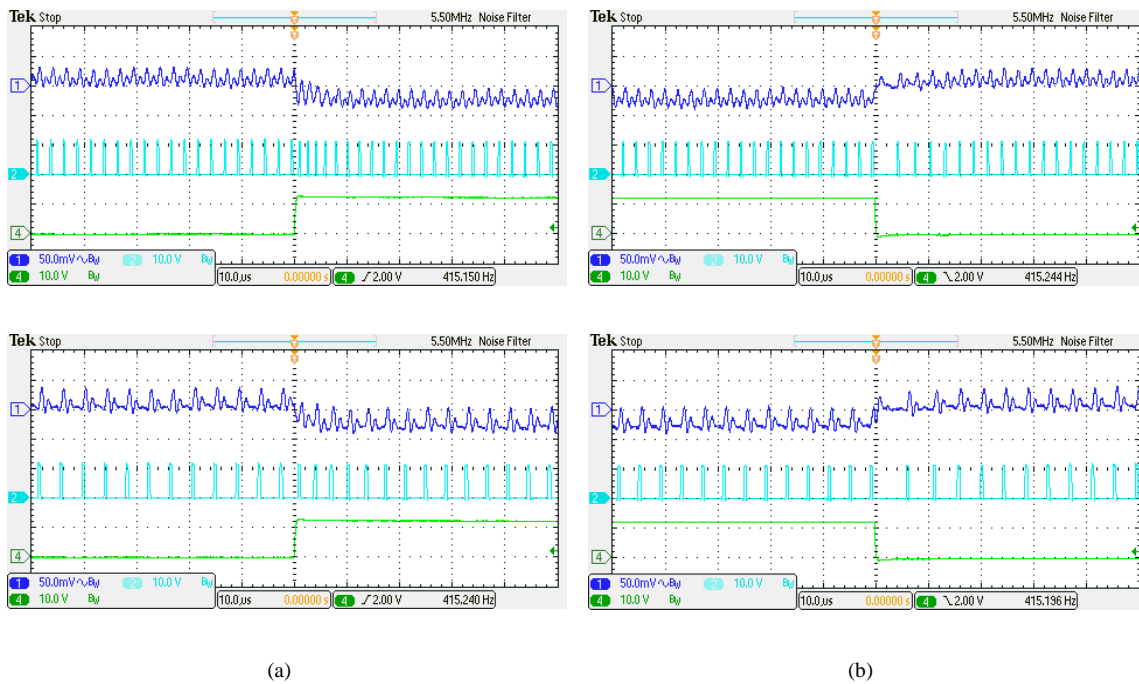


Fig. 3.25. Detalle de los dos transitorios de carga. (a) 0 A a 20 A. (b) 20 A a 0 A. Superior $k_a = 10 \mu s$. Inferior $k_a = 220 \mu s$. Trazo 1 superior: Tensión de salida componente AC 50 mV/div. Trazo 2 centro: Señal puerta transistor superior. 10 V/div. Trazo 4 inferior: activación de carga 20 A, 10V/div; 10 μs /div.

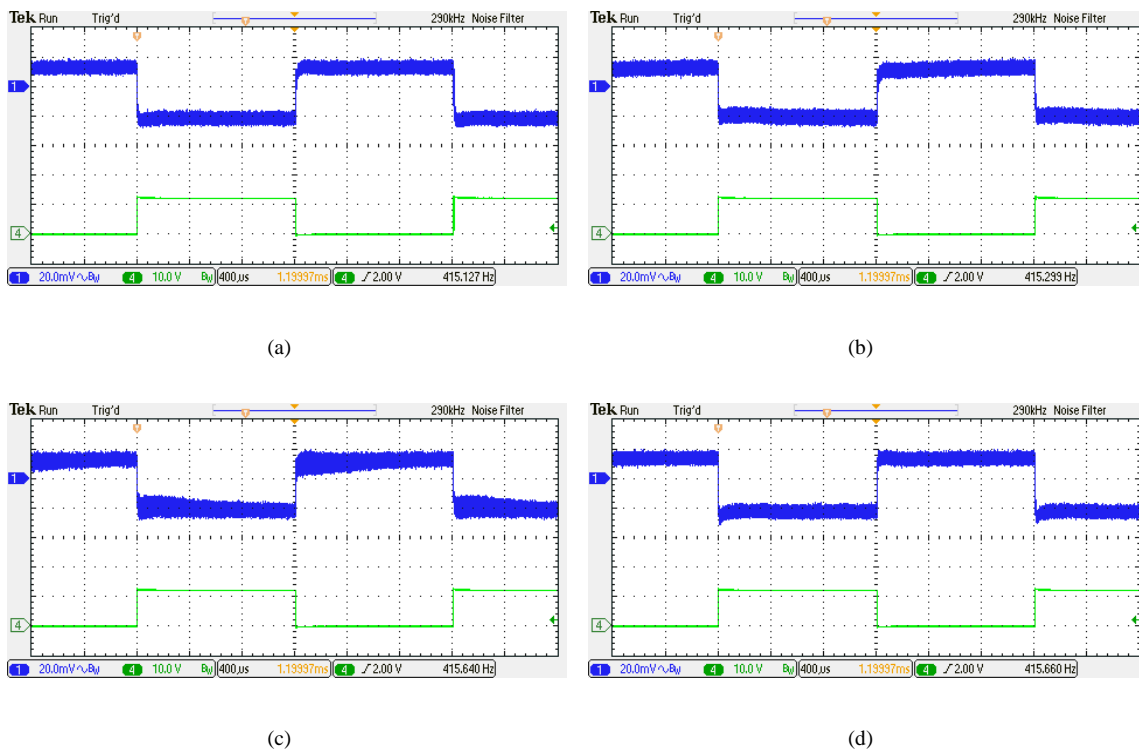


Fig. 3.26. Influencia de los parámetros de control sobre la respuesta transitoria. (a) Diseño. (b) $1.5 * k_o$. (c) $1.5 * k_p$. (d) $1.5 * k_i$. Trazo 1 superior: Tensión de salida componente AC 20 mV/div. Trazo 4 inferior: activación de carga 20 A, 10V/div; 400 μs /div.

Al igual que se hizo en el apartado de simulación se procede ahora a modificar los parámetros de control con respecto a la solución mostrada en la Tabla 3.2. La figura 3.26 denota la gran robustez del controlador propuesto. En ella se muestra la respuesta transitoria de la tensión de salida modificando los parámetros de control con respecto al diseño.

La figura 3.26 (a) se corresponde a la respuesta transitoria con los resultados del diseño en la existe prácticamente cancelación de ceros y polos en la impedancia de salida. Mientras que las trazas mostradas en (b), (c) y (d) hacen lo propio introduciendo variaciones de un + 50 % en el valor de los parámetros de control k_o , k_p y k_i respectivamente. Obsérvese como es necesario introducir una desviación exagerada de hasta un + 50 % para obtener una respuesta sensiblemente distinta de la obtenida en (a). Por otro lado, existe una correspondencia entre los resultados experimentales y los obtenidos en el apartado de simulación, véase figura 3.20.

El parámetro k_o afecta en menor grado en deteriorar la respuesta temporal, modifica ligeramente la ubicación de dos ceros y dos polos de la impedancia de salida. También se confirma como el controlador es más sensible a la variación del parámetro k_p . Tal y como se indicó en el apartado de simulación, la variación de k_p desubica todos los polos con respecto a los ceros de la impedancia de salida. Es por este motivo que la respuesta temporal se ve más afectada ante la variación de k_p . Por su parte, el parámetro k_i se ve cómo influye más a los ceros y polos de alta frecuencia. Ello se ve reflejado en la respuesta temporal justo en el momento en que sucede el transitorio de conexión de la carga.

3.6.3 Característica de caída

Para la obtención experimental de la característica de caída se ha sometido al convertidor a distintos regímenes permanentes de carga y se han realizado medidas de tensión y corriente de salida. Los resultados se muestran en forma de tabla y se pueden visualizar gráficamente en la figura 3.27.

La tensión en vacío sin sincronismo es de 1.314 V mientras que a plena carga es de 1.278 V. Consecuentemente, la tensión de salida difiere de vacío a plena carga (20.2 A) en 36 mV, resultando en una impedancia de salida de 1.78 m Ω . La especificación inicial era de 1.44 m Ω , (véase Tabla 3.1). Tal desviación se puede atribuir a la tolerancia de la resistencia serie del inductor y a la estimación de r_c . Aún con todo, se puede observar una buena correspondencia con la ecuación de la recta de carga teórica (3.29).

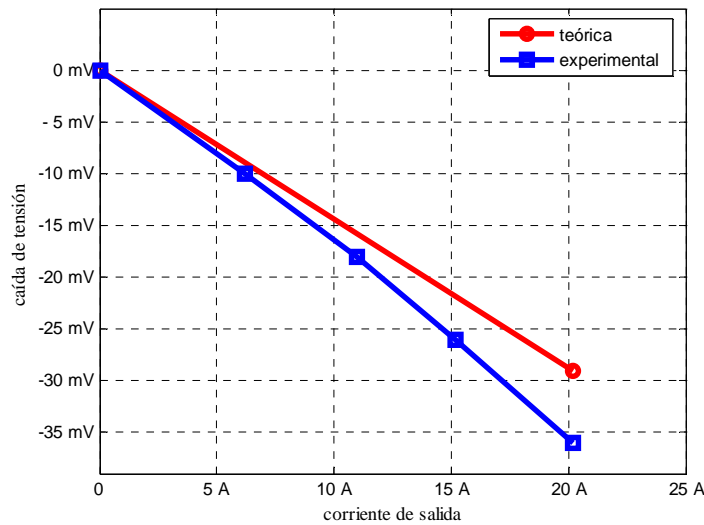


Fig. 3.27. Característica de de caída teórica y experimental

3.6.4 Sincronismo

El sistema de sincronismo se ha implementado según muestra la figura 3.28. Las líneas de trazo más grueso denotan la modificación añadida con respecto a la configuración original del controlador. Consiste en inyectar una señal en forma de pulso que cumpla con las indicaciones de diseño en una de las dos entradas del comparador. Un generador de funciones (GF) convencional de laboratorio genera una señal de reloj de amplitud 5 V de frecuencia N veces la frecuencia de conmutación requerida.

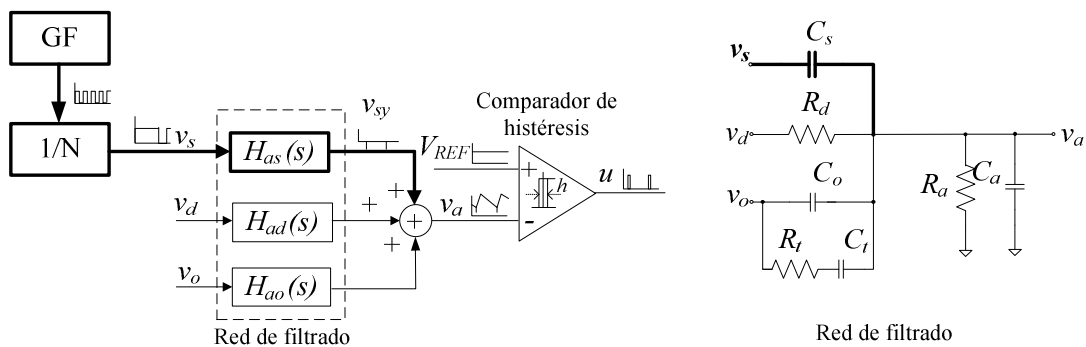


Fig. 3.28. Implementación sistema de sincronismo mediante señal externa.

Esta señal se introduce en un circuito digital programado como divisor N de frecuencia. A su salida se obtiene la señal v_s de amplitud 5 V a la frecuencia de conmutación del convertidor deseada y con un ciclo de trabajo equivalente a $(1-1/N)$. Finalmente el condensador C_s elimina

la componente continua y se obtiene un pulso negativo con un ciclo de trabajo de $1/N$ y de amplitud del orden de la ventana de histéresis del comparador.

Como la tensión de referencia no es accesible en forma de punto de test en el módulo de evaluación se ha optado por inyectar un pulso negativo en la tensión de control v_a . Ello equivale a inyectar un pulso positivo en la tensión de referencia. Además esta opción simplifica el procesado de la señal externa a únicamente añadir el condensador C_s en la red de filtrado original. Surge una nueva función de transferencia H_{as} con función de filtro pasa altos y un nuevo parámetro de control k_s que actúa como ganancia de la función y cuyo objetivo es controlar la atenuación del pulso.

$$H_{as}(s) = \frac{k_s \cdot k_t \cdot s^2 + k_s \cdot s}{(k_o + k_a + k_s) \cdot k_t \cdot s^2 + (k_o + k_a + k_p + (1 + \alpha) \cdot k_t + k_s) \cdot s + (1 + \alpha)} \quad (3.44)$$

$$k_s = R_d \cdot C_s \quad (3.45)$$

En lo que respecta a las funciones de transferencia originales H_{ao} y H_{ad} , el parámetro k_s aparece en sus denominadores, de la misma manera que (3.44), en forma de sumando. Sin embargo, su aportación no tiene consecuencia en la expresión de la impedancia de salida. Esto es fácil de probar observando que la expresión de la impedancia de salida (3.20) depende del cociente de H_{ao} y H_{ad} . Además, tiene un orden de magnitud 20 veces más pequeño que el resto de los parámetros de control (véase Tabla 3.2), con lo que su aportación apenas afecta a la ubicación de polos original de H_{ao} y H_{ad} .

La figura 3.29 (a) muestra la característica pasa altos de H_{as} y la influencia del parámetro k_s . Obsérvese como la señal procedente del circuito divisor de frecuencia de 430 kHz queda atenuada a -48 dB con fase cercana a 0° y manteniéndose constante a partir de su tercer armónico para $k_s = 220$ ns. Para $k_s = (330, 470, 680)$ ns, la atenuación va disminuyendo. La atenuación total de la señal v_s se muestra en función del tiempo en la figura 3.29 (b). Mientras que en (c) denota la característica de la amplitud del pulso frente a k_s .

La figura 3.30 (a) muestra el funcionamiento sincronizado de la señal de puerta del transistor superior con la señal externa de 430 kHz en forma de pulso negativo. En estos ensayos el parámetro k_s es de 220 ns. La señal de sincronismo externo que se muestra es directamente v_s acoplada en AC. De esta manera la sonda de medida realiza la función del condensador C_s . No es posible visualizar la señal de sincronismo presente en la tensión de control v_a debido al ruido propio de la conmutación.

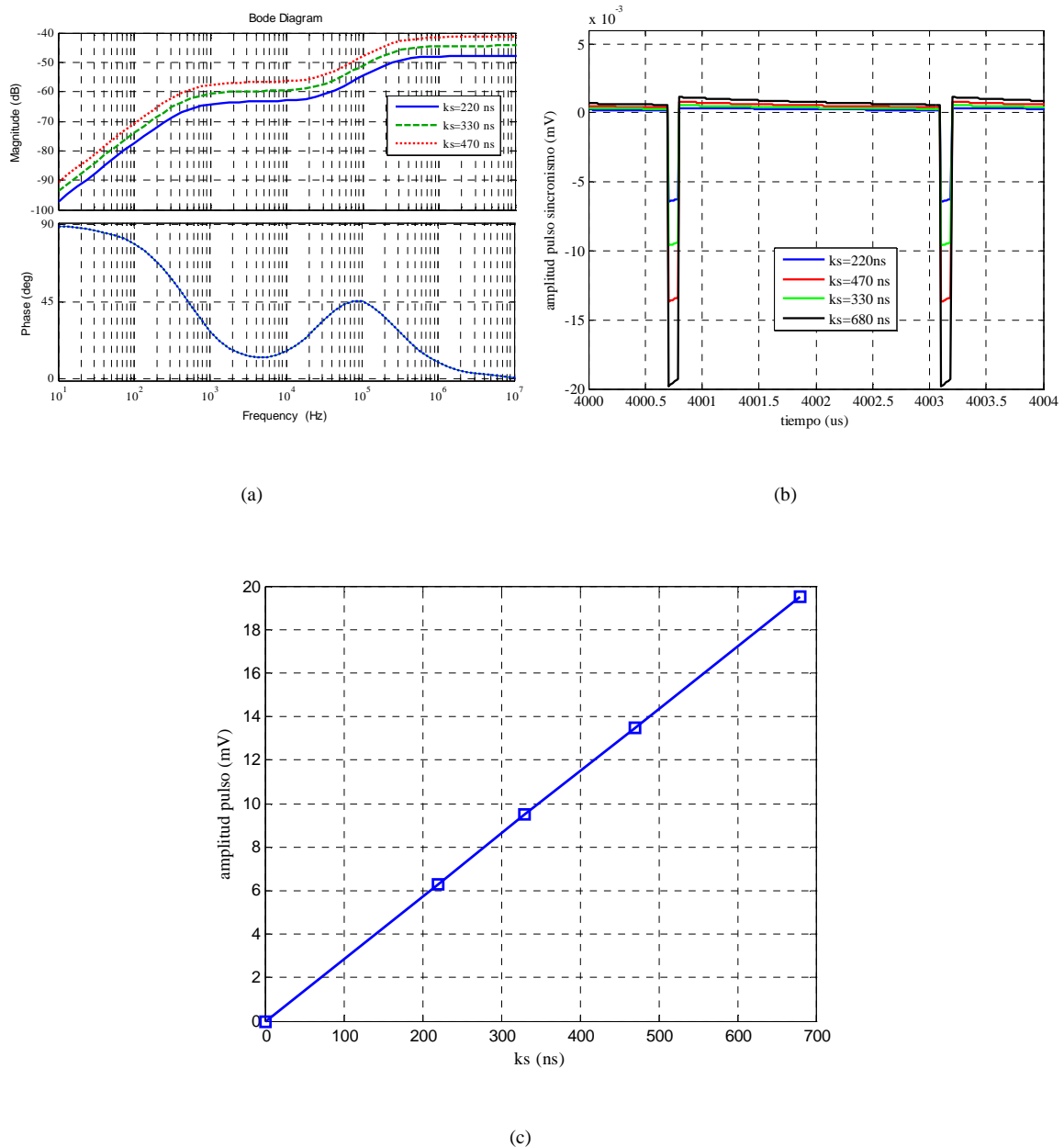


Fig. 3.29. (a) Diagrama de Bode de H_{as} para distintos valores de k_s . (b) Amplitud del pulso para distintos valores de k_s . (c) Amplitud del pulso frente k_s .

Por su parte (b) demuestra que el hecho de inyectar una señal de sincronismo externa no altera la respuesta óptima de la tensión de salida frente a un transitorio de carga. (c) y (d) denotan como el funcionamiento sincronizado se pierde momentáneamente de forma natural en el instante en que sucede el transitorio de carga para no interferir con la rápida respuesta del control de histéresis.

Por otro lado, se han realizado las medidas de la tensión de salida en las situaciones de vacío y plena carga de 20 A sin y con sincronización. La tensión de salida se incrementa en 4 mV en

sincronismo. La señal de sincronización hace que el comparador de histéresis no trabaje de forma simétrica con respecto a los límites de la ventana de histéresis, provocando en este caso un ligero aumento de la tensión de salida, tal y como se indicó en el apartado dedicado al sincronismo. No obstante si se desea, dicho aumento puede ser corregido con el parámetro α de la ecuación (3.29).

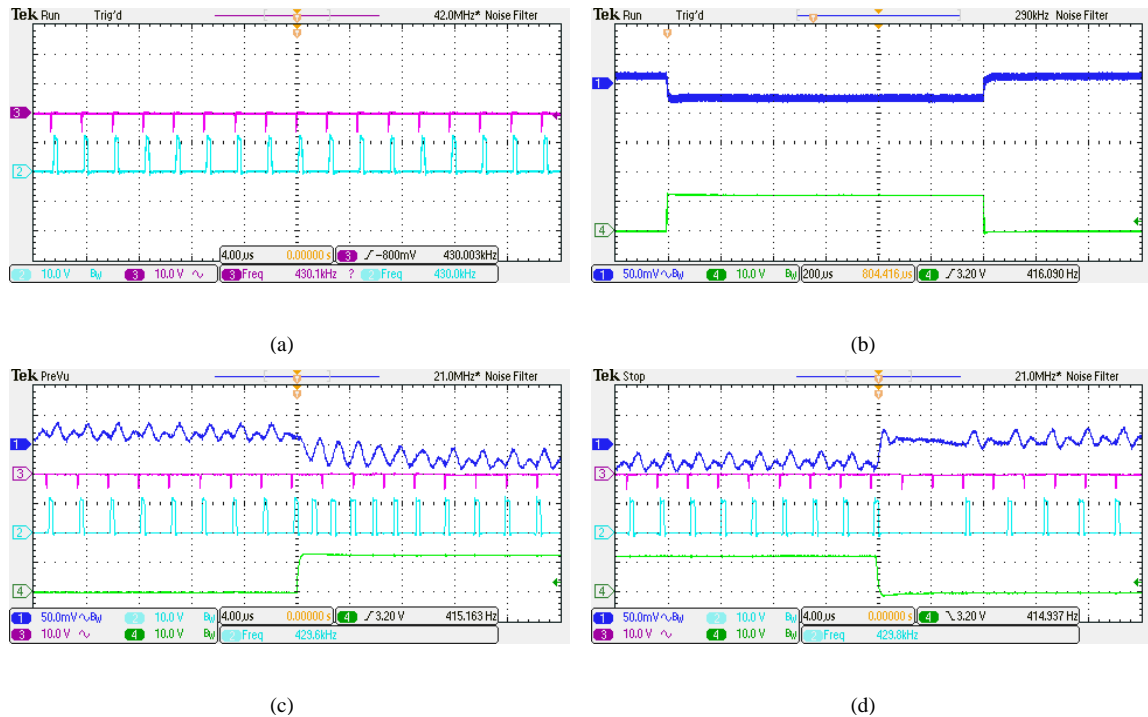


Fig. 3.30. Funcionamiento sincronizado en régimen permanente de carga. (a) Sincronismo entre la señal externa, traza 3 superior, y señal de activación de puerta transistor superior, traza 2 inferior. (b) Respuesta transitoria tensión de salida. Traza 1 superior: Tensión de salida componente AC 20 mV/div. Traza 4 inferior: activación de carga 20 A, 10V/div; 200 μs/div. (c) Detalle transitorio 0 A a 20 A. (d) Detalle transitorio 20 A a 0 A.

3.7 Conclusiones

Se ha logrado implementar un controlador de histéresis para convertidor *buck* síncrono de una sola fase de forma simple y con bajo coste. Para ello sólo es necesario disponer de la tensión entre extremos del inductor, un filtro pasivo y un comparador de histéresis. Los resultados experimentales demuestran como el controlador regula la tensión de salida con posicionamiento adaptativo con respuesta óptima durante los transitorios de carga. También permite seleccionar la frecuencia de conmutación y funcionar a frecuencia fija en régimen permanente. Se ha demostrado experimentalmente como el hecho de introducir una señal externa, para lograr el funcionamiento a frecuencia fija, no penaliza la respuesta inmediata del controlador de histéresis.

La metodología de diseño de los parámetros de control se basa en el análisis de la impedancia de salida de lazo cerrado. Las expresiones de diseño obtenidas muestran su dependencia con los valores de los componentes. Sin embargo, el controlador muestra un comportamiento robusto frente a variaciones de los parámetros de control y componentes de potencia. Al respecto, se ha dedicado especial atención a estudiar el comportamiento de la respuesta transitoria frente a variaciones de los componentes de potencia y variaciones de los parámetros de control y se ha establecido una correspondencia entre dichas variaciones.

En el siguiente capítulo se va a extender la arquitectura de controlador empleada y la metodología de diseño al controlador de histéresis multifase.

4. CONTROLADOR DE HISTÉRESIS DE BAJO COSTE MULTIFASE

4 Controlador de histéresis de bajo coste multifase

Este capítulo presenta un controlador de histéresis multifase con las funciones de regulación de tensión con posicionamiento adaptativo, balance de corriente y funcionamiento entrelazado del convertidor *buck* de N-fases. Los circuitos analógicos que implementan estas funciones han sido seleccionados teniendo en cuenta criterios de simplicidad y bajo coste. La metodología de diseño se basa en el análisis de la impedancia de salida para la obtención de respuesta transitoria óptima.

4.1 Arquitectura del controlador multifase de bajo coste

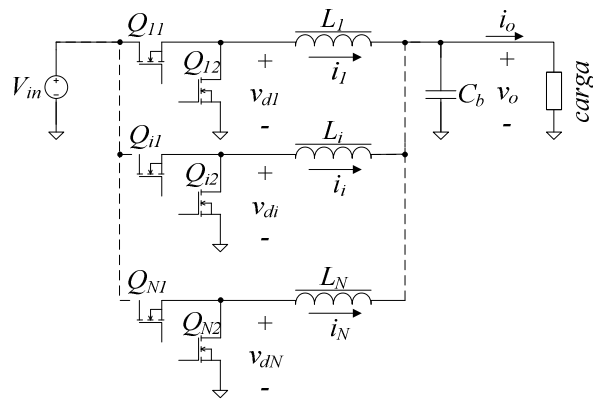
La figura 4.1 muestra el regulador buck síncrono multifase generalizado de N-fases, el cual incluye el circuito de la etapa de potencia y el diagrama de control de la fase i [68]. Centrándose en el controlador, cada fase genera su propia señal de control u_i con la misma arquitectura para todos los canales, lo cual favorece la modularidad del sistema. Como ya se indicó en el controlador monofásico, la característica más importante es que sólo es necesario sensar la tensión de salida v_o del convertidor y la tensión v_d a la salida del troceador para regular la tensión de salida con posicionamiento adaptativo.

Los controladores PWM comerciales existentes precisan medir y sumar la corriente de cada inductor para la función AVP. En este caso, se puede prescindir del sensado de corriente, lo cual reduce complejidad y coste en el controlador. En su lugar, la función AVP se logra procesando adecuadamente v_o y v_{di} con la red de filtrado, de la misma forma que en el regulador de una sola fase.

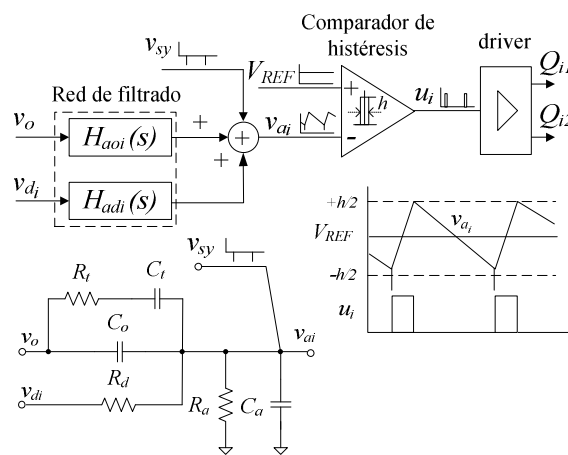
La estrategia de regulación de tensión empleada tiene una función inherente de caída. Esta característica puede ser explotada para obtener una distribución aceptable de la corriente de salida i_o sin necesidad de un lazo adicional de balance de corriente. Sólo se requiere que existan pequeñas diferencias en el trazado de las pistas de potencia de cada fase y el empleo de inductores con baja tolerancia en su resistencia en corriente continua (DCR). De hecho, los inductores con DCR de baja tolerancia son utilizados en las implementaciones comerciales para medir indirectamente la corriente de cada fase [69], [70].

En el capítulo anterior se mostró como la inyección de una señal en forma de pulso en el comparador de histéresis lograba el funcionamiento a frecuencia de conmutación fija. También

se demostró como esta solución no afecta a la consecución de impedancia de salida constante ni penaliza la excelente capacidad de respuesta instantánea inherente al control de histéresis frente a los transitorios de carga. Para el caso del convertidor multifase, se va a optar por desplazar en fase el pulso inyectado a cada uno de los canales a razón de $360^\circ/N$ para así obtener el funcionamiento entrelazado de forma simple.



(a)



(b)

Fig. 4.1. (a) Etapa de potencia del convertidor de N-fases. (b) Diagrama de control de la fase *i* y formas de onda del funcionamiento del comparador de histéresis.

El procedimiento de diseño de los parámetros de control de la red de filtrado va a contemplar tanto el caso de inductores de fase idénticos como inductores con desviaciones en su valor, sea porque su tolerancia es alta o porque tienen distinto valor nominal. En ambos casos el diseño va a cumplir el objetivo de alcanzar impedancia de salida constante para obtener respuesta óptima de la tensión de salida frente a transitorios de carga.

4.2 Impedancia de salida de lazo cerrado

En este apartado se desarrolla la expresión general de la impedancia de salida de lazo cerrado para el convertidor de N fases a través del análisis del modelo dinámico del convertidor multifase.

4.2.1 Modelo en lazo abierto

La figura 4.2 muestra el modelo en el dominio de Laplace del circuito de potencia de las N fases consideradas en este estudio. Téngase en cuenta que los elementos parásitos se incluyen debido a su gran influencia sobre el comportamiento del convertidor [42], [44]. En cuanto a la fase i se refiere, r_{i1} y r_{i2} representan la resistencia parásita de conducción de los transistores de potencia Q_{i1} Q_{i2} de la figura 4.1(a). La impedancia del inductor de fase Z_i y del condensador de salida Z_b incluyen su resistencia serie equivalente r_i y r_b , respectivamente. Por último, r_c representa la resistencia parásita del circuito impreso entre el convertidor y la carga.

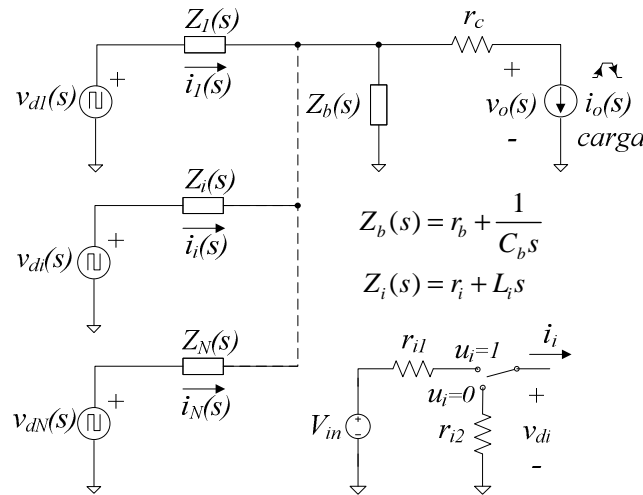


Fig. 4.2. Modelo de circuito de potencia de N fases

La tensión de entrada V_{in} y los interruptores de potencia se han sustituido por la fuente de tensión v_{di} , que puede ser expresada como

$$v_{di}(t) = (V_{in}(t) + (r_{i2} - r_{i1}) \cdot i_i(t)) \cdot u_i(t) - r_{i2} \cdot i_i(t) \quad (4.1)$$

donde u_i es la señal de control que puede tomar el valor discreto $u_i = 1$ cuando Q_{i1} está activado y Q_{i2} está desactivado, y $u_i = 0$ cuando Q_{i1} está desactivado y Q_{i2} está activado. La carga se modela mediante una fuente de corriente pulsante i_o .

A partir de la figura 4.2 y aplicando el principio de superposición, la corriente de la fase i se puede expresar

$$i_i(s) = \sum_{j=1}^N G_{ij}(s) \cdot v_{dj}(s) + G_{io}(s) \cdot i_o(s) \quad (4.2)$$

donde G_{ij} y G_{io} se formulan como

$$G_{ij}(s) = \left. \frac{i_i(s)}{v_{dj}(s)} \right|_{\substack{v_{dk}(s)=0, k=1..N, k \neq j \\ i_o(s)=0}} \quad (4.3)$$

$$G_{io}(s) = \left. \frac{i_i(s)}{i_o(s)} \right|_{v_{dk}(s)=0, k=1..N} \quad (4.4)$$

La tensión de salida viene dada por

$$v_o(s) = \sum_{j=1}^N G_{oj}(s) \cdot v_{dj}(s) - Z_o(s) \cdot i_o(s) \quad (4.5)$$

donde G_{oj} y la impedancia de salida en lazo abierto Z_o se definen como

$$G_{oj}(s) = \left. \frac{v_o(s)}{v_{dj}(s)} \right|_{\substack{v_{dk}(s)=0, k=1..N, k \neq j \\ i_o(s)=0}} \quad (4.6)$$

$$Z_o(s) = - \left. \frac{v_o(s)}{i_o(s)} \right|_{v_{dk}(s)=0, k=1..N} \quad (4.7)$$

Con respecto al controlador de la fase i y de acuerdo con la figura 4.1 (b), la dinámica de la tensión de control v_{ai} se puede expresar como

$$v_{ai}(s) = H_{adi}(s) \cdot v_{di}(s) + H_{aoi}(s) \cdot v_o(s) \quad (4.8)$$

Obsérvese cómo se ha obviado la señal de sincronismo de alta frecuencia al no tener influencia en la dinámica del valor medio de v_{ai} , tal y como se demostró en el convertidor monofásico.

Con el objetivo de considerar el caso de que las fases presenten diferencias en el inductor, se han definido las funciones de transferencia H_{adi} y H_{aoi} con los parámetros de control de forma que el diseño permita establecer el valor adecuado para cada fase. Las funciones de transferencia de la red de filtrado junto con los parámetros se definen como

$$H_{adi}(s) = \frac{k_{ii} \cdot s + 1}{(k_{oi} + k_a) \cdot k_{ii} \cdot s^2 + (k_{oi} + k_a + k_{pi} + (1 + \alpha) \cdot k_{ii}) \cdot s + (1 + \alpha)} \quad (4.9)$$

$$H_{aoi}(s) = \frac{k_{oi} \cdot k_{ii} \cdot s^2 + (k_{oi} + k_{pi}) \cdot s}{(k_{oi} + k_a) \cdot k_{ii} \cdot s^2 + (k_{oi} + k_a + k_{pi} + (1 + \alpha) \cdot k_{ii}) \cdot s + (1 + \alpha)} \quad (4.10)$$

$$\begin{aligned} k_{oi} &= R_d \cdot C_o & k_{pi} &= R_d \cdot C_t \\ k_{ii} &= R_i \cdot C_i & k_a &= R_d \cdot C_a \\ \alpha &= R_d / R_a \end{aligned} \quad (4.11)$$

Como en el caso del controlador monofásico, k_a se utiliza para programar la frecuencia de conmutación, mientras que α establece la tensión máxima de salida en vacío [57]-[58]. Por esta razón, k_a y α tienen el mismo valor para todas las fases.

4.2.2 Impedancia de salida de lazo cerrado

El controlador de histéresis de la fase i mostrado en la figura 4.1 (b) se puede analizar utilizando la teoría de control en modo deslizamiento [45]. Al igual que en el controlador monofásico, la superficie de conmutación S_i se define como la diferencia entre las dos entradas del comparador

$$S_i(t) = v_{REF}(t) - v_{ai}(t) \quad (4.12)$$

La ley de control se implementa según

$$\begin{aligned} u_i(t) &= 1 \Leftrightarrow S_i(t) > 0 \\ u_i(t) &= 0 \Leftrightarrow S_i(t) < 0 \end{aligned} \quad (4.13)$$

Suponiendo que, como resultado de la ley de control (4.13), existe deslizamiento en la superficie de conmutación, entonces la variable promedio de v_{ai} pueden ser obtenida aplicando la condición de invariancia a (4.12) [45], [46]

$$\bar{v}_{ai}(t) = \bar{v}_{REF}(t) \quad \text{y} \quad \frac{d\bar{v}_{ai}(t)}{dt} = \frac{d\bar{v}_{REF}(t)}{dt} = 0 \quad (4.14)$$

Sustituyendo (4.8) en (4.14), la dinámica promediada de lazo cerrado de v_{di} resulta en

$$\bar{v}_{di}(s) = \frac{\bar{v}_{REF}(s) - H_{aoi}(s) \cdot \bar{v}_o(s)}{H_{adi}(s)} \quad (4.15)$$

La impedancia de salida de lazo cerrado Z_{ocl} , que describe la influencia de las perturbaciones de la corriente de carga en la tensión de salida, se define como

$$Z_{ocl}(s) = - \left. \frac{\bar{v}_o(s)}{\bar{i}_o(s)} \right|_{\bar{v}_{REF}(s)=0} \quad (4.16)$$

Al sustituir (4.15) en (4.5) y utilizando la definición (4.16), la impedancia de salida de lazo cerrado para un convertidor de N fases se puede expresar como

$$Z_{ocl}(s) = \frac{Z_o(s)}{1 + \sum_{j=1}^N \frac{G_{oj}(s) \cdot H_{aoj}(s)}{H_{adj}(s)}} \quad (4.17)$$

Esta función depende de la impedancia de salida en lazo abierto Z_o y del término sumatorio de ganancia del lazo, al igual que su homóloga de la versión monofásica. El diseño de las funciones de transferencia de control se lleva a cabo a continuación, teniendo en cuenta la consecución de respuesta óptima de la tensión de salida frente a transitorios de carga.

La respuesta transitoria de carga es óptima cuando el diseño de la impedancia de salida de lazo es resistiva y constante [49]. En este caso, no se observan ni picos ni oscilaciones en la respuesta transitoria de la tensión de salida durante las variaciones de carga [57], [58]. Nótese que los parámetros k_a y α no tienen influencia en la impedancia de salida de lazo cerrado. Esto es fácil de demostrar observando que (4.17) depende del cociente de H_{aoj} y H_{adj} .

El requisito de impedancia de salida de lazo cerrado resistiva y constante se logra mediante la cancelación total de ceros y polos en (4.17). Por conveniencia, (4.17) se reescribe de la siguiente forma, sustituyendo (4.6), (4.7), (4.9) y (4.10) en (4.17)

$$Z_{ocl}(s) = Z_{ocl}(0) \frac{a_n s^n + a_{n-1} s^{n-1} + \dots + 1}{b_n s^n + b_{n-1} s^{n-1} + \dots + 1} \Big|_{n=2 \cdot N + 1} \quad (4.18)$$

donde $Z_{ocl}(0)$ es la impedancia de salida de lazo cerrado en CC y n es el orden de los polinomios que resulta ser igual a $2 \cdot N + 1$. Numerador y denominador coinciden en grado debido a que no se han considerado los componentes parásitos de tipo inductivo [57]. Los coeficientes a_j y b_j ($j = 1 \dots n$) dependen de los parámetros de control k_{oi} , k_{pi} y k_{ii} y de los valores de los componentes de

la etapa de potencia. Por lo tanto, el objetivo del diseño es obtener la expresión de los parámetros de control que garanticen el cumplimiento de (4.19)

$$Z_{ocl}(s) = Z_{ocl}(0) \quad (4.19)$$

Dicho de otro modo, cancelando ceros y polos de (4.18) se obtiene un comportamiento resistivo en la impedancia de salida.

4.3 Diseño del controlador de histéresis multifase

En este apartado se trata el diseño del controlador multifase. En primer lugar se aborda el diseño de los parámetros de control de la red de filtrado. Seguidamente se diseña la función AVP. El análisis de la impedancia de cada una de las fases sirve para evaluar el balance de la corriente de carga. Por último se trata el diseño de la frecuencia de conmutación y funcionamiento entrelazado.

4.3.1 Diseño de la red de filtrado

El diseño de la red de filtrado se basa en la imposición de impedancia de salida constante y resistiva mediante cancelación total de ceros y polos de (4.17). Igualando los coeficientes de (4.18) se plantea el siguiente conjunto de ecuaciones

$$a_j = b_j \Big|_{j=1..n} \quad (4.20)$$

Con dicho conjunto de ecuaciones se pueden obtener las expresiones de los tres parámetros de control de cada fase k_{oi} , k_{pi} y k_{ii} , para $i = 1 \dots N$, que satisfacen el objetivo de cancelación total de ceros y polos de la expresión (4.18).

Para el convertidor multifase el número de parámetros de control es, en principio, de $3 \cdot N$. Por consiguiente, se deben plantear tantas ecuaciones como incógnitas, en este caso parámetros de control. Para ello debe coincidir el grado de (4.18) con el número de parámetros de control. Esta condición de orden se cumple en el controlador monofásico pero no en el caso del multifase.

4.3.1.1 Diseño a partir del equivalente monofásico

Un primer planteamiento para satisfacer la condición de orden consiste en considerar idénticas las N fases del convertidor, por lo que se puede reducir el convertidor multifase al equivalente de una sola fase, tal y como muestra la figura 4.3. El modelo del condensador de salida queda inalterado con esta aproximación. Este modelo equivalente es universalmente aceptado en el diseño de controladores multifase con arquitectura PWM [6], [21].

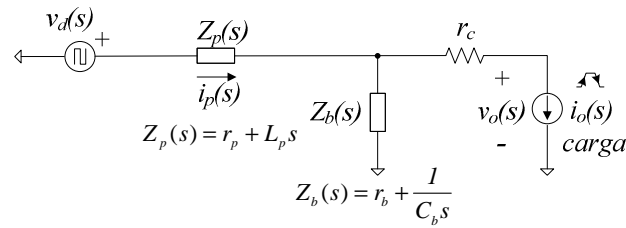


Fig. 4.3. Modelo de circuito de potencia equivalente

Los componentes del inductor equivalente Z_p se expresan como

$$r_p = \frac{1}{\sum_{j=1}^N \frac{1}{r_j}} \quad L_p = \frac{1}{\sum_{j=1}^N \frac{1}{L_j}} \quad (4.21)$$

Por otro lado, los parámetros de control quedan reducidos a k_o , k_p y k_t para las N fases. Consecuentemente, (4.20) se puede solucionar de la misma forma con la que se procedió con el controlador monofásico, llegando a las mismas expresiones de los parámetros de control.

$$a_3 = b_3 \Rightarrow k_o = \frac{L_p}{r_p + r_c} \left(\frac{r_b - r_p}{r_b} \right) \quad (4.22)$$

$$a_2 = b_2 \Rightarrow k_t = r_b \cdot C_b \quad (4.23)$$

$$a_1 = b_1 \Rightarrow k_p = \frac{r_p \cdot L_p}{r_p + r_c} \left(\frac{1}{r_b} - \frac{r_p \cdot C_b}{L_p} \right) \quad (4.24)$$

$$Z_{ocl}(0) = r_p + r_c \quad (4.25)$$

Al igual que en el convertidor monofásico se deberán cumplir las siguientes condiciones en relación a los componentes de potencia

$$\begin{aligned} k_o = R_d C_o \Rightarrow k_o > 0 \Rightarrow r_b > r_p \\ k_p = R_d C_t \Rightarrow k_p > 0 \Rightarrow \frac{L_p}{r_p} > r_b \cdot C_b \end{aligned} \quad (4.26)$$

Los parámetros de control dependen de los componentes de potencia. Sin embargo, tal y como se verá en el apartado experimental, el funcionamiento del controlador exhibe alta robustez ante las variaciones de los componentes de potencia.

Esta aproximación permite que todos los canales tengan idénticas redes de filtrado, lo cual favorece la modularidad y sencillez del sistema. Sin embargo, en presencia de tolerancias elevadas en los inductores, el cumplimiento de impedancia de salida constante no queda garantizado.

4.3.1.2 Diseño exacto

Independientemente de las diferencias que existan entre las distintas fases del modelo, se propone llevar a cabo un diseño de los parámetros de control para conseguir de forma exacta impedancia de salida constante. Se debe partir de la premisa de que el número de parámetros de control debe ser igual al grado de numerador y denominador de la expresión de Z_{ocl} . Para ello se opta por fijar uno de los tres parámetros de control para hacerlo común a todas las fases. De esta manera el número de parámetros queda reducido a $2 \cdot N + 1$, lo cual, en principio, coincide con el grado n de Z_{ocl} (4.18). La elección del parámetro se va a realizar mediante prueba y error. Sin embargo, como se verá, el resultado final permite fijar los parámetros teniendo en cuenta el modelo de convertidor de la figura 4.2 y los resultados de los parámetros obtenidos en el modelo aproximado equivalente (4.22), (4.23) y (4.24). Por motivos de realización, en esta discusión se va a adoptar la topología de dos fases para después generalizar el resultado final a la topología multifase.

4.3.1.2.1 Fijar k_t

En el modelo equivalente de una sola fase (4.23), el parámetro k_t depende exclusivamente de la capacidad de salida. Para el caso del modelo de dos fases, se va a suponer que se va a mantener esta dependencia. Desarrollando la expresión de Z_{ocl} (4.17) para el caso de dos fases con el conjunto de parámetros de control (k_t , k_{o1} , k_{o2} , k_{p1} y k_{p2}) se obtienen numerador y denominador de grado 4. Por consiguiente, el hecho de fijar k_t reduce el grado de Z_{ocl} a 4. Sólo se pueden plantear 4 ecuaciones y no resulta posible encontrar los valores de los 5 parámetros de control de forma independiente.

4.3.1.2.2 Fijar k_p

Fijando k_p el conjunto de parámetros es (k_p , k_{o1} , k_{o2} , k_{t1} y k_{t2}). Siguiendo el procedimiento del punto anterior se logra el numerador y denominador de (4.17) de grado 5, con lo que se cumple la condición de grado. Al resolver el sistema de ecuaciones se obtienen tres posibles soluciones. La solución a los parámetros k_{o1} y k_{o2} resulta ser negativa no resultando posible su implementación. Sin embargo se confirma la dependencia de k_t en la capacidad de salida, ya que dos de las soluciones de k_{t1} y k_{t2} son iguales al producto $C_b \cdot r_b$.

4.3.1.2.3 Fijar k_o

Fijando k_o el conjunto de parámetros es $(k_o, k_{p1}, k_{p2}, k_{i1}$ y $k_{i2})$. Desarrollando (4.17) se obtienen numerador y denominador de (4.17) de grado 5, con lo que se cumple la condición de grado. Resolviendo el sistema de cinco ecuaciones y cinco incógnitas se obtienen tres posibles soluciones que cancelan ceros y polos.

La primera solución se desestima porque da valor negativo para k_{p1} . La segunda da valores diferentes para k_{i1} y k_{i2} , en concreto, $k_{i1} = C_b \cdot r_b$ y $k_{i2} = L_l/r_l$. La tercera solución da el mismo valor para k_{i1} y k_{i2} , o sea, $k_{i1} = k_{i2} = C_b \cdot r_b$. Este resultado vuelve a confirmar la predicción de que el parámetro de control k_i depende única y exclusivamente de la capacidad de salida. El siguiente paso es entonces desarrollar de nuevo (4.17) con el siguiente conjunto de parámetros $(k_o, k_i, k_{p1}$ y $k_{p2})$.

En la topología multifase, y teniendo en cuenta el modelo de convertidor, el único componente que introduce diferencias entre las fases es el inductor. En el capítulo dedicado al convertidor monofásico, se vio como el comportamiento de la impedancia de salida era similar cuando se modificaba k_p y cuando se modificaba el valor del inductor. Por lo tanto, parece lógico pensar que se necesitan tantos parámetros k_p independientes como fases tenga el convertidor.

4.3.1.2.4 Fijar k_o y k_i

Fijando k_o y k_i y desarrollando (4.17) se obtienen numerador y denominador de grado 4, resultando posible el plantear 4 ecuaciones con los 4 parámetros de control (k_o, k_i, k_{p1} y k_{p2}) como incógnitas. Resolviendo, se llega a las siguientes ecuaciones de diseño para el convertidor de dos fases.

$$k_o = \frac{L_p}{r_p + r_c} \cdot \left(\frac{r_b - r_p}{r_b} \right) \quad (4.27)$$

$$k_i = r_b \cdot C_b \quad (4.28)$$

$$k_{p1} = \frac{r_p \cdot L_p}{r_p + r_c} \cdot (L_l - C_b \cdot r_l \cdot r_b) \cdot \left(\frac{1}{r_b \cdot L_l} + \frac{1}{r_l} \cdot \left(\frac{1}{L_p} - \frac{1}{L_l} \right) + \frac{1}{L_l} \cdot \left(\frac{1}{r_l} - \frac{1}{r_p} \right) \right) \quad (4.29)$$

$$k_{p2} = \frac{r_p \cdot L_p}{r_p + r_c} \cdot (L_2 - C_b \cdot r_2 \cdot r_b) \cdot \left(\frac{1}{r_b \cdot L_2} + \frac{1}{r_2} \cdot \left(\frac{1}{L_p} - \frac{1}{L_2} \right) + \frac{1}{L_2} \cdot \left(\frac{1}{r_2} - \frac{1}{r_p} \right) \right)$$

$$Z_{ocl}(0) = r_p + r_c \quad (4.30)$$

Nótese como (4.27), (4.28) y (4.30) coinciden respectivamente con las ecuaciones de diseño (4.22), (4.23) y (4.25) del modelo de convertidor aproximado.

Para el caso de tres fases se repite el proceso anterior de fijar parámetros llegando al mismo resultado final. Por consiguiente y generalizando, el parámetro k_p para la fase i de un convertidor de N fases queda determinado por

$$k_{pi} = \frac{r_p \cdot L_p}{r_p + r_c} \cdot (L_i - C_b \cdot r_i \cdot r_b) \cdot \left(\frac{1}{r_b \cdot L_i} + \frac{1}{r_i} \cdot \left(\frac{1}{L_p} - \frac{1}{L_i} \right) + \frac{1}{L_i} \cdot \left(\frac{1}{r_i} - \frac{1}{r_p} \right) \right) \quad (4.31)$$

Obsérvese que considerando inductores idénticos para cada fase ($L_i = L_p \cdot N$ y $r_i = r_p \cdot N$), se llega al resultado (4.24) del convertidor equivalente de una sola fase.

Para que el parámetro de control k_p tenga solución positiva se deberán cumplir las siguientes condiciones en relación a los componentes de potencia

$$k_{pi} > 0 \Rightarrow \begin{cases} 1^a \frac{L_i}{r_i} > r_b \cdot C_b \\ 2^a \left| \frac{1}{r_b \cdot L_i} + \frac{1}{r_i} \cdot \left(\frac{1}{L_p} - \frac{1}{L_i} \right) \right| > \left| \frac{1}{L_i} \cdot \left(\frac{1}{r_p} - \frac{1}{r_i} \right) \right| \end{cases} \quad (4.32)$$

La primera condición equivale con la del modelo equivalente aproximado, es decir la constante de tiempo del inductor debe ser mayor que la del condensador de salida. La segunda condición permite establecer la siguiente relación en términos de inductancia y de resistencia parásita de fase con su respectiva equivalente, subíndice p , para que k_{pi} sea positiva

$$\frac{L_i}{L_p} > \frac{r_i}{r_p} \left(1 - \frac{r_p}{r_b} \right) \quad (4.33)$$

El término de la derecha será positivo debido a que se debe de cumplir la condición (4.26), resultando compatible con la condición (4.33). Obsérvese también que en el caso ideal de que tengamos componentes idénticos, o sea $L_i/L_p = r_i/r_p = N$, la condición (4.33) se cumple. En realidad, y tal como se expondrá en el apartado dedicado al balance de corriente, el cociente r_i/r_p interesa que sea próximo al número de fases N . El peor escenario se produce cuando L_i está próximo a L_p y además r_i se aleja de r_p . Es decir, la fase con menor inductancia, la que determina el valor de L_p , y a la vez mayor resistencia por fase.

La implementación de las funciones de transferencia de la red de filtrado para la fase i con sus correspondientes parámetros queda según

$$H_{adi}(s) = \frac{k_t \cdot s + 1}{(k_o + k_a) \cdot k_t \cdot s^2 + (k_o + k_a + k_{pi} + (1 + \alpha) \cdot k_t) \cdot s + (1 + \alpha)} \quad (4.34)$$

$$H_{aoi}(s) = \frac{k_o \cdot k_t \cdot s^2 + (k_o + k_{pi}) \cdot s}{(k_o + k_a) \cdot k_t \cdot s^2 + (k_o + k_a + k_{pi} + (1 + \alpha) \cdot k_t) \cdot s + (1 + \alpha)} \quad (4.35)$$

$$\begin{aligned} k_o &= R_d \cdot C_o & k_{pi} &= R_d \cdot C_{ii} \\ k_t &= R_{ii} \cdot C_{ii} & k_a &= R_d \cdot C_a \\ \alpha &= R_d / R_a \end{aligned} \quad (4.36)$$

Obsérvese que las redes difieren únicamente en el valor de dos componentes R_{ii} y C_{ii} , con lo cual la implementación resulta sencilla.

A modo de resumen, se han obtenido las expresiones de diseño de los parámetros de control de la red de filtrado que cancelan polos y ceros de la impedancia de salida de lazo cerrado de un convertidor de N fases. Este diseño consigue impedancia de salida resistiva y constante independientemente de las diferencias que existan entre los inductores de las distintas fases. Los parámetros comunes a todas las fases son k_o , k_t , k_a y α , mientras que k_p es función del inductor de cada fase. También se han analizado estas expresiones para establecer las condiciones que deben de cumplir los inductores de fase y condensador de salida para obtener soluciones positivas a los parámetros de control. De esta manera se puede llevar a cabo la implementación de los valores de los parámetros de control con los componentes pasivos de la red de filtrado.

4.3.2 Diseño AVP

Tal y como se vio en el apartado de introducción, la función de control AVP en controladores PWM comerciales consiste en modificar la tensión de referencia para poder reducir la tensión de salida linealmente a medida que aumenta la corriente de carga. El lazo de regulación de tensión es el encargado de ajustar la tensión de salida a esta referencia dinámica. El controlador multifase de bajo coste que se propone realiza la regulación de tensión junto con la función AVP de la misma forma que su homólogo de una sola fase, véase figura 4.1 (b). Ello es posible gracias a la característica pasa bajos de H_{adi} y a la ley de control del controlador de histéresis (4.12), el cual ajusta el valor medio de v_{di} de cada fase a la referencia estática común V_{REF} . Esta estrategia de regulación introduce un error en estado estacionario proporcional a la corriente de carga en la tensión de salida v_o .

Para mostrar esta característica del controlador multifase se deriva la expresión de la tensión de salida en régimen estacionario sustituyendo los valores en CC ($s=0$) de (4.6) y (4.7) en (4.5) y también el valor en estado estacionario de (4.15) y (4.8), obteniéndose como resultado

$$V_o = (1 + \alpha) \cdot V_{REF} - (r_p + r_c) \cdot I_o \quad (4.37)$$

Obsérvese como se obtiene la característica de caída deseada. Los parásitos r_p y r_c y el consumo de la carga proporcionan la función AVP. Por su parte, el parámetro α determina el valor máximo de la tensión de salida en vacío. El convertidor en estado estacionario se comporta como una fuente ideal de tensión con una resistencia serie de valor $(r_p + r_c)$ que hace que la tensión de salida dependa directamente de la corriente de salida.

Para poder satisfacer las especificaciones de la carga, $(r_p + r_c)$ debe coincidir con la pendiente de la recta de carga anunciada en las guías de diseño [3]. El diseño de la etapa de potencia con inductores con baja tolerancia en el valor de su resistencia en corriente continua (DCR) y una buena estimación de la resistencia del trazado de pista entre el convertidor y la carga son de nuevo condiciones indispensables para poder tener una buena estimación de los parásitos r_p y r_c respectivamente. En este caso, la banda de tolerancia de la ecuación de la recta de carga puede absorber fácilmente las desviaciones de la tensión de salida debidas a las tolerancias y derivas térmicas.

4.3.3 Balance de corriente

En este apartado se parte de la premisa de disponer de la misma tensión de referencia e idéntico comparador de histéresis para todas las fases. La única diferencia que se considera es el valor de la resistencia parásita de las fases.

El esquema de control mostrado en la figura 4.1 (b) presenta una característica inherente de caída de tensión que puede ser utilizada para repartir la corriente de carga entre las fases. Como todas las fases comparten la capacidad de salida, véase figura 4.1 (a), el hecho de regular el valor medio de v_d en cada canal a la misma tensión de referencia estática V_{REF} , hace que la corriente de carga se distribuya equitativamente por entre las fases.

El reparto de la corriente de salida en lazo cerrado puede ser analizado a partir de la expresión (4.2). Sustituyendo (4.15) en (4.2) se llega a la siguiente función de la corriente de la fase i con respecto a la corriente de carga i_o

$$\frac{i_i(s)}{i_o(s)} = Z_{ocl}(s) \cdot \sum_{j=1}^N \frac{G_{ij}(s) \cdot H_{aoj}(s)}{H_{adj}(s)} + G_{io}(s) \quad (4.38)$$

En el apartado siguiente dedicado a la simulación se discute el efecto de las desviaciones en el valor de la inductancia en la distribución de corriente durante el transitorio de carga. Este apartado se limita al balance de corriente en estado estacionario de carga.

La expresión del valor en estado estacionario de la corriente de fase I_i se puede derivar a partir de (4.38) haciendo $s = 0$

$$I_i = \frac{r_p}{r_i} I_o \quad (4.39)$$

Como era de esperar, (4.39) revela que el mecanismo de reparto de corriente se puede llevar a cabo mediante la adecuada selección de la resistencia equivalente en CC del inductor (DCR). O sea, la impedancia en CC de cada fase vista desde la capacidad de salida. De hecho, se puede lograr una buena distribución de la corriente de carga I_o si todas las resistencias r_i coinciden. En la práctica es importante poder disponer de inductores con bajo valor de tolerancia en su DCR y mantener pequeñas diferencias en el trazado del circuito impreso de las fases para obtener un balance de corriente con baja desviación.

La desviación de la corriente de fase con respecto a la distribución ideal (I_o/N) debido a los desajustes en r_i puede ser fácilmente analizada. El peor de los casos se produce cuando una fase se encuentra en el extremo alto de la banda de tolerancia y todas las otras fases se encuentran en el extremo más bajo, y viceversa. La figura 4.4 muestra la desviación máxima de la corriente de una fase con respecto a la distribución ideal de corriente (I_o/N) en función del número de fases. Se han considerado dos valores diferentes de tolerancia para r_i . Téngase en cuenta que a medida que aumenta del número de fases la desviación tiende a estabilizarse a un valor constante.

También vale la pena mencionar que en la práctica, la desviación real será normalmente menor que el valor del peor de los casos. Por lo tanto, se alcanza una desviación admisible en el reparto de corriente entre las fases con el mecanismo pasivo de balance de corriente que implementa la red de filtrado de la figura 4.1 (b).

En términos de implementación, es posible encontrar en el mercado inductores con baja tolerancia en su DCR. Existen de hasta el 3 % de tolerancia y se utilizan con la finalidad de sensar la corriente de fase de forma indirecta con una red RC de constante de tiempo igual a la constante de tiempo del inductor [71].

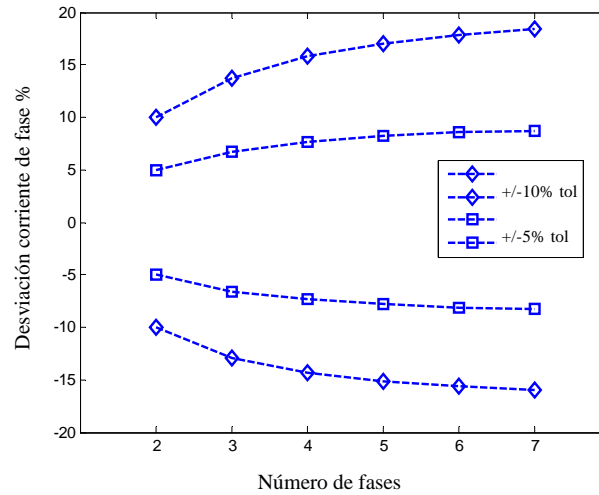


Fig. 4.4. Desviación de la corriente de fase con respecto distribución ideal en función del número de fases

4.3.4 Frecuencia de conmutación y funcionamiento entrelazado

Como se describió anteriormente, la red de filtrado de la figura 4.1 (b) permite seleccionar la frecuencia de conmutación mediante el parámetro de control k_a . Desactivando la señal de sincronismo v_{sy} y siguiendo el mismo razonamiento que en el controlador monofásico, la frecuencia de conmutación de la fase i se puede escribir como

$$f_{si} = \frac{D_i \cdot (1 - D_i) \cdot \Delta V_{di}}{\Delta V_{di} \cdot t_{di} + h \cdot (k_o + k_a)} \quad (4.40)$$

donde D_i es el ciclo de trabajo de la fase i que es igual al valor medio de variable de control u_i , ΔV_{di} es el rizado de v_{di} , t_{di} es el retardo del comparador de histéresis, y h es la ventana de histéresis. El ciclo de trabajo y el rizado se puede derivar de las expresiones en estado estacionario (4.1), (4.2) y (4.5)

$$D_i = \frac{V_o + (r_p + r_c) \cdot I_o + r_{i2} \cdot \frac{r_p}{r_i} \cdot I_o}{\Delta V_{di}} \quad (4.41)$$

$$\Delta V_{di} = V_{in} + (r_{i2} - r_{i1}) \cdot \frac{r_p}{r_i} \cdot I_o \quad (4.42)$$

En la práctica, la frecuencia de conmutación de cada fase será ligeramente diferente. Esto se debe principalmente a los componentes parásitos de la etapa de potencia (inductores de fase y transistores de potencia) y las diferencias del circuito de control (red de filtrado y la tolerancia

del retardo del comparador). Además, la variación de la frecuencia de conmutación debido a la corriente de carga hace difícil la implementación del funcionamiento entrelazado.

Sin embargo, el funcionamiento a frecuencia fija ya se logró con éxito en el controlador monofásico. Para el funcionamiento entrelazado de las fases es suficiente con inyectar la señal externa con un desplazamiento de fase igual a $360^\circ/N$. A modo de ejemplo, la figura 4.5 muestra el principio de funcionamiento de un convertidor de dos fases incluyendo la señal de sincronización externa.

El control de histéresis es conocido por su reacción inmediata en la salida ante un cambio en las variables de control. En este sentido, el método de sincronización descrito anteriormente no interfiere con la rápida respuesta del controlador propuesto, como se muestra en la figura 4.6. La carga se activa en el instante t_{on} y se desactiva en t_{off} .

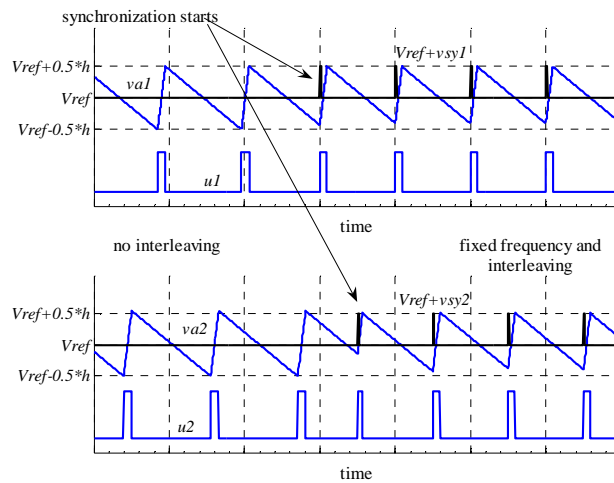


Fig. 4.5. Entrelazado en un convertidor de dos fases: régimen estacionario.

En estos instantes, la dinámica de la tensión de control v_{ai} (4.8) tiene información sobre las variaciones de alta frecuencia de la tensión de salida debido a la función de transferencia pasa altos H_{aoi} (4.10) (es decir, el cambio de carga es detectado por el controlador). En t_{on} , v_{ai} cae forzando al comparador de histéresis a activar la señal de control u_i independientemente del pulso de sincronización. Por el contrario, en t_{off} , v_{ai} aumenta haciendo que el comparador desactive la señal de control u_i . Después de t_{on} y t_{off} , la sincronización se vuelve a alcanzar en cada fase en los instantes t_{11} , t_{21} y t_{12} , t_{22} , respectivamente.

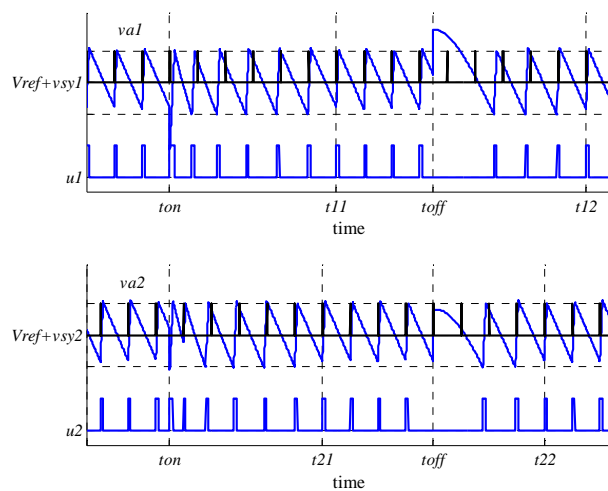


Fig. 4.6. Entrelazado en un convertidor de dos fases: respuesta transitoria frente a saltos de carga.

4.4 Ejemplos de diseño y simulación

En este punto se simula mediante Simulink[®] Matlab el funcionamiento del convertidor multifase con el controlador de bajo coste propuesto. Se va a tomar como ejemplo el convertidor de tres fases para verificar la validez teórica de las expresiones de diseño de los parámetros de control derivadas en el apartado anterior. La figura 4.7 muestra como ejemplo el modelo de simulación de convertidor de tres fases. Obsérvese como el controlador, en este caso de tres fases, sensa las variables tensión de salida v_o y las tensiones a la salida de los respectivos troceadores v_{d1} , v_{d2} y v_{d3} . De la misma manera que en el controlador monofásico, a partir de estas se generan las respectivas señales de control u_1 , u_2 y u_3 . Las simulaciones van a ser: perfil de impedancia de salida de lazo cerrado, respuesta transitoria de la tensión de salida y balance de corriente.

En primer lugar, y considerando el caso ideal de fases idénticas, se va a comprobar el funcionamiento del convertidor sin y con funcionamiento entrelazado de las fases. Al ser las fases idénticas, se va a tomar el modelo aproximado para derivar los valores de los parámetros de control. En segundo lugar, se van a considerar los casos de diseño de los parámetros de control a partir del modelo equivalente aproximado de una sola fase y solución exacta, con desviaciones en el valor de los inductores de fase debidas a la tolerancia de los mismos. En la Tabla 4.1 se listan los valores nominales de los componentes de potencia junto con las especificaciones de funcionamiento del convertidor. Estos se corresponden con los que se utilizarán más tarde en el apartado dedicado al prototipo de laboratorio.

Para el cálculo de los parámetros de control k_o , k_t y k_p mediante el modelo aproximado se utilizarán las expresiones (4.22) a (4.24). Para el caso de solución exacta se hará lo propio con las expresiones (4.27), (4.28) y (4.31). El parámetro de control k_a se calcula utilizando (4.40)

para una frecuencia de conmutación cercana a 400 kHz sin señal de sincronización. El parámetro de control α se determina con (4.37) y la especificación de tensión en vacío de la Tabla 4.1.

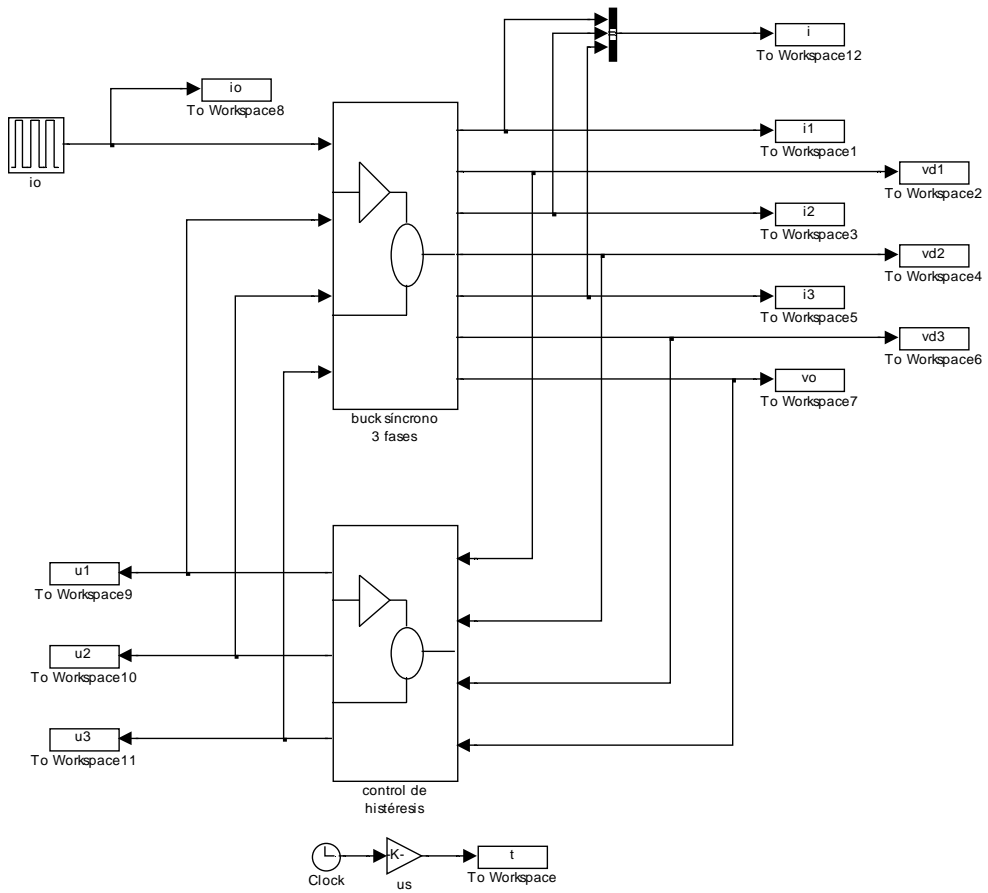


Fig. 4.7. Modelo de simulación de 3 fases

TABLA 4.1
Valores de los componentes

Símbolo	Componente del circuito de potencia	Valor
$r_{11} r_{21} r_{31}$	Resistencia equivalente en conducción del transistor superior	3.67 mΩ
$r_{12} r_{22} r_{32}$	Resistencia equivalente en conducción del transistor inferior	2.75 mΩ
$L_1 L_2 L_3$	Inductor de fase	450 nH ± 15 %
$r_1 r_2 r_3$	DCR inductor de fase	0.78 ÷ 0.98 mΩ
C_b	Condensador de salida	14.94 mF
r_b	ESR Condensador de salida	0.33 mΩ
r_c	Resistencia parásita entre convertidor y carga	0.22 mΩ
Especificaciones de línea y carga		
V_{in}	Tensión de entrada	12 V
$I_{o max}$	Corriente máxima de salida	40 A
$I_{o min}$	Corriente mínima de salida	0 A
$SR(I_o)$	dI_o/dt	80 A/μs
Parámetros del circuito de control		
V_{REF}	Tensión de referencia	1.30 V
h	Ventana de histéresis	10 mV
t_d	Retardo de propagación	200 ns
Especificaciones estáticas y dinámicas		
$V_{o nl}$	Tensión de salida en vacío	1.315 V
Z_{ocl}	Impedancia de salida de lazo cerrado	0.5 mΩ
ΔV_o	Tolerancia tensión de salida	40 mV
f_s	Frecuencia de conmutación	430 kHz

4.4.1 Componentes de fase idénticos

Se procede al diseño de la red de filtrado de la figura 4.1 (b). La solución a los parámetros de control se lista en la Tabla 4.2 para inductores de 450 nH y 0.78 mΩ.

TABLA 4.2
Solución con modelo aproximado y componentes de fase idénticos

Parámetros de la red de filtrado		
$k_o = 66.3 \mu\text{s}$	$k_r = 4.9 \mu\text{s}$	$k_p = 244.1 \mu\text{s}$
$k_a = 10 \mu\text{s}$	$\alpha = 0.0148$	

A continuación se presentan los resultados de simulación. Se puede observar en la figura 4.8 (a) como el perfil de impedancia de salida de lazo cerrado presenta un valor constante de -66.4 dB que se corresponde con $0.48 \text{ m}\Omega = r_p + r_c$, el valor en CC de Z_{ocl} dado por la ecuación (4.30).

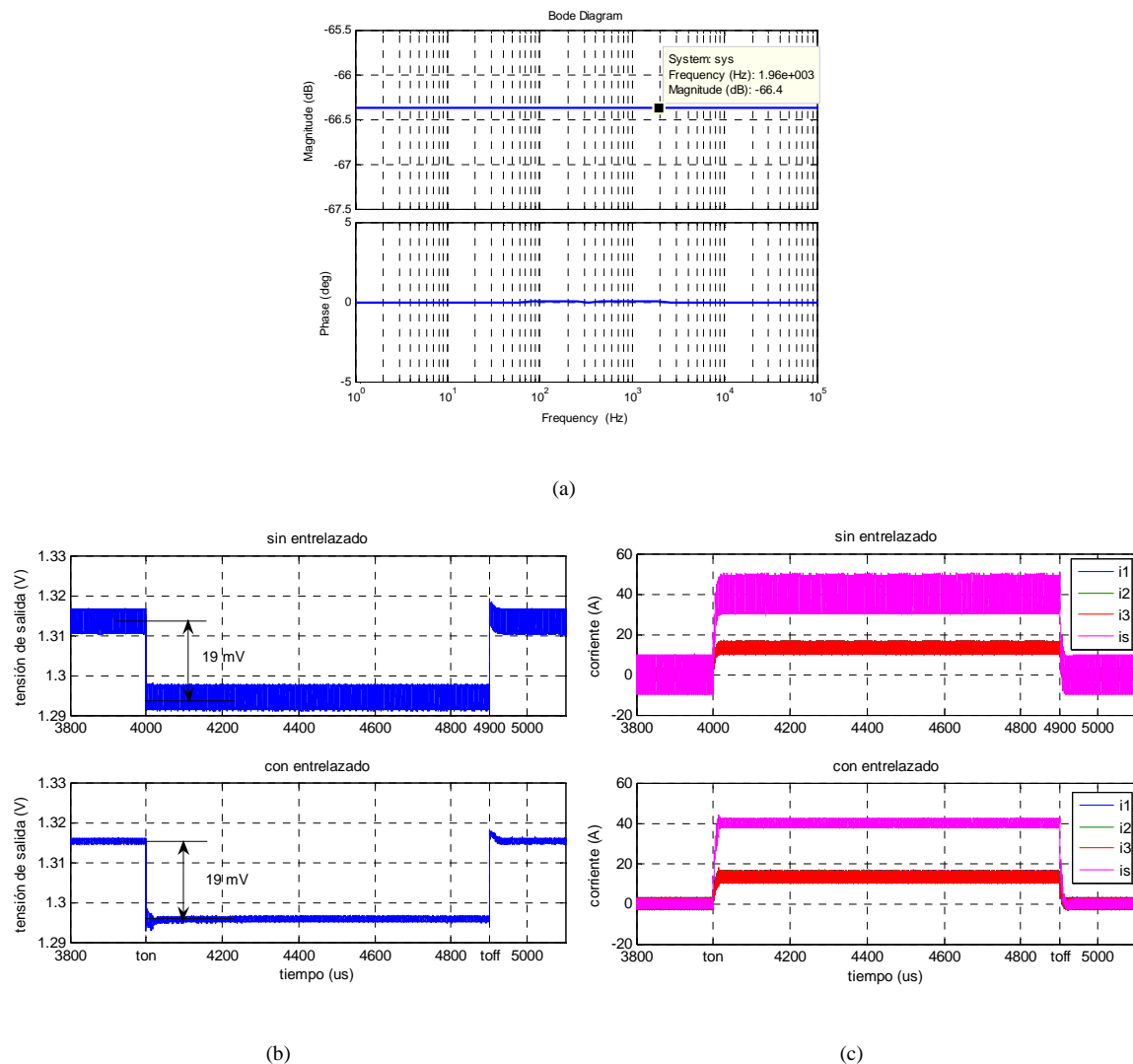


Fig. 4.8. (a) Impedancia de salida de lazo cerrado. (b) Respuesta transitoria tensión de salida. (c) Balance de corriente.

Por lo que respecta a la tensión de salida, la figura 4.8 (b) muestra la respuesta transitoria óptima frente a un escalón de carga de 0 a 40 A en t_{on} y de 40 a 0 A en t_{off} . La caída de tensión se corresponde con el producto $40 \text{ A} \cdot 0.48 \text{ m}\Omega = 19 \text{ mV}$. Se aprecia un menor rizado con funcionamiento entrelazado. Obsérvese como en el caso de funcionamiento entrelazado aparece cierta irregularidad en los instantes que se produce el transitorio. Ello es debido a que se pierde el funcionamiento entrelazado, tal y como se explicó en el apartado anterior dedicado a la frecuencia de conmutación.

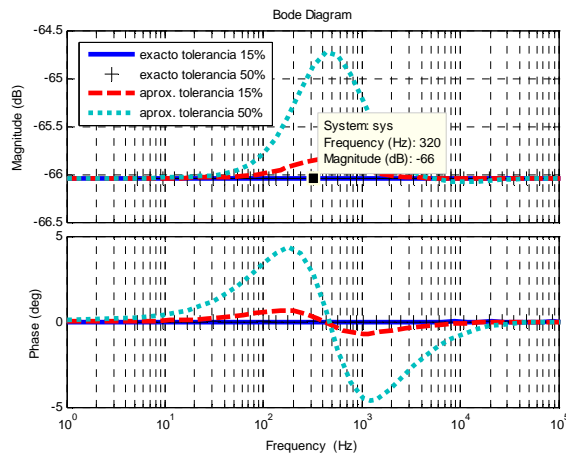
En cuanto al balance de corriente, en la figura 4.8 (c) se observa un reparto por igual de la corriente de salida de 40 A. Este resultado se corresponde con el análisis realizado en el apartado de balance de corriente. Las corrientes de cada fase aparecen superpuestas en el gráfico y no se observa diferencia alguna. Sí que se aprecia un mayor rizado en la corriente suma de 40 A en el caso de no entrelazado el cual justifica el aumento de rizado de la tensión de salida de la figura 4.8 (b) superior.

4.4.2 Componentes de fase con desviaciones

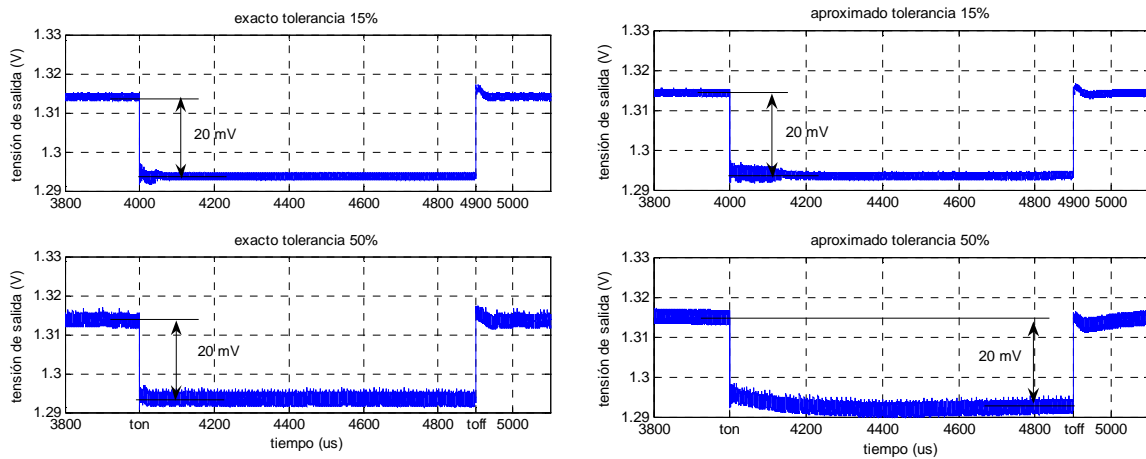
En este apartado se considera la tolerancia estándar de los inductores disponibles para el apartado experimental, tanto en lo que respecta a valor de inductancia +/- 15 %, como en su resistencia parásita DCR, valor comprendido entre 0.78 y 0.98 mΩ. También se considera un segundo ejemplo de diseño en el que se introduce una tolerancia exagerada del +/- 50 % en el valor del inductor. Las simulaciones de este apartado permitirán comparar el diseño exacto y aproximado de los parámetros de control, utilizando los datos de los dos ejemplos de diseño considerados.

TABLA 4.3

Tolerancia 15%			Tolerancia 50%		
Inductores					
$L_1 = 0.85 \cdot 450 \text{ nH}$	$L_2 = 1.15 \cdot 450 \text{ nH}$	$L_3 = 1.15 \cdot 450 \text{ nH}$	$L_1 = 0.50 \cdot 450 \text{ nH}$	$L_2 = 1.50 \cdot 450 \text{ nH}$	$L_3 = 1.50 \cdot 450 \text{ nH}$
$r_1 = 0.98 \text{ m}\Omega$	$r_2 = 0.78 \text{ m}\Omega$	$r_3 = 0.78 \text{ m}\Omega$	$r_1 = 0.98 \text{ m}\Omega$	$r_2 = 0.78 \text{ m}\Omega$	$r_3 = 0.78 \text{ m}\Omega$
SOLUCIÓN CON MODELO EXACTO: parámetros de la red de filtrado					
$k_o = 47.8 \mu\text{s}$	$k_i = 4.9 \mu\text{s}$		$k_o = 41.8 \mu\text{s}$	$k_i = 4.9 \mu\text{s}$	
$k_{p1} = 168.2 \mu\text{s}$	$k_{p2} = 320.7 \mu\text{s}$	$k_{p3} = 320.7 \mu\text{s}$	$k_{p1} = 84.6 \mu\text{s}$	$k_{p2} = 439.5 \mu\text{s}$	$k_{p3} = 439.5 \mu\text{s}$
$k_a = 10 \mu\text{s}$	$\alpha = 0.0148$		$k_a = 10 \mu\text{s}$	$\alpha = 0.0148$	
SOLUCIÓN CON MODELO APROXIMADO: parámetros de la red de filtrado					
$k_o = 47.8 \mu\text{s}$	$k_i = 4.9 \mu\text{s}$	$k_p = 259.2 \mu\text{s}$	$k_o = 41.8 \mu\text{s}$	$k_i = 4.9 \mu\text{s}$	$k_p = 226.4 \mu\text{s}$
$k_a = 10 \mu\text{s}$	$\alpha = 0.0148$		$k_a = 10 \mu\text{s}$	$\alpha = 0.0148$	



(a)



(b)

(c)

Fig. 4.9. (a) Impedancia de salida de lazo cerrado. (b) Respuesta transitoria de la tensión de salida con solución exacta. (c) Respuesta transitoria de la tensión de salida con solución aproximada

Observando la Tabla 4.3 es interesante destacar que los parámetros k_o , k_b , k_a y α coinciden en la solución con modelo exacto y aproximado. Ello es debido a que no existen diferencias en las ecuaciones que definen estos parámetros tanto en el modelo aproximado como en el exacto.

La figura 4.29 (a) muestra la respuesta en frecuencia de la impedancia de salida para la solución con modelo exacto y aproximado. Obsérvese que con el modelo exacto se consigue impedancia de salida resistiva. Con el modelo aproximado, la impedancia se aleja más del comportamiento esperado a medida que la tolerancia aumenta.

Las figuras 4.9 (b) y (c) muestran la respuesta transitoria con la solución del modelo exacto y aproximado respectivamente, para los ejemplos de diseño considerados. Resulta interesante observar como es necesario introducir una desviación del 50 % en los inductores de fase para

poder causar una desviación apreciable de la respuesta transitoria óptima. Con una tolerancia del 15 % la solución aproximada se comporta prácticamente como la exacta.

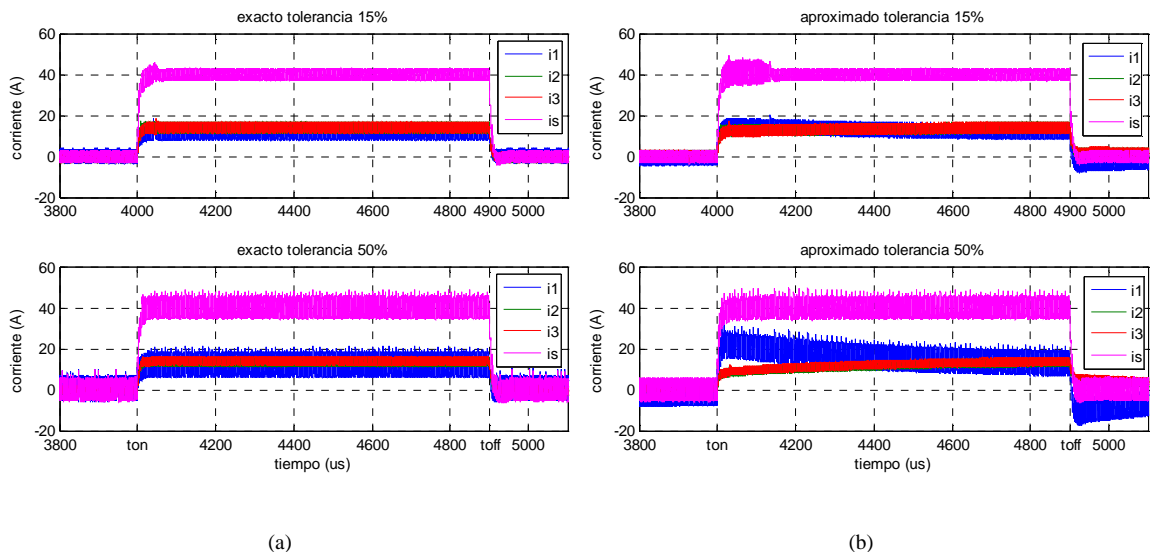


Fig. 4.10. Respuesta transitoria de la corriente de cada fase y corriente suma resultante con tolerancias del 15 % y 50 % en el valor del inductor de fase. (a) Solución exacta. (b) Solución aproximada

Si bien a nivel de tensión de salida se obtiene una respuesta sub-óptima hasta con una tolerancia exagerada del 50% utilizando la solución aproximada de los parámetros de control, no se puede decir lo mismo con respecto al balance de corriente. La solución exacta permite a las tres fases alcanzar el régimen permanente de reparto de corriente instantes después de t_{on} , tal y como puede observarse en la figura 4.10.

El balance de corriente en régimen permanente coincide con la expresión (4.39). En cambio, en la solución aproximada la fase con menor inductancia (L_l) denota una respuesta con sobreimpulso, al contrario de las fases con mayor inductancia las cuales evolucionan lentamente hacia al valor final sin sobreimpulso. En el supuesto de que el tiempo en que está activa la carga se acorte ($t_{off} - t_{on}$), el balance de corriente no cumple la expresión (4.39), provocando una sobreutilización de la fase con menor inductancia. Por consiguiente y a modo de conclusión, la solución exacta asegura un rápido transitorio de la corriente de cada fase sin sobreimpulso. Por otro lado, a nivel de reparto de corriente, la consecución de impedancia de salida resistiva de forma exacta permite considerar las distintas fases como un divisor de corriente resistivo no sólo en régimen permanente sino también en régimen transitorio.

En la figura 4.11 se ha representado el diagrama de Bode de la función de transferencia de la corriente de fase con respecto a la corriente de salida en lazo cerrado, según (4.38), de las fases 1 y 2. Se ha considerado el caso de inductores con la misma DCR y con los valores de

inductancia de la Tabla 4.3 para el caso de solución exacta y aproximada a los parámetros de control.

Como era de esperar, ambos casos reflejan la característica pasa-bajos propia del inductor. A baja frecuencia la ganancia es de -9.54 dB lo cual corresponde a 1/3 de la corriente de salida, téngase en cuenta que en esta simulación los tres inductores tienen la misma DCR. Justo por encima de 100 Hz se empieza a notar el efecto del parámetro de control k_p , distinto para cada fase en el caso de solución exacta e igual para cada fase en el caso de solución aproximada, sobre el reparto de corriente entre las fases. Se observa como en la solución exacta k_p ajusta el balance de corriente con ganancia constante para cada fase hasta una frecuencia de 20 kHz. Sin embargo, la solución aproximada provoca un reparto no equilibrado de la corriente de salida, tal y como se ha observado en la respuesta temporal de la figura 4.10 (b).

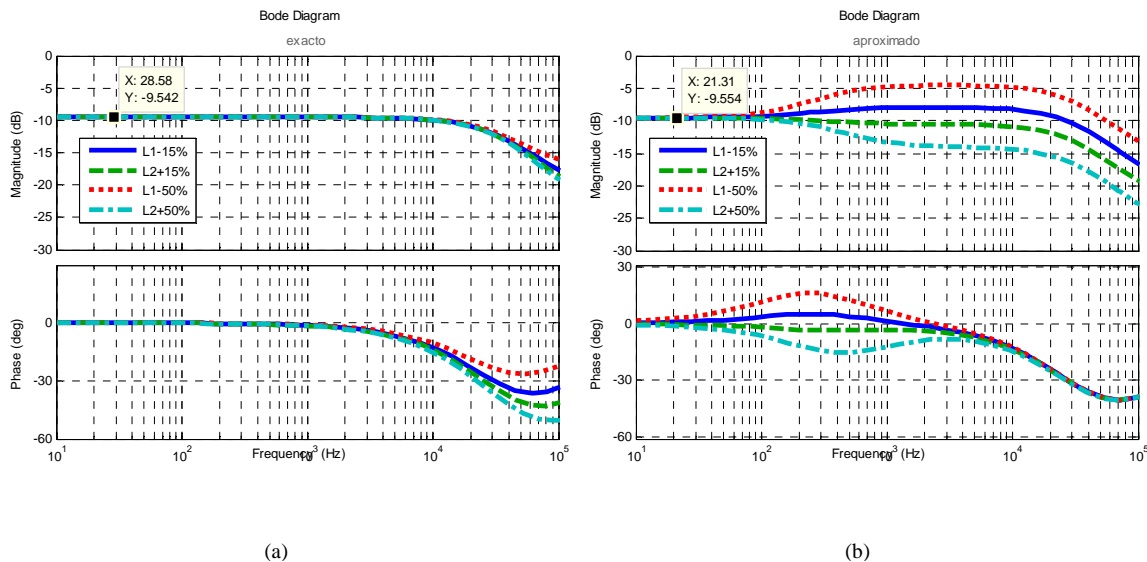


Fig. 4.11. Comparativa de respuesta en frecuencia de la función distribución de corriente introduciendo desviaciones en el valor del inductor. (a) Solución exacta. (b) Solución aproximada.

4.4.3 Funcionamiento entrelazado

En este apartado se va a mostrar a nivel de simulación la influencia del parámetro de control k_s sobre el funcionamiento entrelazado de las fases durante los instantes en que sucede el transitorio de carga. En el capítulo dedicado al controlador monofásico, se vio como este parámetro controlaba la amplitud del pulso que se inyectaba en el comparador de histéresis. De esta forma se fuerza de forma anticipada la conmutación del estado de la señal de control u de 0 a 1 y se obtiene funcionamiento a frecuencia fija. Para conseguir entrelazado será suficiente con inyectar a cada fase el pulso desplazado en fase a razón de $360^\circ/N$.

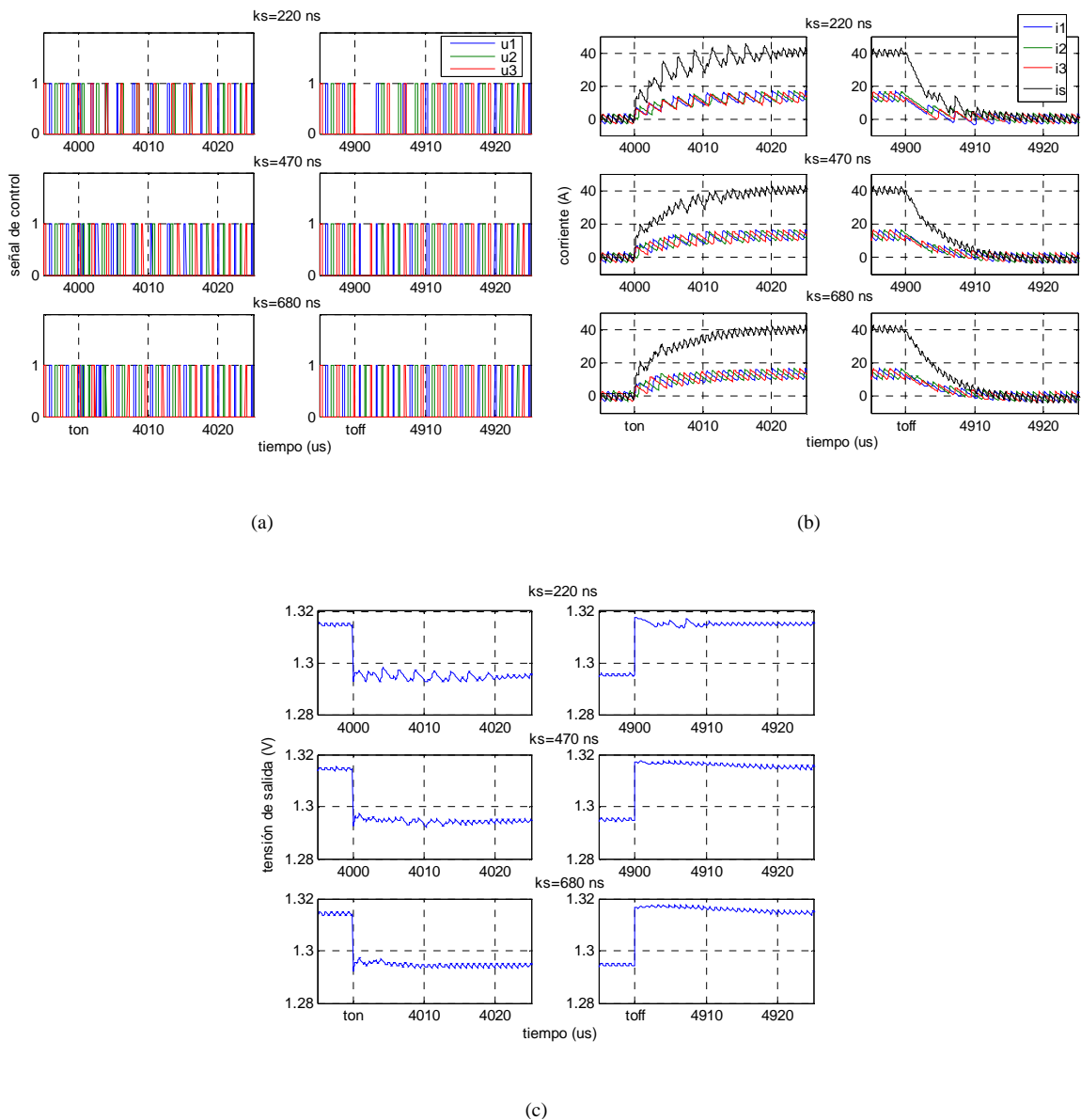


Fig. 4.12. Influencia del parámetro k_s en el tiempo de recuperación del funcionamiento entrelazado después de la activación/desactivación de la carga de 40 A. (a) Señal de control de cada fase. (b) Corriente de cada fase y corriente suma. (c) Tensión de salida

La figura 4.12 muestra el comportamiento transitorio del sistema de sincronismo, propuesto en este trabajo, para distintos valores del parámetro que modula la amplitud del pulso k_s . Las simulaciones que se han considerado son con fases idénticas. Obsérvese cómo una mayor amplitud del pulso permite recuperar antes el funcionamiento sincronizado. Esto se pone de manifiesto con $k_s = 680$ ns en las figura 4.12 (a) y (b) inferiores. Sin embargo, se penaliza la respuesta transitoria de la tensión de salida con una sobretensión de mayor duración en el momento en que sucede el transitorio de desconexión de la carga t_{off} , figura 4.12 (c). Ello es debido a que la señal de sincronismo fuerza al controlador a activar su salida teniendo prioridad sobre la tensión de control. Se puede observar en la figura 4.12 (b) superior cómo la corriente

por las fases decae más rápidamente con $k_s = 220$ ns. A la vista de los resultados, se considera que el valor más adecuado para k_s es aquel que no impone la dinámica de la señal de sincronismo cuando el convertidor pasa de plena carga a vacío.

4.5 Experimentación de laboratorio

El objetivo de este apartado es verificar de forma experimental los resultados de simulación obtenidos en el apartado anterior. Para ello se dispone de un prototipo de convertidor de tres fases y de una carga capaz de hacer trabajar al convertidor con una corriente de salida de 40 A de forma permanente o pulsante. Los ensayos y medidas realizadas permitirán verificar la validez de los resultados obtenidos en el apartado anterior de simulación.

4.5.1 Prototipo de laboratorio

Para la implementación del convertidor de tres fases se parte de tres módulos de evaluación TPS5210EVM-126 [56]. Dicho módulo es el mismo que se utilizó en el apartado dedicado al convertidor monofásico e incluye el controlador de histéresis monofásico TPS5210. Se han llevado a cabo las modificaciones necesarias en el circuito de potencia de cada módulo de evaluación, véase figura 4.13, para que puedan compartir la capacidad de salida y de esta manera obtener la topología de un convertidor de tres fases. Los valores de los componentes se encuentran en la Tabla 4.1.

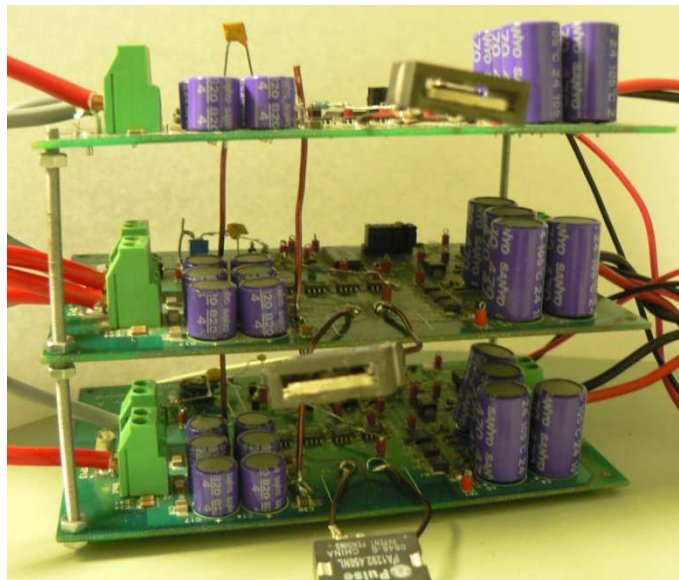


Fig. 4.13. Prototipo de convertidor de tres fases

Con respecto al controlador multifase, la arquitectura que se presenta en este trabajo según se describe en el apartado 4.1, éste obtiene la señal de control de cada fase a partir de señales

disponibles en la propia fase. Únicamente es necesario sensar la diferencia de tensión entre la salida del troceador y la tensión de salida. Ello permite poder implementar un controlador trifásico a partir del controlador monofásico ya existente en el módulo de evaluación. Al igual que en el controlador monofásico se deberá desactivar la función de medida de corriente y implementar los componentes de la red de sensado (e). En cuanto a la carga, se mantiene el prototipo de carga pulsante utilizado con éxito en la fase experimental del convertidor monofásico.

4.5.2 Respuesta transitoria de la tensión de salida y corriente de fase

En este apartado se consideran los inductores de fase de valor nominal 450 nH con una tolerancia del $\pm 15\%$ y el resto de valores tal y como lista la Tabla 4.1. Según lo visto en el apartado de simulación, este valor de tolerancia permite determinar los parámetros de control k_o , k_i y k_p utilizando la solución aproximada, expresiones (4.22) a (4.24). El parámetro de control k_a se calcula utilizando (4.40) para una frecuencia de conmutación cercana a 400 kHz sin señal de sincronización. El parámetro de control α se determina con (4.37) y la especificación de tensión en vacío de la Tabla 4.1.

Se procede al diseño de la red de filtrado de la figura 4.1 (b). La solución a los parámetros de control y componentes de la Tabla 4.4 se obtiene utilizando las ecuaciones de diseño (4.22) a (4.24) y (4.36) respectivamente.

TABLA 4.4
Solución con modelo aproximado y componentes de fase con tolerancia $\pm 15\%$

Parámetros de la red de filtrado		
$k_o = 66.3 \mu\text{s}$	$k_i = 4.9 \mu\text{s}$	$k_p = 244.1 \mu\text{s}$
$k_a = 10 \mu\text{s}$	$\alpha = 0.0148$	
Componentes implementados		
$R_d = 10 \text{ k}\Omega$	$C_i = 27 \text{ nF}$	$R_i = 220 \Omega$
$C_o = 6.9 \text{ nF}$	$C_a = 1 \text{ nF}$	$R_a = 1 \text{ M}\Omega$

A continuación se muestran los resultados experimentales de la respuesta transitoria frente a un salto de carga de la tensión de salida y de la corriente del inductor de cada fase sin y con funcionamiento entrelazado.

La figura 4.14 muestra el transitorio de la tensión de salida frente a un salto de vacío a plena carga de 0 a 40 A y viceversa para el caso (a) sin entrelazado y (b) con entrelazado. En ambos casos, no se observan sobreimpulsos significativos en la tensión de salida. La impedancia de salida de lazo cerrado presenta un comportamiento resistivo tal y como se deseaba.

Por otro lado, no se observa una disminución significativa del rizado de la tensión de salida cuando se activa el funcionamiento entrelazado. En los resultados de simulación se apreciaba una mayor diferencia, véase figura 4.8. Como se verá en el apartado dedicado al funcionamiento entrelazado, las diferencias que existen entre los componentes homólogos de cada fase justifican la aparición de un desfase entre las respectivas señales de control de cada fase y de una diferencia en la frecuencia de conmutación de cada canal. Todo ello aporta una reducción del rizado de la tensión de salida de forma natural sin tener que activar el funcionamiento entrelazado.

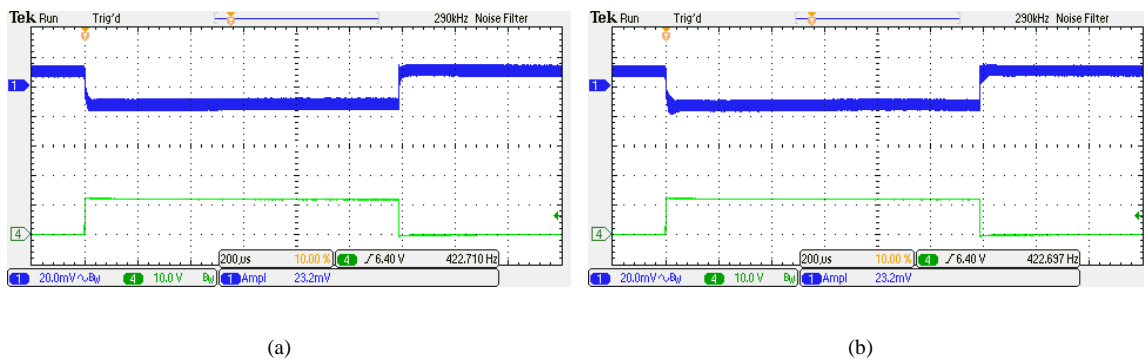


Fig. 4.14. Resultados experimentales de la respuesta de la tensión de salida frente a transitorio de carga. (a) Sin entrelazado. (b) Con entrelazado. Traza 1 superior: Tensión de salida componente AC 20 mV/div. Traza 4 inferior: activación de carga 40 A, 10V/div; 200 μs/div.

La figura 4.15 muestra la respuesta transitoria de la corriente de cada inductor sin y con funcionamiento entrelazado. Se puede observar cómo, al igual que en la respuesta transitoria de la tensión de salida, el funcionamiento entrelazado no afecta al balance de corriente ni a la respuesta transitoria. Se obtiene una respuesta libre de sobreimpulso y sobremortiguamiento en las tres fases. Esta característica se corresponde con los resultados de simulación de las figuras 4.10 y 4.11.

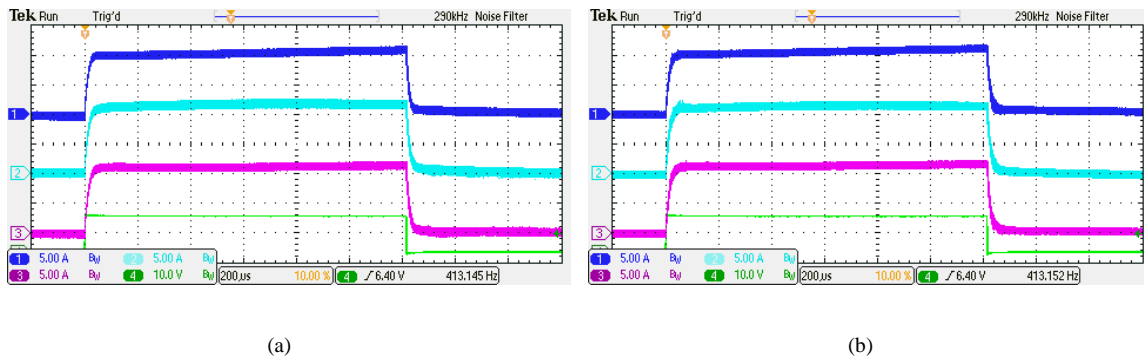


Fig. 4.15. Resultados experimentales de la respuesta de la corriente de cada fase frente a transitorio de carga. (a) Sin entrelazado. (b) Con entrelazado. Trazas 1, 2 y 3: Corriente fase 1, 2 y 3, 10 A/div. Traza 4: activación de carga 40 A, 10V/div; 200 μs/div.

La figura 4.16 muestra el efecto del entrelazado en la corriente resultante de las tres fases para un escalón de carga de 20 A, observándose una reducción notable de rizado cuando se activa el funcionamiento entrelazado.

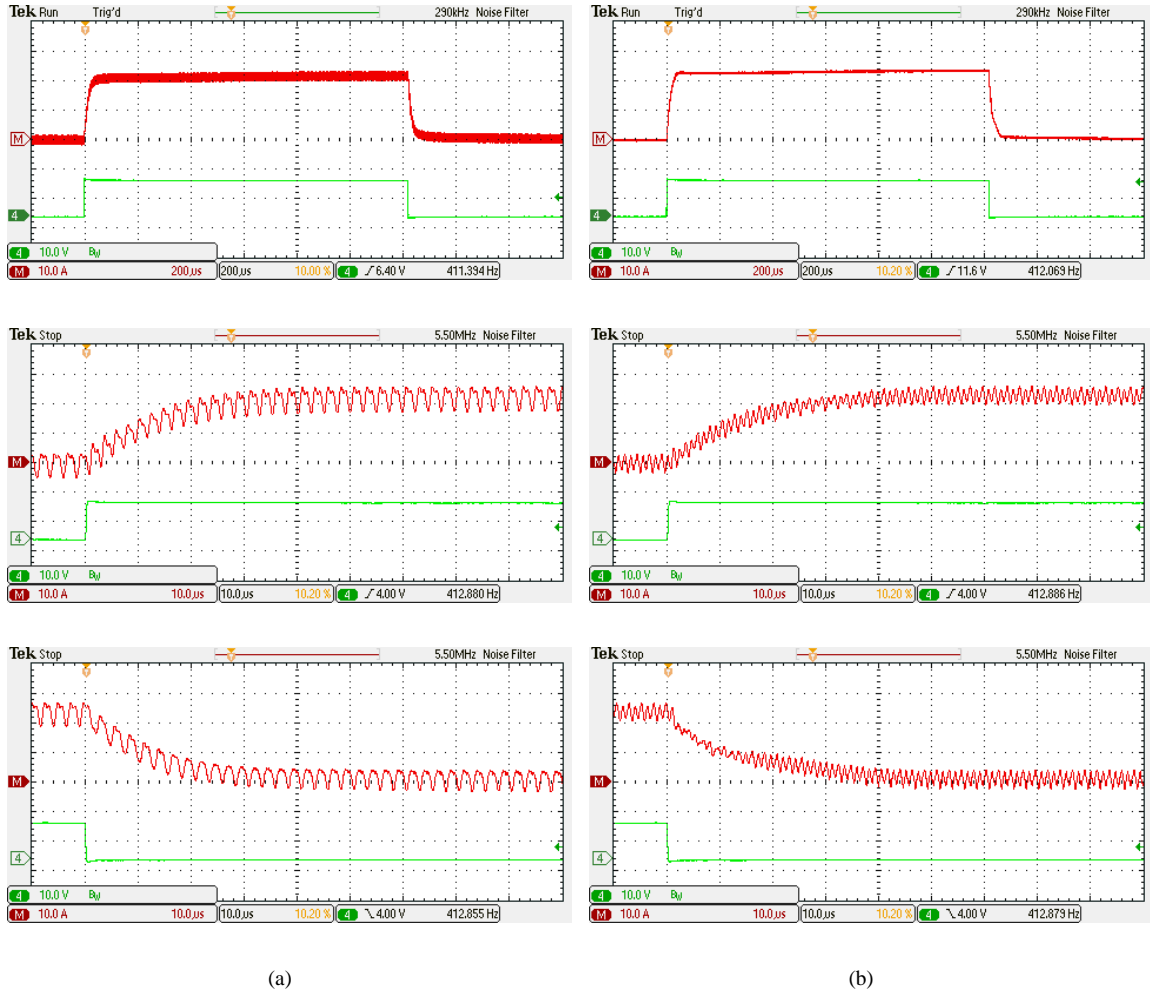


Fig. 4.16. Resultados experimentales de la respuesta de la corriente suma frente a transitorio de carga. (a) Sin entrelazado. (b) Con entrelazado. Traza M: Corriente suma fases 1, 2 y 3, 10 A/div. Traza 4: activación de carga 20 A, 10V/div; 200 μ s/div y 10 μ s/div.

La conclusión que se puede extraer es que el método aproximado de diseño de los parámetros de control se muestra como una solución válida y fiable. La condición que se debe cumplir es que las diferencias entre las fases y las tolerancias de los componentes utilizados sean bajas. Esta conclusión ya se puso de manifiesto en el apartado de simulación y ahora los resultados experimentales la confirman.

El control propuesto también se caracteriza por ser robusto frente a variaciones de los componentes de la red de filtrado que implementan los parámetros de control. Es necesario introducir desviaciones exageradas para poder apreciar una respuesta transitoria de la tensión de salida fuera de las especificaciones de la Tabla 4.1. La figura 4.17 muestra los efectos de

desintonizar la red de filtrado variando el componente C_f de la solución de la Tabla 4.4 ($C_f = 27$ nF) lo cual resulta en una desviación de los parámetros k_t y k_p . El resto de los parámetros de control se mantienen sin variar.

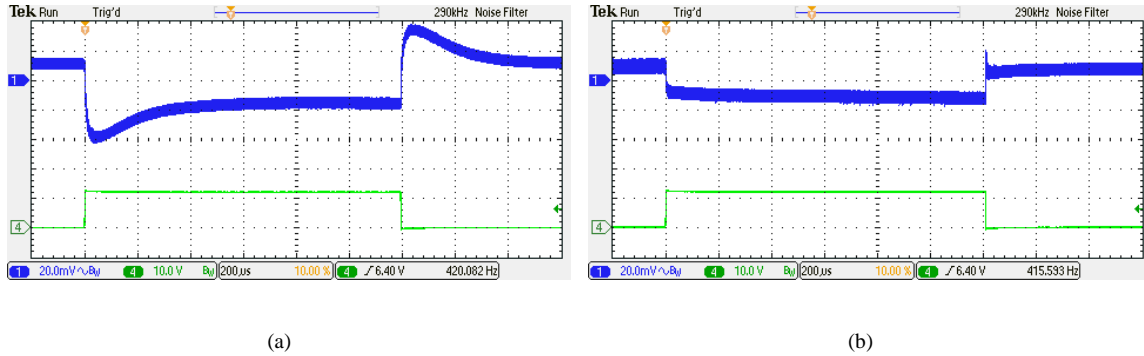


Fig. 4.17. Resultados experimentales de la respuesta de la tensión de salida frente a transitorio de carga. (a) $C_f = 10$ nF. (b) $C_f = 47$ nF. Traza 1 superior: Tensión de salida componente AC 20 mV/div. Traza 4 inferior: activación de carga 40 A, 10V/div; 200 μ s/div.

La figura 4.17 (a) muestra la respuesta transitoria para $C_f = 10$ nF. En este caso se observa un sobreimpulso de 50 mV el cual excede el rango especificado de $\Delta V_o = 40$ mV. Por otro lado, (b) muestra la respuesta con $C_f = 47$ nF observándose un tiempo de recuperación cercano a 1 ms.

4.5.3 Característica de caída

Para la obtención experimental de la característica de caída se ha sometido al convertidor a distintos regímenes permanentes de carga y se han realizado medidas de tensión y corriente de salida. Los resultados se pueden visualizar en la figura 4.18.

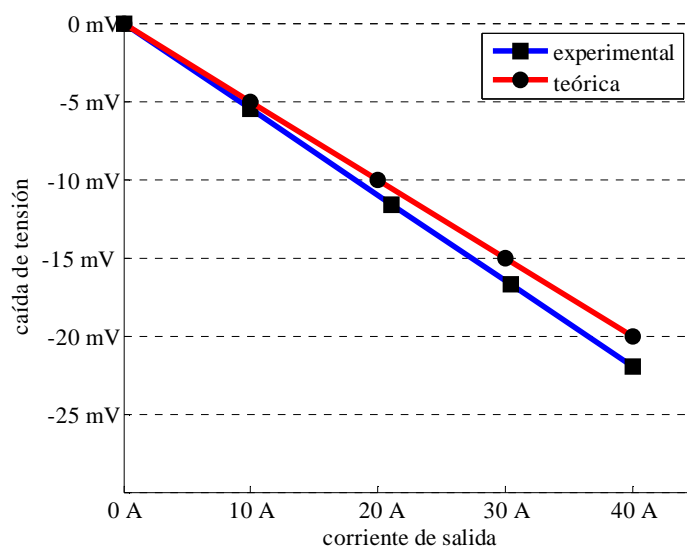


Fig. 4.18. Característica de caída teórica y experimental

La tensión en vacío es de 1.317 V mientras que a plena carga es de 1.295 V. Consecuentemente, la tensión de salida difiere de vacío a plena carga (40 A) en 22 mV, resultando en una impedancia de salida de 0.55 mΩ. La especificación inicial era de 0.5 mΩ, (véase Tabla 4.1). Tal desviación se puede atribuir a la tolerancia de la resistencia serie de los inductores y a la estimación de r_c . Aún con todo, se puede observar una buena correspondencia con la ecuación de la recta de carga teórica (4.37).

4.5.4 Balance de corriente

La validación del método pasivo de distribución de corriente entre las fases propuesto en este trabajo se lleva a cabo midiendo el valor medio de la corriente del inductor de cada fase y la corriente de salida para distintos regímenes de carga. Estas medidas se recogen en la Tabla 4.5. Las columnas % d_1 , % d_2 y % d_3 denotan el porcentaje de desviación de corriente con respecto a la distribución ideal de la columna $I_o/3$.

TABLA 4.5
MEDIDAS DE BALANCE DE CORRIENTE Y DESVIACIÓN

$I_1(A)$	$I_2(A)$	$I_3(A)$	$I_o(A)$	$I_o/3(A)$	% d_1	% d_2	% d_3
3.1	3.3	3.6	10.0	3.3	-7.0	-0.7	7.7
6.5	7.0	7.6	21.1	7.1	-7.6	-0.4	8.0
9.3	10.0	11.1	30.4	10.1	-8.1	-1.4	9.5
12.0	12.7	14.1	38.8	12.9	-7.2	-1.8	9.0

Los inductores utilizados tienen un valor de resistencia serie equivalente de 0.78 mΩ con un valor máximo de 0.98 mΩ. Ello equivale a considerar una tolerancia máxima del 25 %. Aún así la desviación entre las distintas fases se mantiene por debajo del 10 %, más que aceptable teniendo en cuenta la simplicidad del método de reparto de corriente que se ha empleado.

4.5.5 Frecuencia de conmutación y entrelazado

A continuación se presentan las medidas de frecuencia de conmutación de cada fase en vacío y a plena carga con la señal de sincronización de cada canal desactivada. De esta manera se comprueba la capacidad de programación de frecuencia del parámetro de control k_a . La tabla 4.6 muestra las medidas, las cuales confirman que la frecuencia de conmutación es próxima a los 400 kHz.

Tal y como se comentó en el apartado de respuesta transitoria, las diferencias entre las fases debidas a tolerancias de los componentes hacen trabajar a las fases a distinta frecuencia de conmutación.

TABLA 4.6
MEDIDAS DE FRECUENCIA DE CADA FASE

	$f_1(\text{kHz})$	$f_2(\text{kHz})$	$f_3(\text{kHz})$
Vacío	391	403	396
Plena carga	405	418	419

Esta característica provoca un cierto funcionamiento entrelazado tal y como se puede apreciar en la figura 4.19. Las señales mostradas corresponden a la activación de los transistores de potencia superiores de cada fase.

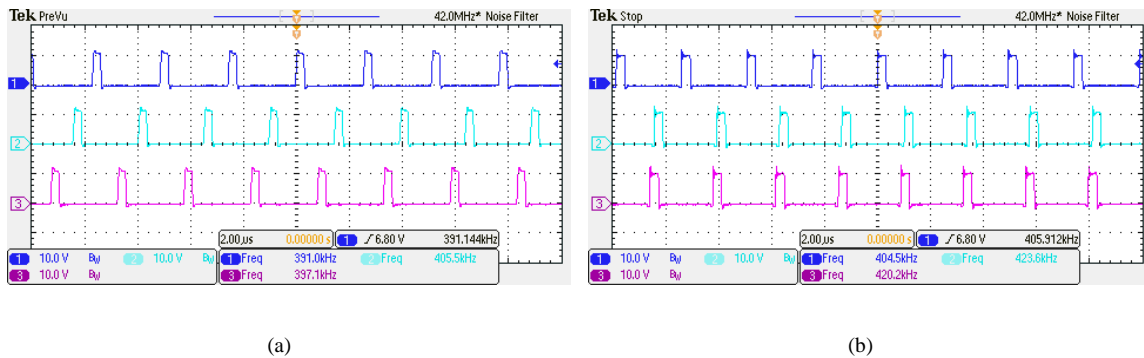


Fig. 4.19. Señales de activación del transistor de potencia superior de cada fase en estado estacionario de carga. (a) Vacío. (b) Plena carga 40 A. Traza 1: fase 1. Traza 2: fase 2. Traza 3: fase 3. 10V/div; 2 µs/div.

Para que las tres fases del convertidor trabajen a frecuencia fija y en modo entrelazado es necesario activar la señal de sincronización en cada fase. La implementación del sistema de sincronismo se realiza del mismo modo que en el convertidor monofásico, véase figura 3.28. Es decir, un circuito digital divisor de frecuencia, genera un pulso y éste se inyecta en la red de filtrado por medio del condensador a modo de filtro pasa altos. La única diferencia es que ahora el circuito digital se ha reprogramado para proporcionar tres señales de salida, una por fase, a la misma frecuencia y desfasadas 120° para conseguir el funcionamiento entrelazado.

Para el funcionamiento a frecuencia fija y entrelazado, la frecuencia de las señales de sincronización deben ser ligeramente superiores a la frecuencia mayor de las fases de la Tabla 4.6. Es por ello que se elige una frecuencia de sincronismo de 430 kHz.

La figura 4.20 muestra la señal de disparo del transistor superior de cada fase cuando la inyección de sincronismo a la frecuencia de 430 kHz está activada. Se observa el funcionamiento entrelazado de las fases en régimen permanente en vacío y a plena carga (40 A). La frecuencia de conmutación de las fases es de 430 kHz. Nótese como se alcanza perfectamente el modo entrelazado en estado estacionario. Tampoco se aprecia diferencia alguna entre las situaciones de vacío y plena carga.

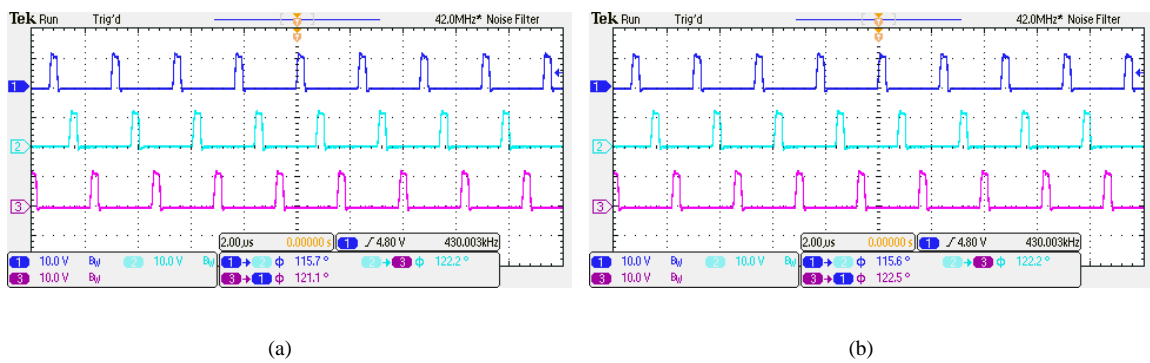


Fig. 4.20. Señales de activación del transistor de potencia superior de cada fase en estado estacionario de carga. (a) Vacío. (b) Plena carga 40 A. Traza 1: fase 1. Traza 2: fase 2. Traza 3: fase 3. 10V/div; 2 µs/div.

4.5.6 Funcionamiento entrelazado en régimen transitorio

Según lo visto en el apartado 3.6.4, durante el régimen transitorio, el control propuesto presenta la característica de que la sincronización de las fases se pierde momentáneamente para no interferir con la rápida respuesta transitoria propia del control de histéresis. Mediante simulación se mostró como una mayor amplitud del pulso de sincronismo repercutía en la rapidez de recuperación del régimen de sincronismo. Mediante el parámetro k_s es posible fijar la amplitud del pulso de sincronismo.

Los resultados experimentales que vienen a continuación, figura 4.21, permiten comprobar las simulaciones de esta importante característica del control propuesto para distintos valores del parámetro de control k_s , (a) $k_s = 220$ ns y (b) $k_s = 470$ ns. Para cada caso se muestra el régimen transitorio de la tensión de salida, figura superior; las señales de control de cada fase en el transitorio de conexión de carga, figuras centrales, y de desconexión de carga, figuras inferiores.

Con respecto al transitorio de conexión, se aprecia como en ambos casos se pierde el sincronismo entre las fases. Para $k_s = 220$ ns no se observa cómo se llega a recuperar el sincronismo mientras que para $k_s = 470$ ns si lo hace al cabo de unos 10 µs. Por su parte, la tensión de salida permanece insensible con la variación del parámetro k_s , no se observan diferencias notables durante el transitorio de conexión.

Por lo que respecta al transitorio de plena carga a vacío, para $k_s = 220$ ns se aprecia cómo las fases se desactivan después de la desconexión de la carga, lo cual permite a la tensión de salida no presentar sobreimpulso alguno y el sincronismo se recupera en unos 5 µs. En cambio para $k_s = 470$ ns, las fases no llegan apenas a perder el sincronismo provocando un ligero sobreimpulso en la tensión de salida.

En vista de los resultados, el valor adecuado para k_s es 220 ns ya que permite una respuesta transitoria de la tensión de salida óptima (desactivando el entrelazado durante los transitorios de carga).

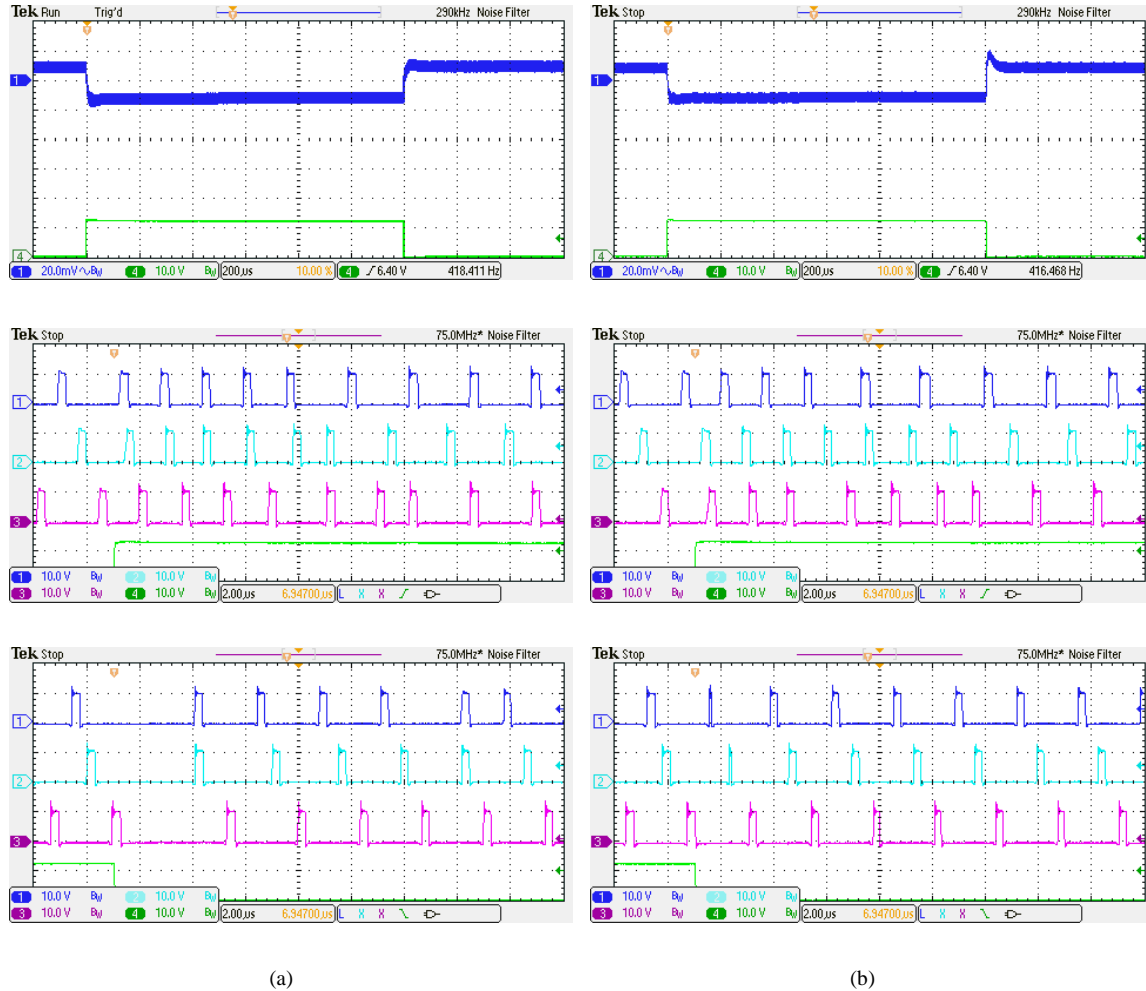


Fig. 4.21. Régimen transitorio de la tensión de salida frente a salto de carga y señales de control de cada fase en régimen transitorio de carga. (a) $k_s = 220$ ns. (b) $k_s = 470$ ns.

4.5.7 Caso inductores con desviaciones

Los experimentos llevados a cabo hasta ahora parten de la premisa de que las tolerancias de los inductores de fase sean pequeñas ($\pm 15\%$). En este apartado se va a tratar el caso de que las fases presenten desviaciones importantes en el valor del inductor.

En la sección de simulación se compararon dos métodos de diseño de los parámetros de control basados en el modelo de convertidor que conducen a la consecución de impedancia de salida resistiva y constante. El método aproximado se presenta como una opción práctica de diseño. Ahora bien, en caso de que los inductores de cada fase tengan valores dispares debido a la tolerancia, la validez del método aproximado para obtener respuesta óptima, tanto en la tensión

de salida como en el reparto de corriente durante el transitorio, queda en entredicho. El caso que se estudió presentaba una desviación de un 50 % en el valor de los inductores, véase apartado 4.4.2. La tensión de salida presentaba un comportamiento sub-óptimo mientras que el reparto de corriente entre las fases durante el transitorio mostraba una fuerte dependencia con el valor de la inductancia de cada fase.

Como alternativa al método aproximado se plantea el método exacto que tiene en cuenta el modelo de convertidor multifase, o sea, determina los parámetros de control en función de la inductancia de cada fase. En el apartado de simulación se constató como independientemente de las desviaciones entre los inductores de fase, era capaz de conseguir de forma exacta impedancia de salida resistiva y constante, respuesta transitoria y reparto transitorio de corriente óptimos.

En este apartado se va a proceder a comprobar experimentalmente los resultados de simulación. Para ellos se sustituyen los inductores L_2 y L_3 existentes en el prototipo experimental, ver Tabla 4.1, por los siguientes: $L_1 = 450 \text{ nH} \pm 15 \%$ con $r_1 = 0.78 \text{ m}\Omega$, $L_2 = L_3 = 1 \text{ }\mu\text{H} \pm 15 \%$ con $r_2 = r_3 = 1 \text{ m}\Omega$.

La solución a los parámetros de control de la Tabla 4.7 se obtiene utilizando las ecuaciones de diseño (4.22) a (4.24) para el método aproximado, y (4.27), (4.28) y (4.31) para el exacto. Con el conjunto de ecuaciones (4.36) se determina el valor de los componentes.

TABLA 4.7

SOLUCIÓN CON MODELO APROXIMADO		SOLUCIÓN CON MODELO EXACTO		
$k_o = 34.6 \text{ }\mu\text{s}$	$k_t = 4.9 \text{ }\mu\text{s}$	$k_o = 34.6 \text{ }\mu\text{s}$	$k_t = 4.9 \text{ }\mu\text{s}$	
$k_p = 422.2 \text{ }\mu\text{s}$		$k_{p1} = 297.8 \text{ }\mu\text{s}$	$k_{p2} = 543.4 \text{ }\mu\text{s}$	$k_{p3} = 543.4 \text{ }\mu\text{s}$
COMPONENTES IMPLEMENTADOS				
$R_d = 10 \text{ k}\Omega$	$C_o = 3.9 \text{ nF}$	$R_d = 10 \text{ k}\Omega$	$C_o = 3.9 \text{ nF}$	
$C_t = 39 \text{ nF}$		$C_{t1} = 27 \text{ nF}$	$C_{t2} = 56 \text{ nF}$	$C_{t3} = 56 \text{ nF}$
$R_t = 120 \text{ }\Omega$		$R_{t1} = 180 \text{ }\Omega$	$R_{t2} = 90 \text{ }\Omega$	$R_{t3} = 90 \text{ }\Omega$

Nótese que tanto en el método aproximado como en el exacto los parámetros k_o y k_t son iguales a las tres fases; sin embargo, en el método exacto, el parámetro k_p se adapta al valor del inductor de fase para obtener impedancia resistiva y constante de forma exacta, tal y como se mostró en la figura 4.9.

Desde el punto de vista de implementación, con el método aproximado los respectivos componentes de la red de filtrado serán idénticos en todas las fases, mientras que con el método exacto, a la hora de implementar el parámetro de control $k_p = R_d \cdot C_t$, se deberá determinar C_t para cada fase. Además, como C_t afecta al parámetro $k_t = R_t \cdot C_t$, común a todas las fases, entonces también se deberá adaptar el valor de R_t para cada fase.

A continuación en la figura 4.22 se muestra la respuesta transitoria de la tensión de salida frente a un transitorio de vacío a plena carga y viceversa para el método aproximado (a) y exacto (b). En ambos casos se obtiene una respuesta transitoria de la tensión de salida que cumple con las especificaciones de la Tabla 4.1. Se puede observar como el método aproximado muestra un comportamiento robusto, a pesar de las diferencias entre los inductores de fase, logrando una respuesta subóptima con un tiempo de estabilización de 800 μ s, parecida a la obtenida en el apartado de simulación. El método exacto, en cambio, obtiene una respuesta óptima similar a la obtenida con inductores de fase con pequeñas desviaciones como la de la figura 4.14.

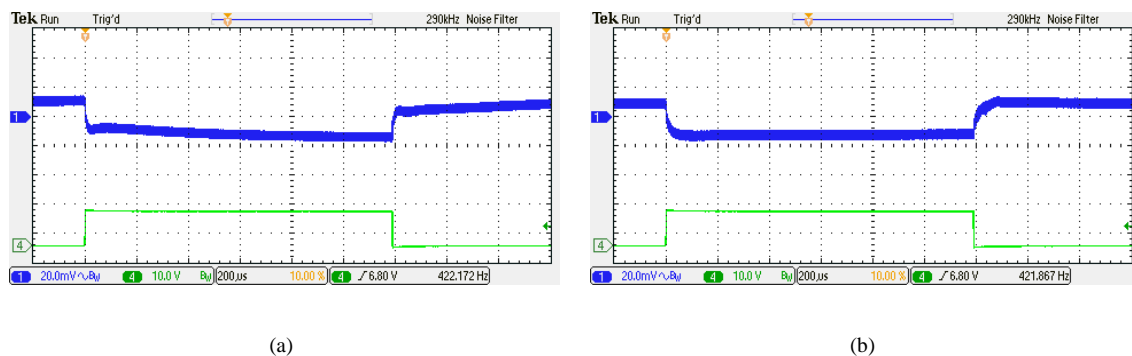


Fig. 4.22. Resultados experimentales de la respuesta de la tensión de salida frente a transitorio de carga. (a) Solución aproximada. (b) Solución exacta. Traza 1 superior: Tensión de salida componente AC 20 mV/div. Traza 4 inferior: activación de carga 40 A, 10V/div; 200 μ s/div.

La figura 4.23 muestra la respuesta transitoria de la corriente de cada inductor para el método aproximado (a) y exacto (b). Se pone de manifiesto una respuesta similar a la obtenida en la sección de resultados de simulación, véase figuras 4.10 y 4.11. Con la solución aproximada la fase con menor inductancia exhibe una respuesta con sobreimpulso mientras que las de mayor inductancia tienen una respuesta sobreamortiguada. Con el método exacto se consigue una respuesta libre de sobreimpulso y sobreamortiguamiento en las tres fases. De esta manera el balance de corriente durante el transitorio es óptimo.

El balance de corriente en régimen permanente queda impuesto por el valor de resistencia de cada inductor. En este caso la fase 1 presenta una menor resistencia nominal que las fases 2 y 3. Consecuentemente, la fase 1 aportará más corriente tal y como se mostró en el apartado 4.3.3.

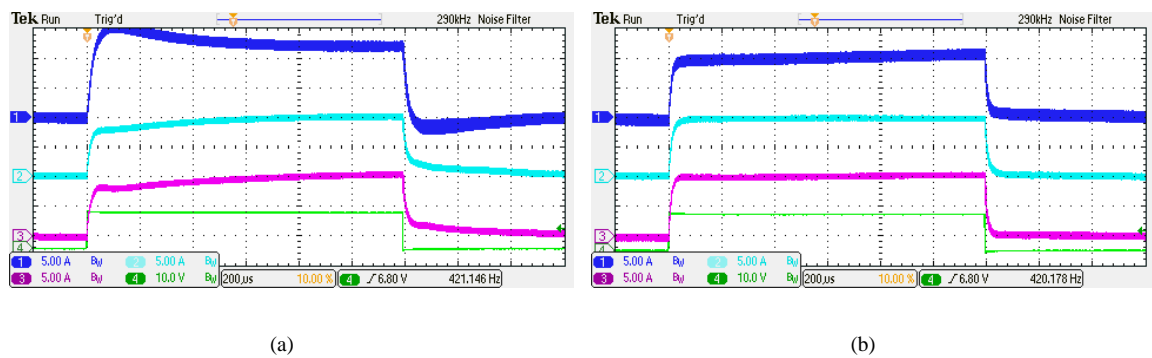


Fig. 4.23. Resultados experimentales de la respuesta de la corriente de cada fase frente a transitorio de carga. (a) Solución aproximada. (b) Solución exacta. Trazas 1, 2 y 3: Corriente fase 1, 2 y 3, 10 A/div. Traza 4: activación de carga 40 A, 10V/div; 200 μs/div.

Como conclusión a este subapartado, se puede afirmar que el controlador de histéresis multifase propuesto en este trabajo también es capaz de funcionar bajo desviaciones importantes en el valor del inductor. El caso que se ha tratado presentaba una desviación del 100 %. Aún con el método aproximado de diseño de los parámetros de control se obtiene una respuesta transitoria dentro de las especificaciones iniciales. El balance de corriente durante los transitorios se ve ligeramente afectado por las diferencias en el valor del inductor.

Para una mayor precisión en la respuesta transitoria de la tensión de salida y balance de corriente, el método exacto se muestra como una solución adecuada, sin embargo, exige que las redes de filtrado de cada fase se adapten a las diferencias de los inductores de fase, lo cual penaliza la estandarización y modularidad del sistema.

4.6 Conclusiones

En este capítulo se ha presentado un esquema de control de histéresis para un convertidor *buck* síncrono multifase. Se han tomado la arquitectura de control y la metodología de análisis y diseño del controlador monofásico y se han logrado extender para el caso de la topología multifase.

Se ha llevado a cabo un análisis basado en la impedancia de salida de lazo cerrado para poder diseñar las funciones de regulación de tensión con posicionamiento adaptativo y reparto de corriente. El diseño de los parámetros de control se ha realizado bajo la imposición de conseguir impedancia de salida resistiva y constante. Esta condición permite una respuesta transitoria óptima de la tensión de salida frente a transitorios de la corriente de carga.

Para el modelado de la etapa de potencia y el diseño del controlador se ha tenido en cuenta, desde un principio, las posibles diferencias en la rama del inductor de fase, tal situación se puede encontrar en sistemas de alimentación distribuidos. Ello ha permitido realizar el diseño de

los parámetros de control bajo la imposición de la condición de impedancia resistiva y constante aunque existan diferencias entre los inductores de fase.

El diseño de la red de filtrado de cada fase ha sido el principal problema a resolver. Éste basa la consecución de la condición de impedancia resistiva y constante mediante la cancelación de ceros y polos de la expresión de la impedancia en lazo cerrado. Para ello es necesario que el grado de la expresión de la impedancia de salida coincida con el número total de parámetros. Asumiendo que las fases son casi idénticas, presentando desviaciones propias de las tolerancias de los componentes, el problema se logra simplificar ostensiblemente. El modelo del convertidor queda reducido a su homólogo monofásico, por consiguiente se cumple la condición de grado, y se llega a unas expresiones de diseño equivalentes a las del convertidor monofásico.

Sin embargo, si se tiene en cuenta en el modelo las diferencias entre las fases, aparece el problema de que no es compatible el grado. La estrategia adoptada ha sido encontrar el número de parámetros de control que satisfaga la condición de grado mediante prueba y error. En este punto se partía del conocimiento adquirido en el diseño del controlador monofásico, en especial el apartado dedicado a estudiar el comportamiento de la impedancia de salida cuando se introducen variaciones de los componentes de potencia y de los parámetros de control. Se conocía la correspondencia entre variación de componente de potencia y variación de parámetro de control, lo cual permitió realizar una serie de hipótesis en el momento de elegir que parámetro debía ser común a todas las redes de filtrado y cual no. El resultado obtenido confirmó las predicciones arrojando la conclusión de que el parámetro de la red k_p debía ser específico para cada fase mientras que los otros dos k_o y k_i debían ser iguales para todas las fases.

La característica de caída, propia de la estrategia de regulación de tensión, se ha aprovechado como mecanismo pasivo de reparto de corriente entre las fases. En este caso, la corriente de una fase viene determinada por la relación entre la resistencia equivalente de las distintas fases y la resistencia parásita de la fase. Se ha analizado como afecta el valor de la tolerancia de la resistencia parásita en el balance de corriente. Considerando el peor de los casos para un convertidor de 3 fases y una tolerancia del 10 % se llega a una desviación máxima en el reparto menor del 15 % con respecto a una distribución ideal. Los valores experimentales, sin embargo, se situaron por debajo del 10 % y con inductores con una tolerancia en su resistencia del 25 %. Resultados más que aceptables, si se tiene en cuenta que la solución adoptada no necesita de circuitería de sensado y procesado de la corriente de cada fase y de lazo adicional de control de corriente. Ello permite una implementación simple y de bajo coste para la regulación de la tensión y el balance de corriente.

Con respecto a la inyección de una señal externa de sincronización, se muestra como una alternativa simple para poder implementar el funcionamiento a frecuencia fija y el entrelazado de las fases, sin penalizar la capacidad de respuesta propia del control de histéresis.

5. CONCLUSIONES FINALES Y APORTACIONES

5 Conclusiones finales y aportaciones

A continuación se revisan los objetivos planteados al principio de este trabajo de investigación, se describen las conclusiones finales, se enumeran las diferentes aportaciones y se concluye con la descripción de las futuras líneas de investigación. Se incluye una lista de publicaciones que se derivan de esta tesis.

5.1 Revisión de objetivos y conclusiones finales

- Modelado: para la implementación del controlador objeto de este trabajo, es necesario obtener en primer lugar el modelo matemático del circuito eléctrico del convertidor, tanto en lazo abierto como en lazo cerrado. En el circuito de la etapa de potencia se han tenido en cuenta los componentes parásitos que influyen en el funcionamiento del sistema. Al respecto, se partía del conocimiento y la experiencia adquirida con el convertidor monofásico.
- Estructuras de control: la estrategia de control adoptada para la regulación de la tensión de salida con posicionamiento adaptativo y la ecualización de corriente no precisa de sensado de corriente. Este método de control está basado en una variante del controlador de histéresis comercial de una sola fase. Es por ello que se considera el controlador implementado como de bajo coste. Únicamente es necesario sensar la diferencia de tensión entre el inductor de cada fase y la tensión de salida. Mediante una red de filtrado se obtiene la regulación de la tensión de salida con posicionamiento adaptativo. En el diseño de la red de filtrado precisamente se encuentra la variante. Éste permite la cancelación de ceros y polos de la impedancia de salida, obteniendo así respuesta transitoria óptima. Con respecto a la ecualización de corriente entre las fases, la regulación de la tensión de salida con posicionamiento adaptativo lleva implícito una característica de caída que se utiliza para el reparto de la corriente de carga entre las fases. Por último, para el funcionamiento entrelazado de las fases se inyecta una señal externa de sincronismo desplazada en fase.
- Impedancia de salida de lazo cerrado: la respuesta óptima de la tensión de salida tiene como fundamento la imposición de la condición de impedancia de salida resistiva y

constante. Se ha logrado obtener una expresión compacta de la impedancia de salida de lazo cerrado para un convertidor de N fases.

- Diseño de redes de filtrado: el análisis de la expresión de la impedancia de salida de lazo cerrado permite el diseño de los parámetros de la red de filtrado mediante cancelación de ceros y polos de la impedancia de salida y de esta manera obtener una respuesta óptima de la tensión de salida frente a transitorios de carga. Al respecto se han utilizado herramientas de cálculo simbólico para la resolución de las ecuaciones que dan como resultado las ecuaciones de diseño de los parámetros de control.
- Modelos de simulación: se han construido los modelos de simulación correspondientes a los modelos matemáticos trabajados en los distintos apartados de modelado. Los modelos de simulación han permitido verificar el funcionamiento teórico de las estructuras de control.
- Prototipos de laboratorio: se han diseñado e implementado los prototipos de laboratorio necesarios para la verificación experimental del funcionamiento del sistema. Para ello se ha partido principalmente del módulo de evaluación de un controlador de histéresis de una sola fase.

Tanto los resultados de simulación como las pruebas de laboratorio demuestran que el diseño propuesto obtiene características similares a los controladores PWM existentes en el mercado para la alimentación de cargas que presentan rápidos transitorios y elevada corriente a baja tensión. Todo ello se ha conseguido con una implementación más simple y de bajo coste.

5.2 Aportaciones de la tesis doctoral

Controlador monofásico:

1. Se ha revisado el controlador monofásico propuesto en [58] y se ha estudiado la influencia de las variaciones del inductor y el condensador de salida y de los parámetros de control en la impedancia de salida. Ello ha permitido establecer una correspondencia entre cada uno de los parámetros de control y los componentes del filtro de potencia.
2. El sistema de sincronismo implementado permite el funcionamiento a frecuencia fija sin perder la capacidad de respuesta propia del controlador de histéresis frente a variaciones en la corriente de salida.

Controlador multifase:

1. Se ha presentado un esquema de controlador de histéresis multifase para la alimentación de cargas dinámicas de baja tensión y elevada corriente. El esquema implementa las principales funciones de control necesarias para este tipo de cargas: regulación de tensión con posicionamiento adaptativo, balance de corriente y funcionamiento entrelazado.
2. Se ha descrito una metodología para el diseño del controlador multifase basada en el análisis de la impedancia de salida de lazo cerrado. Este diseño conduce a una respuesta óptima de la tensión de salida frente a variaciones bruscas de la corriente de carga.
3. Se han presentado dos alternativas de diseño. La primera determina los parámetros de control por medio del modelo aproximado equivalente de convertidor de una sola fase. Esta aproximación resulta válida siempre y cuando las desviaciones entre las fases del convertidor estén dentro de los límites habituales ($\pm 15\%$). La segunda hace lo propio considerando el modelo exacto del convertidor, obteniendo impedancia de salida resistiva independientemente de las desviaciones que existan entre las fases.

5.3 Artículos derivados de la tesis doctoral

Borrell, A.; Castilla, M.; Miret, J.; Matas, J.; de Vicuna, L.G.; "Simple Low-Cost Hysteretic Controller for Multiphase Synchronous Buck Converters," *Industrial Electronics, IEEE Transactions on*, vol.58, no.6, pp.2355-2365, June 2011 doi:10.1109/TIE.2010.2060462 URL: <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=5518397&isnumber=5765746>

5.4 Futuras líneas de investigación

En este trabajo se ha presentado un controlador de histéresis para convertidor *buck* destinado a la alimentación de cargas de baja tensión y elevada corriente, siendo la tecnología empleada por el controlador analógica. En la actualidad la tecnología del control digital se está abriendo camino en el campo de la electrónica de potencia en forma de controladores PWM digitales.

Este tipo de controladores destacan por: presentar baja sensibilidad al proceso, ser más flexibles y poder incorporar funciones de control avanzadas. Otro aspecto importante de esta tecnología es la reducción de componentes externos. Las funciones de control se programan en lugar de tener que sintonizarlas exteriormente mediante componentes pasivos. A pesar de todas estas ventajas, los controladores digitales se caracterizan por una capacidad de respuesta lenta y actualmente por un elevado coste de implementación, todo lo contrario de su homólogo analógico. La arquitectura típica del controlador digital incluye: un conversor analógico/digital (A/D) para el sensado de la tensión de salida, un bloque compensador para el procesado de la

señal de error y un modulador de anchos de pulso digital (DPWM) para el control de los transistores de potencia.

Uno de los principales retos del control digital está en dar solución a los efectos de cuantificación propios del DPWM y del conversor A/D. El ciclo de trabajo del modulador sólo puede adoptar valores discretos, consecuentemente la resolución del ciclo de trabajo discreto se debe ajustar a la resolución de la tensión de salida. Otro requisito del control digital es que la resolución del DPWM debe ser mayor que la resolución del conversor A/D. De esta manera se podrá ajustar la tensión de salida al valor de referencia sin oscilaciones.

La implementación digital del modulador PWM se basa en el empleo de un contador el cual incrementa la señal en forma de rampa a cada transición del reloj del sistema. La resolución del modulador queda determinada por el cociente entre la frecuencia de conmutación y la del sistema. Teniendo en cuenta que la frecuencia de conmutación típica de los convertidores destinados aplicaciones de baja tensión y elevada corriente está en el rango de los 300 kHz, para una resolución en la tensión de salida de 3 mV y una tensión de entrada de 12 V, la frecuencia del reloj del sistema debería ser de 1.2 GHz. Esta frecuencia resulta inapropiada debido al alto consumo que supone.

Como alternativa al controlador PWM digital y en consonancia con la propuesta presentada en esta tesis, se propone como línea de investigación estudiar la posibilidad de implementar una versión digital del controlador de histéresis. Al respecto existen varios trabajos de investigación en esta línea de los cuales conviene destacar [72] y [73]. El control de histéresis no necesita de una referencia interna de tiempo con lo cual evitaría en principio el problema de la resolución del modulador. De esta forma se obtendría un controlador que contaría con las ventajas propias de una implementación digital y la alta capacidad de respuesta del control de histéresis.

6. REFERENCIAS

6 Referencias

- [1] VRM 8.3 DC–DC Converter Design Guidelines March, 1999.
- [2] Voltage Regulator-Down (VRD) 11.1 Processor Power Delivery Design Guidelines – For Desktop LGA775 Socket September 2009.
- [3] “Intel® Core™2 Extreme Processor QX9650Δ and Intel® Core™2 Quad Processor Q9000Δ Series”, Intel, Datasheet, March 2008.
- [4] M. Zhang, M. Jovanovic and F. C. Lee, “Design considerations for low-voltage on-board DC/DC modules for next generations of data processing circuits,” in IEEE Trans. Power Electron., Vol. 11, March 1996, pp. 328- 337.
- [5] S. Davis, “Choosing the right voltage regulator”, EDN, 13 de Septiembre 2004.
- [6] X. Zhou, X. Zhang, J. Liu, P. Wong, J. Chen, H. Wu, L. Amoroso, F. C. Lee and D. Y. Chen, "Investigation of candidate VRM topology for future microprocessors", en Proc. IEEE APEC, 1998, pp. 145-150.
- [7] S. Davis, “High Efficiency Challenges Power-Management Design”. EDN, 13 de Marzo 2008.
- [8] IR3502 datasheet, “XPHASE3™ CONTROL IC,” en <http://www.irf.com>
- [9] ISL 6312 datasheet, “Four-Phase Buck PWM Controller with Integrated MOSFET Drivers for Intel VR10, VR11, and AMD Applications”, en <http://www.intersil.com/data/fn/fn9289.pdf>
- [10] LTC3738 datasheet, “3-Phase Buck Controller for Intel VRM9 / VRM10 with Active Voltage Positioning”, en <http://www.linear.com/pc/downloadDocument.do?navId=H0,C1,C1003,C1042,C1143,P2509,D2710>
- [11] MAX8525 datasheet, “2- to 8-Phase VRM 10/9.1 PWM Controllers with Precise Current Sharing and Fast Voltage Positioning”, en <http://datasheets.maxim-ic.com/en/ds/MAX8524-MAX8525.pdf>
- [12] NCP5392 datasheet, “2/3/4-Phase Controller for CPU Applications“, en http://www.onsemi.com/pub_link/Collateral/NCP5392-D.PDF
- [13] TPS40090 datasheet, “4-Channel MultiPhase DC/DC Controller with Tri-State”, en <http://focus.ti.com/lit/ds/symlink/tps40090.pdf>

- [14] Wenkang Huang; Schuellein, G.; Clavette, D., "A scalable multiphase buck converter with average current share bus," Applied Power Electronics Conference and Exposition, 2003. APEC '03. Eighteenth Annual IEEE , vol.1, no., pp. 438-443 vol.1, 9-13 Feb. 2003.
- [15] Y. Qiu, H. Liu, X. Chen, "Digital Average Current-Mode Control of PWM DC–DC Converters Without Current Sensors," IEEE Trans. Ind. Electron., vol.57, no.5, pp.1670-1677, May 2010.
- [16] R. Foley, R. Kavanagh, M. Egan , "Sensorless Current Estimation and Sharing in Multi-Phase Buck Converters," IEEE Trans. Power Electron., to be published, 2010.
- [17] Costabeber, P. Mattavelli, S. Saggini, "Digital Time-Optimal Phase Shedding in Multi-Phase Buck Converters," IEEE Trans. Power Electron., to be published, 2010.
- [18] R. Redl, B. P. Erisman, and Z. Zansky, "Optimizing the load transient response of the Buck Converter," in Proc. 13th Annu. APEC'98, vol. 1, 1998, pp. 170-176.
- [19] A. Waizman and C.Y. Chung, "Resonant free power network design using extended adaptive voltage positioning (EAVP) methodology," IEEE Trans. Advanced Packaging, vol. 24, pp. 236–244, Aug. 2001.
- [20] Yang Qiu; Ming Xu; Kaiwei Yao; Sun, J.; Lee, F.C.; , "Multifrequency Small-Signal Model for Buck and Multiphase Buck Converters," Power Electronics, IEEE Transactions on , vol.21, no.5, pp.1185-1192, Sept. 2006 doi: 10.1109/TPEL.2006.880354.
- [21] K. Yao, M. Xu, Y. Meng, F. C. Lee "Design considerations for VRM transient response based on the output impedance," IEEE Trans. Power Electron. vol. 18, pp. 1270, Nov. 2003.
- [22] K. Yao, Y. Ren, J. Sun, K. Lee, M. Xu, J. Zhou, and F. C. Lee, "Adaptive voltage position design for voltage regulators," in Proc. IEEE APEC, 2004, pp. 272–278.
- [23] K. Yao, K. Lee, M. Xu, and F. C. Lee, "Optimal design of the active droop control method for the transient response," in Proc. IEEE APEC, 2003, pp. 718–723.
- [24] M. Lee, D. Chen, K.Huang, L. Chih-Wen, Tai Ben, "Modeling and design for a novel adaptive voltage positioning (AVP) Scheme for multiphase VRMs," IEEE Trans. Power Electron., vol. 23, no. 4, pp. 1733–1742, Jul. 2008.
- [25] Jian Rong Huang; Wang, S.C.-H.; Chia Jung Lee; Tseng, E.K.-L.; Dan Chen; , "Native AVP Control Method for Constant Output Impedance of DC Power Converters," Power Electronics Specialists Conference, 2007. PESC 2007. IEEE , vol., no., pp.2023-2028, 17-21 June 2007 doi:10.1109/PESC.2007.4342316.
- [26] S.K. Mishra, "Design-oriented analysis of modern active droop-controlled power supplies," IEEE Trans. Ind. Electron., vol.56, no.9, pp.3704-3708, Sept. 2009.
- [27] Ahmadi, R.; Paschedag, D.; Ferdowsi, M.; , "Closed-loop input and output impedances of DC-DC switching converters operating in voltage and current mode control," IECON

-
- 2010 - 36th Annual Conference on IEEE Industrial Electronics Society , vol., no., pp.2311-2316, 7-10 Nov. 2010 doi: 10.1109/IECON.2010.5675123.
- [28] de Jodar, E.; Villarejo, J.A.; Soto, F.; Muro, J.S.; , "Effect of the Output Impedance in Multiphase Active Clamp Buck Converters," *Industrial Electronics, IEEE Transactions on* , vol.55, no.9, pp.3231-3238, Sept. 2008 doi: 10.1109/TIE.2008.928124.
- [29] Weihong Qiu; Zhixiang Liang; , "Practical design considerations of current sharing control for parallel VRM applications," *Applied Power Electronics Conference and Exposition, 2005. APEC 2005. Twentieth Annual IEEE* , vol.1, no., pp.281-286 Vol. 1, 6-10 March 2005 doi: 10.1109/APEC.2005.1452936.
- [30] H. Mao, L. Yao, C. Wang and I. Batarseh "Analysis of inductor current sharing in nonisolated and isolated multiphase DC–DC converters," *IEEE Trans. Ind. Electron.*, vol. 54, pp. 3379, Dec. 2007.
- [31] S. Luo, Z. Ye, R. L. Lin, and F. C. Lee, "A classification and evaluation of paralleling methods for power supply modules," in *Proc. IEEE PESC*, 1999, pp. 901–908.
- [32] Mike Walters; "Current Sharing Technique for VRMs", Intersil Corporation Technical Brief, TB- 385.1, available at <http://www.intersil.com>
- [33] Mark Jordan, "UC3907 Load Share IC Simplifies Parallel Power Supply Design," *UNITRODE APPLICATION NOTE U-129*, 1991-1996.
- [34] Yuri Panov and Milan M. Jovanovic', "Stability and Dynamic Performance of Current-Sharing Control for Paralleled Voltage Regulator Modules", *IEEE Trans. On Power Electronics*, March 2002, Page(s): 172-179.
- [35] Robert Taylor and Wei Liu; "Phase Shifting Optimizes Multistage Buck Converters", *Power Electronics Technology*, January 2007, http://powerelectronics.com/power_management/pwm_controllers/phase-shifting-multistage-buck-converters-0107
- [36] R. Miftakhutdinov, "Optimal design of interleaved synchronous buck converter at high slew-rate load current transients," in *Proc. IEEE PESC*, 2001, pp. 1714-1718.
- [37] Kent Yancik, "CPU power control: Compare single-edge, dual-edge controller architectures, ON Semiconductor Analog Power Group, *EETimes Design*, November 2006, <http://www.eetimes.com/design/power-management-design/4012042/CPU-power-control-Compare-single-edge-dual-edge-controller-architectures>.
- [38] Weihong Qiu; Miller, G.; Zhixiang Liang; , "Dual-Edge Pulse Width Modulation Scheme for Fast Transient Response of Multiple-Phase Voltage Regulators," *Power Electronics Specialists Conference, 2007. PESC 2007. IEEE* , vol., no., pp.1563-1569, 17-21 June 2007 doi: 10.1109/PESC.2007.4342228.

- [39] Weihong Qiu; Miller, G.; "Dual-Edge PWM Improves Multiphase Regulators", Power Electronics Technology, July 2007
http://powerelectronics.com/power_management/pwm_controllers/dual-edge-pwm-multiphase-regulators-0707
- [40] S.K. Mishra, K.D.T. Ngo, "Dynamic characterization of the synthetic ripple modulator in a tightly regulated distributed power application," IEEE Trans. Ind. Electron., vol.56, no.4, pp.1164-1173, April 2009.
- [41] Pang-Jung Liu; Huang-Jen Chiu; Yu-Kang Lo; Chen, Y.-J.E., "A fast transient recovery module for DC–DC converters," IEEE Trans. Ind. Electron., vol.56, no.7, pp.2522-2529, July 2009.
- [42] R. Miftakhutdinov "An analytical comparison of alternative control techniques for powering next-generation microprocessors," Proc. Power Supply Des. Semin., Texas Instrum., 2001 [Online] Available: <http://focus.ti.com/lit/ml/slup168/slup168.pdf>.
- [43] D. Xiong, Z. Luowei, T. Heng-Ming, "Double-frequency buck converter," IEEE Trans. Ind. Electron., vol.56, no.5, pp.1690-1698, May 2009.
- [44] A. De Nardo, N. Femia, G. Petrone, G. Spagnuolo, "Optimal Buck Converter Output Filter Design for Point-of-Load Applications," IEEE Trans. on Ind. Electron., vol. 57, no. 4, pp. 1330 - 1341, April 2010.
- [45] S.-C. Tan, Y. M. Lai and C. K. Tse "General design issues of sliding-mode controllers in DC–DC converters," IEEE Trans. Ind. Electron., vol. 55, pp. 1160, Mar. 2008.
- [46] H. H. Choi "Sliding-mode output feedback control design," IEEE Trans. Ind. Electron., vol. 55, pp. 4047, Nov. 2008.
- [47] Min Lin; Nabeshima, T.; Sato, T.; Nishijima, K.; , "Design of a New Hysteretic PWM Controller for All Types of DC-to-DC Converters," Power Electronics and Drive Systems, 2007. PEDS '07. 7th International Conference on , vol., no., pp.1234-1239, 27-30 Nov. 2007 doi: 10.1109/PEDS.2007.4487864T.
- [48] M. Castilla, L. Garcia de Vicuna, J.M. Guerrero, J. Matas, J. Miret, "Design of voltage-mode hysteretic controllers for synchronous buck converters supplying microprocessor loads," IEE Proc. Electric Power Appl., vol.152, no.5, pp. 1171-1178, 9 Sept. 2005.
- [49] M. Castilla, L. Garcia de Vicuna, J.M. Guerrero, J. Matas, J. Miret, "Designing VRM hysteretic controllers for optimal transient response," IEEE Trans. Ind. Electron., vol.54, no.3, pp.1726-1738, June 2007.
- [50] Analog Devices ADP3204 datasheet. (2002). [Online]. Available: <http://www.datasheetcatalog.org/datasheet/analogdevices/ADP3204JCP-REEL7.pdf>
- [51] National Semiconductor, Current mode hysteretic buck regulators, Application Note 1487, (2006). [Online]. Available: <http://www.national.com/an/AN/AN-1487.pdf#page=1>

-
- [52] Maxim, 3 V to 28 V Input, Low-Cost, Hysteretic Synchronous Step-Down Controllers, Aug. 2004 [online] Available: <http://datasheets.maxim-ic.com/en/ds/MAX8576-MAX8579.pdf>.
- [53] Semtech, SC1159. Programmable synchronous DC/DC hysteretic controller with VRM 8.5 VID Range, Dec. 2002 [online] Available: <http://www.semtech.com/pc/downloadDocument.do?id=49>.
- [54] Analog Devices, IMVP-II-Compliant core power controller for mobile CPUs 2001, ADP3422, Datasheet of Chip no. ADP3422.
- [55] Texas Instruments, "Designing fast response synchronous buck regulators using the TPS5210" Dallas, TX, Appl. Rep., Mar. 1999.
- [56] Texas Instruments, "High Performance 45-A Synchronous Buck EVM Using the TPS5210" User's Guide, July 1999, en <http://www.ti.com/lit/ug/slvs015/slvs015.pdf>
- [57] Chungping Song, "Optimizing Accuracy of Hysteretic Control", Power electronics Technology February 2006.
- [58] M. Castilla; L. Garcia de Vicuna; J.M. Guerrero, J. Miret, N. Berbel, "Simple low-Cost hysteretic controller for single-phase synchronous buck converters," IEEE Trans. Power Electron., vol.22, no.4, pp.1232-1241, July 2007.
- [59] M. Castilla, J.M. Guerrero, J. Matas, J. Miret, J. Sosa, "Comparative study of hysteretic controllers for single-phase voltage regulators," IET Power Electron., vol.1, no.1, pp.132-143, March 2008.
- [60] T. Nabeshima, T. Sato, S. Yoshida, S. Chiba, and K. Onda, "Analysis and design considerations of a buck converter with a hysteretic PWM controller," in Proc. IEEE PESC'04, 004, pp. 1711–1716.
- [61] G. Schrom, P. Hazucha, J. Hahn, D. Gardner, B. Bloechel, G. Dermer, S. Narendra, T. Karnik, and V. De, "A 480 MHz, multi-phase interleaved buck DC-DC converter with hysteretic control," in Proc. IEEE Power Electron. Soc. Conf., 2004, pp. 4702–4707.
- [62] Wei Gu, Weihong Qiu, Wenkai Wu†, and Issa Batarseh, "A Multiphase DC/DC Converter with Hysteretic Voltage Control and Current Sharing", IEEE APEC'02.
- [63] J. Abu-Qahouq , H. Mao, I. Batarseh "Multiphase voltage-mode hysteretic controlled DC-DC converter with novel current sharing," IEEE Trans. Power Electron., vol. 19, pp. 1397, Nov. 2004.
- [64] M. López, L. Garcia de Vicuna, M. Castilla, J. Majo "Interleaving of parallel DC-DC converters using sliding mode control," Proc. IEEE Conf. IECON, Sep. 1998, p. 1055.
- [65] T. Sato, T. Nabeshima, K. Nishijima, T. Nakano, "Multi-phase converter controlled by hysteretic PWM method," Power Conversion Conference - Nagoya, 2007. PCC '07, vol., no., pp.1134-1138, 2-5 April 2007.

- [66] Taniguchi, K.; Sato, T.; Nabeshima, T.; Nishijima, K.; , "Constant frequency hysteretic PWM controlled buck converter," Power Electronics and Drive Systems, 2009. PEDS 2009. International Conference on , vol., no., pp.1194-1199, 2-5 Nov. 2009 doi: 10.1109/PEDS.2009.5385833
- [67] K. Lee, F. C. Lee, M. Xu, "A hysteretic control method for multiphase voltage regulator," IEEE Trans. Power Electron., vol 24, no12, pp.2726-2734, Dec 2009.
- [68] Borrell, A.; Castilla, M.; Miret, J.; Matas, J.; de Vicuna, L.G.; "Simple Low-Cost Hysteretic Controller for Multiphase Synchronous Buck Converters," Industrial Electronics, IEEE Transactions on, vol.58, no.6, pp.2355-2365, June 2011 doi:10.1109/TIE.2010.2060462.
- [69] Alexandr Ikriannikov and Ognjen, "Investigation of DCR Current Sensing in Multiphase Voltage Regulators", Volterra Semiconductor: IBM Power and Cooling Technology Symposium 2007
- [70] Texas Instruments, "High Performance Synchronous Buck Controller with DCR Current Sensing", LM27402 datasheet, en <http://www.ti.com/lit/ds/symlink/lm27402.pdf>
- [71] Vishay, 3 % DCR Tolerance, Low Profile, High Current Inductor IFLP-4040DZ-01 datasheet, en <http://www.vishay.com/docs/34200/34200.pdf>
- [72] Corradini, L.; Bjeletic, A.; Zane, R.; Maksimovic, D.; , "Fully digital hysteretic modulator for DC-DC switching converters," Energy Conversion Congress and Exposition, 2009. ECCE 2009. IEEE, vol., no., pp.3312-3319, 20-24 Sept. 2009 doi: 10.1109/ECCE.2009.5316416.
- [73] Corradini, L.; Orietti, E.; Mattavelli, P.; Saggini, S.; , "Digital Hysteretic Voltage-Mode Control for DC-DC Converters Based on Asynchronous Sampling," Power Electronics, IEEE Transactions on , vol.24, no.1, pp.201-211, Jan. 2009 doi: 10.1109/TPEL.2008.2006611.