

# 3

## **Caracterització topogràfica i elèctrica de SiO<sub>2</sub> crescut amb AFM**

Des dels seus orígens, la microelectrònica sempre ha buscat dispositius més petits, per tal d'augmentar les prestacions dels seus productes. Actualment aquesta miniaturització implica que les dimensions dels dispositius electrònics han entrat profundament en el rang nanomètric [ITRS 04]. Per aconseguir les dimensions laterals demandades, la fabricació de dispositius ha seguit principalment dues estratègies. Per un costat, s'ha augmentat la resolució dels processos fotolitogràfics estàndard gràcies a la utilització, per exemple, de longituds d'ona més curtes [Sasago 98] o màscares amb desplaçament de fase [Misaka 98]. Per una altra banda han emergit noves tecnologies basades en principis de funcionament completament diferents a la fotolitografia, com Nanoimprint [Zankovych 01], Self Assembly [Lita 99] o la oxidació mitjançant AFM (secció 2.2.3).

L'avantatge principal que ofereix l'oxidació anòdica amb AFM respecte a la fotolitografia estàndard a l'hora de definir patrons és que permet crear estructures més petites, amb una configuració experimental relativament senzilla. És per això, que una gran part dels treballs realitzats en el camp de la nanolitografia amb AFM (veure secció 2.2.3) han estat dedicats a determinar les condicions de creixement que porten a l'obtenció dels patrons d'òxid crescut amb AFM de dimensions més petites, estudiar la cinètica d'oxidació o a la utilització de l'òxid crescut, com a màscara litogràfica per a un procés posterior. Cal mencionar també que la nanolitografia amb AFM té un desavantatge important respecte a la fotolitografia estàndard: l'àrea que pot modificar en un temps fix és molt més petita. És a dir, mentre que amb un procés fotolitogràfic es pot modificar en qüestió de minuts tota l'àrea de l'òbvia ( $\sim$  desenes de  $\text{cm}^2$ ), en aquest període de temps l'AFM només pot escombrar (i per tant modificar) un àrea de l'ordre d'uniques poques  $\mu\text{m}^2$ . En qualsevol cas, si l'òxid crescut amb AFM pogués ser útil com dielèctric de porta, sistemes basats en aquesta tècnica, amb múltiples puntes operant en paral·lel, podrien augmentar la velocitat de fabricació de l'AFM. Aquests sistemes multipunta actualment ja es troben en ús en dispositius com el Millipede [Vettiger 00]. Fins i tot en el cas que no es pogués augmentar la velocitat de la tècnica, continuaria sent una eina útil per etapes de realització de prototips, o dispositius singulars del circuit.

Tot i l'interès dedicat a l'AFM com eina nanolitogràfica, l'òxid de silici crescut amb AFM no ha estat utilitzat com òxid de porta (AFM-GOX, de l'anglès AFM grown Gate Oxide). Per això les seves propietats com dielèctric actiu resulten pràcticament desconegudes. En aquest capítol l'AFM-GOX es caracteritza topogràfica i elèctricament i es compara amb el SiO<sub>2</sub> crescut tèrmicament (T-GOX, de l'anglès Thermally grown Gate Oxide), que és el dielèctric de porta utilitzat habitualment en els dispositius MOS actuals i que aquí considerarem com a referència. L'objectiu dels experiments que es presenten en aquest capítol és determinar si l'AFM-GOX pot substituir al T-GOX en algunes aplicacions, de cara a la fabricació íntegra amb AFM de dispositius MOS.

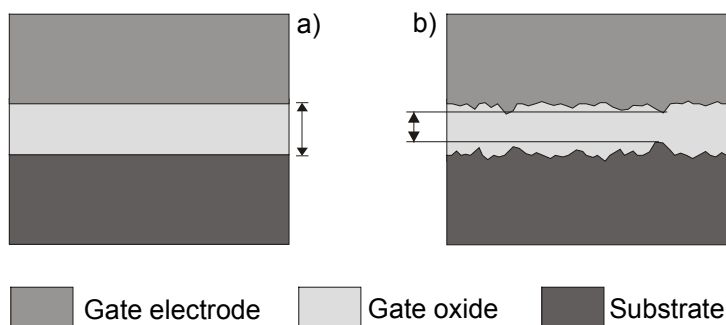


Fig. 3.1. Per dielèctrics ultra prims la rugositat de les interfícies amb el terminal de porta i el substrat és un problema molt important per que mentre que per una estructura MOS ideal (a) l'òxid de porta té un gruix nominal en qualsevol punt, per una estructura real (b) la rugositat d'ambdues interfícies provoca un aprimament local del dielèctric.

En la secció 3.1 (**Article A**) es presenta el treball realitzat per a la caracterització topogràfica de l'AFM-GOX i el T-GOX. El treball s'ha centrat en l'estudi de la rugositat de la superfície dels GOX i de la interfície entre els GOX i el Si del substrat. S'ha triat la rugositat com a paràmetre d'estudi, perquè, a mesura que l'òxid de porta esdevé cada vegada més prim, la rugositat de les interfícies (polisilici - òxid i òxid - substrat) passa a ser cada vegada més important; donat que el valor de la rugositat representa un % important respecte al gruix total. Com que el gruix del dielèctric no és uniforme (en alguns punts estarà per sobre del valor teòric que es volia per aquell òxid i en altres punts serà menor que el gruix desitjat) s'introdueixen punts febles en el dielèctric que faran que es trenqui amb estressos menors (Fig. 3.1). Simulacions fetes per Suñé et al. [Suñé 87] i més recentment per Weir et al. [Weir 99] mostren que les propietats dielèctriques de l'òxid de porta empitjoren quan es considera una superfície més rugosa, és a dir, que es té un dielèctric de menys qualitat. Per comparar la rugositat de l'AFM-GOX amb la mesurada en T-GOX, ha estat necessari créixer patrons d'òxid AFM de varies  $\mu\text{m}^2$  d'àrea, per tal de que els mapes topogràfics continguin un nombre de punts suficient per a realitzar un càlcul acurat de la rugositat.

En la secció 3.2 (**Article B**) s'estudien les propietats elèctriques d'estructures MOS amb AFM-GOX, a partir de les característiques Intensitat – Voltatge realitzades en capacitats MOS de dimensions microelectròniques (utilitzant analitzadors de semiconductors i taula de puntes) i a escala nanomètrica (utilitzant CAFM). Per la realització de la caracterització elèctrica amb tècniques estàndard, l'oxidació amb AFM ha estat integrada dintre del procés microelectrònic CMOS estàndard del Centro Nacional de Microelectrònica.

### 3.1 Caracterització topogràfica

La caracterització topogràfica de capes ultra primes d'AFM-GOX té dos objectius principals. En primer lloc, estudiar si una capa d'AFM-GOX pot tenir un gruix tan homogeni (o com a mínim del mateix ordre) que una capa de T-GOX, ja que si no fos possible obtenir estructures amb un gruix homogeni no tindria sentit la caracterització elèctrica. Si es pot aconseguir una capa prou homogènia, el segon objectiu és determinar els paràmetres de fabricació que permeten minimitzar la rugositat de les interfícies de la capa de SiO<sub>2</sub>. Això evitarà tenir que optimitzar els paràmetres d'oxidació (realitzar proves addicionals) durant el procés de fabricació de mostres per a la caracterització elèctrica. Com es veurà en la secció 3.2, el procés de fabricació de mostres adequades per a la caracterització elèctrica és més costós tant des del punt de vista econòmic com de temps de fabricació que el procés de fabricació de mostres per a la caracterització topogràfica. Per tant, quan es realitza cal disposar de la màxima informació possible.

En primer lloc es descriurà la configuració experimental utilitzada per a la caracterització topogràfica. Es parlarà especial atenció al procés necessari per a la fabricació de mostres adequades per poder realitzar les oxidacions amb AFM, i al procés de creixement de capes homogènies d'AFM-GOX. A continuació, s'analitzarà la rugositat de les interfícies de capes d'AFM-GOX crescudes utilitzant diferents de paràmetres d'oxidació. A partir d'aquest experiment es determinarà quins són els paràmetres òptims per créixer una capa d'AFM-GOX el més homogènia possible, i es compararan els valors de rugositat amb els corresponents a capes de T-GOX.

#### 3.1.1. Fabricació de les estructures de test i procediment experimental

El punt de partida de les estructures utilitzades per a la caracterització topogràfica del AFM-GOX i T-GOX ha estat un conjunt de capacitats MOS microelectròniques amb porta dipositada de poly-Si dopat tipus n, una capa de 4.5nm de gruix de SiO<sub>2</sub> (oxidació tèrmica seca a 800°C) com òxid de porta, òxid de camp de 400nm de gruix, i substrat de Si (100) tipus n dopat amb Fòsfor ( $10^{19}\text{cm}^{-3}$ ) (Fig. 3.2.a). Per a definir aquestes capacitats s'ha utilitzat el joc de màscares CNM04, el qual permet fabricar capacitats quadrades de 5 àrees diferents (en el rang de  $10^{-4}$ - $10^{-5}\text{cm}^2$ ). El poly-Si es va eliminar mitjançant un gravat humit consistent en: (a) submergir les mostres en HF (al 10% en volum) durant 5s (per eliminar el l'òxid natiu que s'ha pogut formar sobre el poly-Si), (b) bany d'ultrasons en KOH durant 20 minuts (elimina el poly-Si) (Fig. 3.2.b) seguit de (c) una neteja en aigua desionitzada. En aquest punt, el T-GOX es va conservar en algunes de les mostres per utilitzar-les com a referència de mesura. La resta de les estructures es van submergir en HF (al 10% en volum) durant 5s per eliminar el T-GOX i assolir la superfície del substrat de Si (Fig. 3.2.c).

Després d'aquesta etapa, es va realitzar la oxidació amb AFM de dos conjunts d'estructures, amb una àrea de  $\sim 1\mu\text{m}^2$  cadascuna (Fig. 3.2.d), amb voltatges d'oxidació (aplicats al substrat) de 6V i 12V (respecte a la punta connectada a terra). L'oxidació amb AFM ha estat realitzada en condicions ambient, amb un microscopi Nanotec Electrònica operant en mode contacte (veure secció 2.2). Les puntes utilitzades estan fetes de Si dopat tipus n i recobertes amb 20nm Ti, per tal que la punta sigui conductora

i pugui realitzar oxidacions. L'AFM està equipat amb una font de voltatge que permet polaritzar el sistema punta mostra. Totes les oxidacions es van realitzar utilitzant una velocitat de desplaçament de la punta constant, de 1µm/s. Aquests quadrats de SiO<sub>2</sub> van ser creats a partir de línies paral·leles d'òxid amb distàncies interlineals cada vegada menors, fins assolir superfícies homogènies (Fig. 3.3). Les distàncies interlineals utilitzades han estat 230, 130, 70, 50, 25 i 15nm. A partir de les estructures amb línies no solapades (Fig. 3.4.a i b) es va determinar que l'amplada de les línies d'òxid era ~100nm i ~120nm per les oxidacions realitzades amb un voltatge aplicat de 6V i 12V respectivament. Això ens assegura que per les estructures amb les distàncies interlineals més petites (Fig. 3.4.e i f) les línies estan gairebé completament solapades i que per tant la superfície és homogènia. Després de cadascuna de les oxidacions, es va adquirir la topografia mitjançant AFM (Fig. 3.4) i es va mesurar la rugositat.

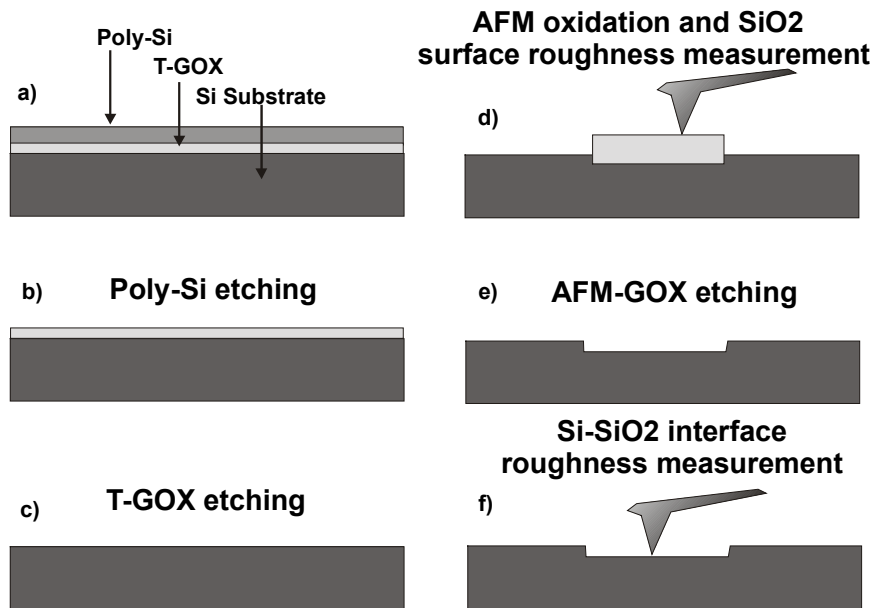


Fig. 3.2. Procés de fabricació de les mostres per a la caracterització topogràfica de l'AFM-GOX. Partint d'un conjunt de capacitats MOS microelectròniques (a), en primer lloc es va realitzar un gravat humit del poly-Si (b), en aquest punt, el T-GOX es va conservar en algunes de les mostres per utilitzar-les com a referència de mesura. A la resta de les estructures es va realitzar un gravat humit del T-GOX fins assolir la superfície del substrat de Si (c). A continuació es van realitzar les oxidacions amb AFM (d) i es va adquirir la topografia de la superfície de l'AFM-GOX, i per últim es va realitzar un gravat humit de l'AFM-GOX (e) i es va adquirir la topografia de la interfície SiO<sub>2</sub>-Si (f).

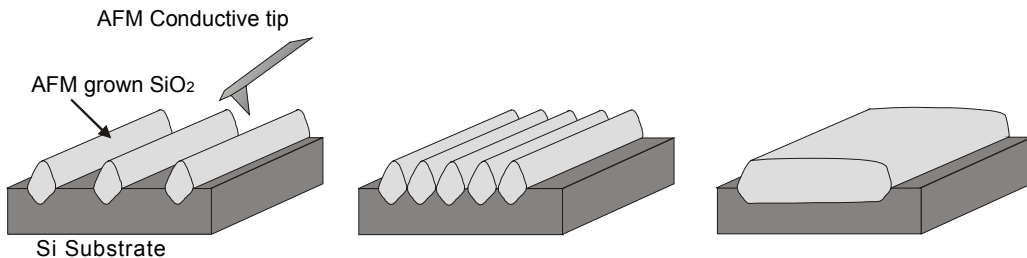


Fig. 3.3. Esquema del procediment de creixement de l'AFM-GOX utilitzat per obtenir àrees quadrades homogènies d'òxid: les línies d'òxid generades per l'AFM sobre la superfície del Si, tenen distàncies interlineals cada vegada més petites fins que s'assoleixen superfícies homogènies.

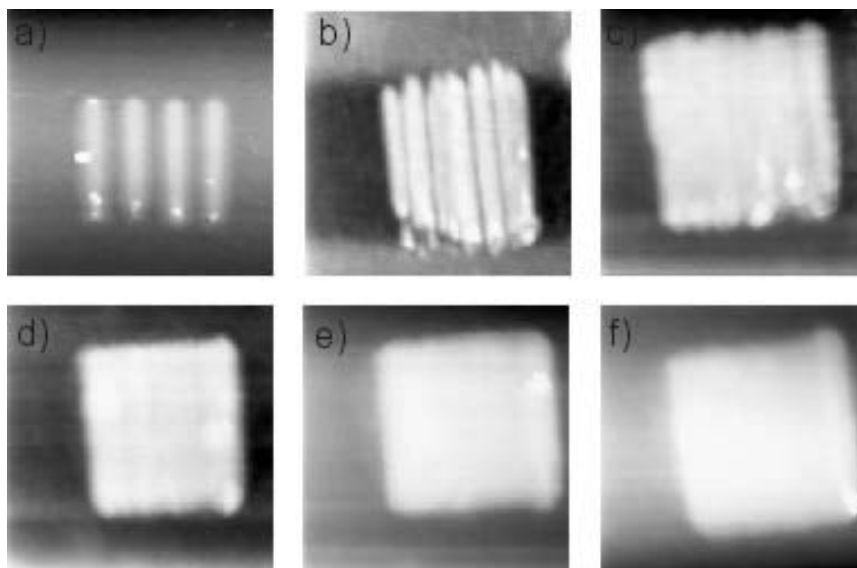


Fig. 3.4. Mapes topogràfics de les estructures d'AFM-GOX amb diferents distàncies interlineals: 230nm (a), 130nm (b), 70nm (c), 50nm (d), 25nm (e) i 15nm (f), corresponents a un voltatge d'oxidació de 6V i utilitzades per la mesura de la rugositat superficial. El tamany de les imatges és  $2\mu\text{m}\times 2\mu\text{m}$  i l'alçada de les estructures oxidades és 2nm. Per les distàncies interlineals més petites (e) i (f) les línies estan gairebé completament solapades, proporcionant una superfície homogènia.

Per remoure l'AFM-GOX i poder obtenir informació topogràfica de la interfície SiO<sub>2</sub>-Si, aquestes mostres es van exposar a un procés de gravat de l'òxid de porta (Fig. 3.2.e) consistent en submergir-les durant 10s en HF (al 10% en volum). Després del gravat es va adquirir novament la topografia (Fig. 3.2.f) d'aquestes regions on s'havien realitzat les oxidacions (Fig. 3.5) i es va mesurar la rugositat interfacial. La mesura de la rugositat (superficial i interfacial) ha estat realitzada també en condicions ambient, amb l'AFM treballant en mode jumping [de Pablo 98] per l'adquisició dels mapes topogràfics. El mode jumping proporciona un contacte intermitent entre la punta i la mostra reduint el desgast mecànic de la punta i allargant per tant la seva vida útil. A partir de l'alçada de l'AFM-GOX respecte al substrat (mesurada de les imatges de la figura 3.4) i la profunditat de la zona on l'AFM-GOX ha estat eliminat respecte a la zona que no ha estat gravada (mesurada de les imatges de la figura 3.5), s'ha determinat que el gruix total de l'AFM-GOX és aproximadament 3nm per un voltatge d'oxidació de 6V i de 6nm per un voltatge de 12V. Com referència, s'ha realitzat també la caracterització topogràfica de les mostres amb T-GOX.

Per estudiar la rugositat interfacial, després del gravat de l'AFM-GOX cal retrobar la zona on s'han fet les oxidacions. Una mostra típica d'AFM pot tenir unes dimensions de l'ordre del  $\text{cm}^2$ , les estructures que es busquen tenen unes dimensions de l'ordre de  $1\mu\text{m}^2$ , i el camp d'escombrat màxim de l'AFM és d'unes 30 per 30  $\mu\text{m}$ . Tenint en compte això, tornar a trobar la zona oxidada és una tasca gairebé impossible sense l'ajut d'algun tipus de patró o estructura molt més gran que ens permeti localitzar a "grosso modo" la zona d'interès mitjançant un microscopi òptic. En aquest experiment s'ha utilitzat com referència de posició les pròpies capacitats microelèctriques que hi havia inicialment a la obla, ja que tenen dimensions laterals de l'ordre de desenes de  $\mu\text{m}$  i resten visibles després dels diferents processos de gravat que s'han aplicat.

Concretament, les oxidacions es van realitzar molt a prop d'una de les cantonades de la segona capacitat més petita (80 per 80 µm de costat) (Veure Fig. 3.6). Aquesta estructura es pot trobar fàcilment amb el microscopi òptic al mateix temps que es pot veure la cantilever de l'AFM i per tant es pot moure el capçal de l'AFM fins que es faci coincidir la cantilever sobre la zona que es desitja estudiar.

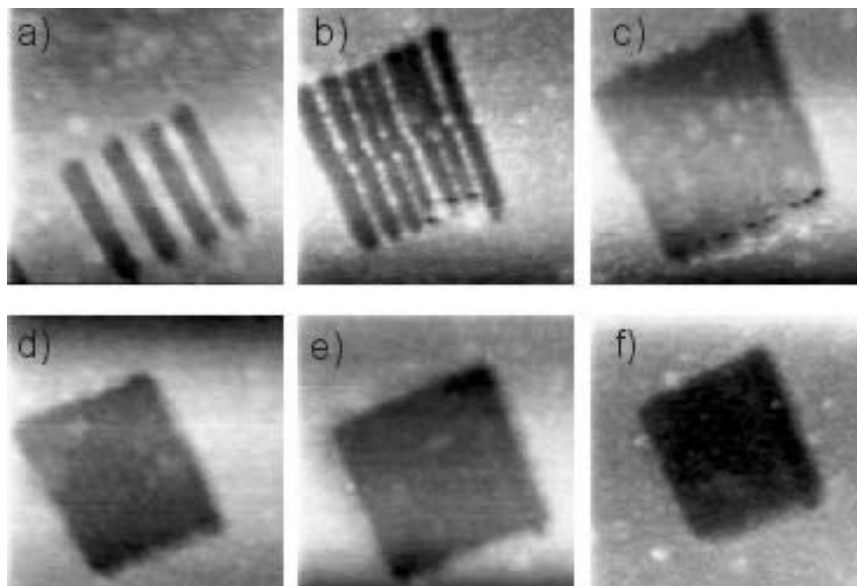


Fig. 3.5. Mapes topogràfics de les zones mostrades en la figura 3.4 després de la eliminació de l'AFM-GOX, utilitzats per a la mesura de la rugositat de la interfície SiO<sub>2</sub>-Si. El tamany de les imatges és 2µm×2µm i la profunditat de les zones on s'ha eliminat l'òxid és 1nm.

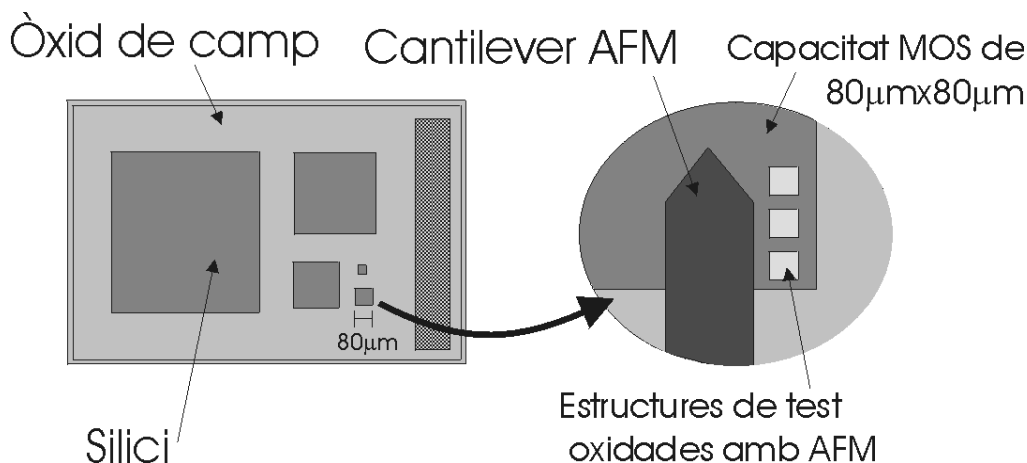


Fig. 3.6. Per la localització de les estructures de test després del gravat de l'AFM-GOX, és necessari disposar d'algun motiu molt més gran que sigui fàcilment visible amb el microscopi òptic. En aquest cas s'ha utilitzat com localitzador les pròpies capacitats microelèctriques (realitzades amb la màscara CNM04) que hi havia inicialment a la oblea.

### 3.1.2. Rugositat de l'AFM-GOX

La caracterització topogràfica s'ha centrat en l'estudi de la rugositat de la superfície de l'AFM-GOX i de la interfície entre l'AFM-GOX i el substrat de silici. A partir d'aquests dos paràmetres es podrà avaluar si mitjançant AFM es pot créixer una capa de

SiO<sub>2</sub> d'un gruix acceptablement homogeni. En cas que el gruix de l'AFM-GOX patís grans variacions, en algun punt del dispositiu MOS el gruix del dielèctric de porta seria molt inferior al valor nominal. Aquest fet donaria lloc a un dispositiu amb unes propietats elèctriques i de fiabilitat pobres.

Donat que la caracterització topogràfica es centra en l'estudi i comparació dels valors de rugositat per l'AFM-GOX i el T-GOX, en primer lloc, es descriurà com es defineix i com es determina la rugositat. A continuació, s'analitzarà com depèn el valor de rugositat mesurat (superficial i interfacial) dels paràmetres de l'oxidació amb AFM (distància interlineal i voltatge d'oxidació), i es compararan amb els valors de referència del T-GOX. Per últim, a partir dels resultats obtinguts s'avaluarà des d'un punt de vista exclusivament topogràfic la viabilitat de que l'AFM-GOX pugui substituir el T-GOX.

Els valors de rugositat que es presenten són la desviació estàndard de la distribució d'alçades dels mapes topogràfics. Les mesures han estat realitzades a la part central de les estructures de test per tal d'evitar els efectes dels límits de l'àrea oxidada. Tots els valors de rugositat han estat calculats sobre un àrea de 0.5µm×0.5µm com a mínim. Considerant que el tamany del mapa topogràfic és de 2µm×2µm i que està format per una matriu d'alçades de 256×256 punts, cadascun dels punts està separat 8nm dels altres en les direccions X i Y. Això significa que el nombre de punts del mapa topogràfic compresos en la zona central, que és la considerada per la determinació de la rugositat, és aproximadament 4100 (Fig. 3.7).

L'estudi de la rugositat de la superfície de l'AFM-GOX revela que, quan la distància interlineal es redueix, la rugositat de la superfície s'estabilitza al voltant d'un valor mínim de 0.10nm (Fig. 3.8). Els mapes topogràfics realitzats en les mostres amb T-GOX, amb les mateixes condicions d'adquisició, proporcionen valors de rugositat superficial de 0.07-0.09nm. És a dir, molt similars als obtinguts per l'AFM-GOX. Des del punt de vista de la rugositat de la interfície AFM-GOX - Si, per les estructures de test corresponents a les distàncies interlineals més petites, la rugositat assoleix un valor mínim de 0.15nm (Fig. 3.9), que és del mateix ordre que els valors mesurats (i els que es troben a la literatura [Lopes 96]) pel T-GOX.

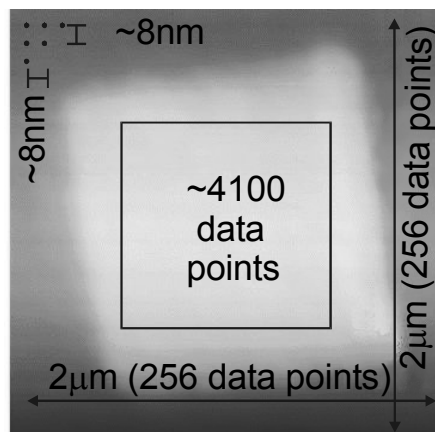


Fig. 3.7. Les imatges de 2µm×2µm utilitzades per a la caracterització topogràfica estan compostes de 256 (fileres) × 256 (columnes) punts. Per evitar els efectes dels límits de la zona oxidada, solament s'ha utilitzat la zona central de 0.5µm×0.5µm per determinar la rugositat. El nombre de punts utilitzat per cadascuna de les mesures de rugositat és aproximadament 4100.

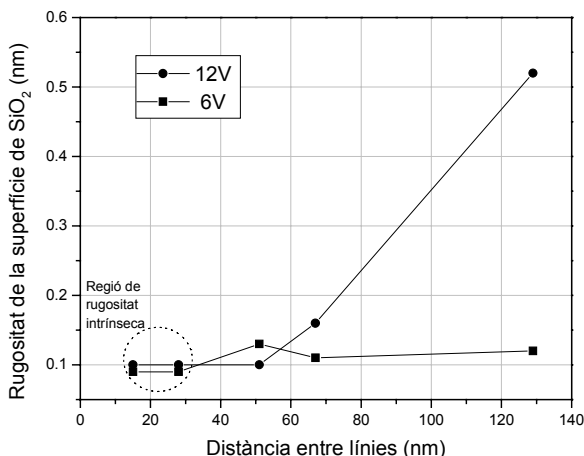


Fig. 3.8. Rugositat superficial en funció de la distància interlineal, mesurada per les capes d'AFM-GOX crescutes amb voltatges d'oxidació de 6V i 12V, sobre àrees de  $0.5\mu\text{m}\times 0.5\mu\text{m}$ . Es poden identificar dues regions: La regió de rugositat intrínseca, per distàncies interlineals inferiors a  $\sim 50\text{nm}$ , on la rugositat assoleix el seu valor mínim, i la regió de rugositat extrínseca (distàncies interlineals superiors a  $\sim 50\text{nm}$ ). En aquesta regió, la rugositat augmenta amb el voltatge d'oxidació i amb la distància interlineal.

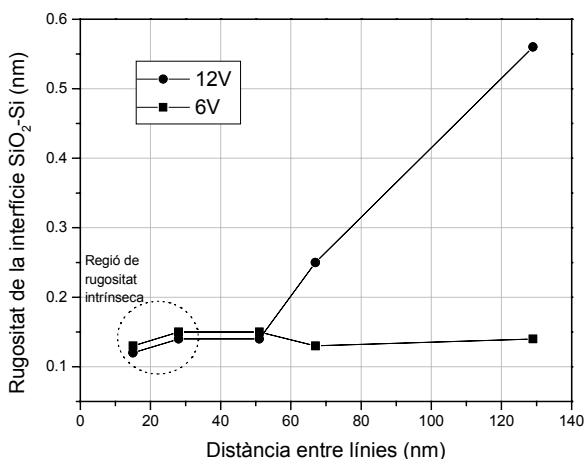


Fig. 3.9. Rugositat interfacial en funció de la distància interlineal, mesurada sobre les regions centrals ( $0.5\mu\text{m}\times 0.5\mu\text{m}$ ) de les zones on s'ha eliminat l'AFM-GOX. De la mateixa manera que per la rugositat, es poden observar regions de rugositat intrínseca i extrínseca.

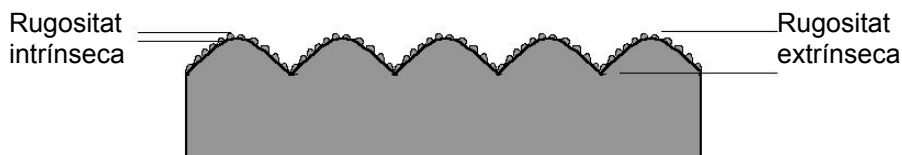


Fig. 3.10. Esquema que il·lustra els dos factors causants de la rugositat de les estructures de test: la diferència d'alçades entre les crestes i les valls (rugositat extrínseca) i les no uniformitats de petita escala (rugositat intrínseca) de la superfície pròpiament dita.



La rugositat de la superfície de l'AFM-GOX i de la interfície amb el Si en les estructures de test prové de dos factors: per un costat, la rugositat és deguda a la diferència d'alçades entre les crestes i les valls de les línies d'òxid (rugositat extrínseca), i per una altra banda, per les inhomogeneïtats d'escala més petita, pròpies de la superfície/interfície (rugositat intrínseca). La figura 3.10 il·lustra els dos factors mencionats. Aquests dos tipus de rugositat es poden identificar fàcilment en les gràfiques de les figures 3.8 i 3.9: per distàncies interlineals superiors a ~50nm (regió extrínseca) la rugositat augmenta amb la distància interlineal i té una dependència amb el voltatge d'oxidació. La dependència amb el voltatge d'oxidació prové del fet que per una distància interlineal fixa, quan el voltatge d'oxidació augmenta l'amplada de la línia es manté pràcticament constant, però l'alçada de les crestes augmenta i per tant la diferència d'alçades entre valls i crestes augmenta, el que implica que la rugositat extrínseca creix. Per distàncies interlineals inferiors a ~50nm (regió de rugositat intrínseca) la rugositat superficial i interfacial assoleixen un valor (mínim) constant. En aquesta regió la rugositat no depèn del voltatge d'oxidació perquè aquí les línies estan gairebé completament solapades, i per tant no hi ha crestes ni valls que són els únics elements topogràfics que depenen del voltatge.

Des d'un punt de vista exclusivament topogràfic es pot concloure que l'AFM-GOX presenta unes característiques molt semblants a les del T-GOX. Els valors de rugositat superficial i interfacial són del mateix ordre per ambdós tipus d'òxid. Això significa que l'AFM-GOX presenta una homogeneïtat del gruix físic tant bona com el T-GOX i per tant que, topogràficament parlant, no presenta punts febles.

### 3.2 Caracterització elèctrica

Ara que la caracterització topogràfica ha confirmat que es poden créixer capes d'AFM-GOX pràcticament tan homogènies com les de T-GOX, el següent objectiu és avaluar si l'AFM-GOX ofereix unes prestacions dielèctriques comparables a les del T-GOX. Cal determinar per tant, si el podria substituir com òxid de porta en algunes aplicacions. Paral·lelament a aquesta caracterització elèctrica, es vol estudiar la viabilitat de fabricar un dispositiu MOS on el dielèctric de porta sigui AFM-GOX. Per fer això, caldrà integrar la oxidació AFM en un procés microelectrònic CMOS. Tot i que l'òxid de silici crescut per procediments tèrmics és un material molt estudiat i molt ben caracteritzat, s'ha optat per implementar i caracteritzar a més a més dels dispositius MOS amb AFM-GOX, dispositius MOS amb T-GOX, de forma que tinguin el major nombre de paràmetres iguals (tipus del substrat, nivells de dopatge, dimensions...) per tal de minimitzar els graus de llibertat de la posterior comparació dels resultats. El dispositiu microelectrònic que es fabricarà amb AFM-GOX serà la capacitat MOS. S'ha triat aquest dispositiu, per una banda, per ser el de fabricació més simple i, per altra banda, degut a que és l'estructura base de la tecnologia microelectrònica (CMOS) actual. Els dispositius fabricats es caracteritzaran mitjançant tècniques estàndard (analitzador de semiconductors + taula de puntes). Per tal d'aconseguir una comparació directa del comportament dielèctric de l'AFM-GOX i el T-GOX, es fabricaran dispositius MOS sense porta dipositada que no necessiten la integració de l'oxidació AFM en un procés CMOS. En aquests dispositius sense porta, mitjançant CAFM, es podrà estudiar la conducció a través d'ambdós tipus d'òxid a escala nanomètrica.

En el primer apartat (3.2.1) es mostrarà la configuració experimental utilitzada. Principalment, es descriuran les modificacions que ha calgut realitzar en l'AFM per poder treballar amb oblies senceres. Els dos apartats següents descriuen els processos de fabricació de les mostres apropiades per la caracterització amb CAFM (3.2.2) i amb tècniques estàndard (3.2.3) respectivament. En l'últim apartat d'aquesta secció (3.2.4) s'estudiarà el comportament de les capacitats MOS on s'ha integrat l'oxidació amb AFM en un procés microelectrònic CMOS i es compararà el comportament elèctric de l'AFM-GOX i el T-GOX.

### 3.2.1. Configuració experimental

El CAFM utilitzat per a la caracterització elèctrica consisteix en el mateix AFM emprat per la fabricació i caracterització de les estructures descrites a la secció 3.1.1. S'ha equipat amb una punta conductora, una font de tensió per polaritzar el sistema punta - mostra i un convertidor corrent - tensió amb un factor d'amplificació variable entre 10<sup>10</sup> i 10<sup>12</sup>V/A per a que treballi com CAFM. Tot el sistema de mesura està situat dintre d'una gàbia de Faraday per tal de minimitzar el soroll elèctric. Es pot trobar una descripció més detallada de la configuració i funcionament d'un CAFM a la secció 2.3.1. En aquest experiment s'han utilitzat puntes de Si recobertes de Co/Cr, ja que ofereixen millors prestacions elèctriques que les puntes de Si recobertes de Ti emprades per nanofabricació.

La configuració experimental per a la caracterització mitjançant tècniques estàndard (veure secció 1.1.4) consisteix en un analitzador de semiconductors HP-4145B connectat a una taula de puntes Wentworth. Per utilitzar aquesta tècnica es necessiten dispositius amb una porta dipositada i un pad de contacte de dimensions microelèctroniques (veure Fig. 2.1.a). Aquestes condicions, com es veurà quan es descriu el procés de fabricació de les mostres, van comportar que per obtenir estructures apropiades per a la caracterització estàndard de l'AFM-GOX, l'AFM/CAFM hagués de treballar amb oblies senceres de 4 polçades.

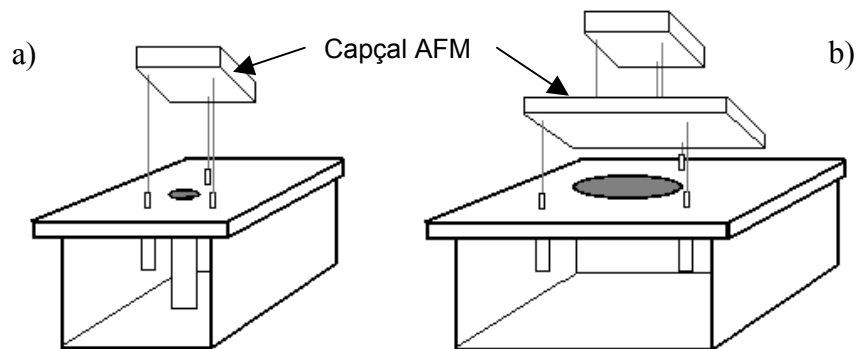


Fig. 3.11. Inicialment (a) la configuració de l'AFM només permetia treballar amb mostres d'uns 2 cm de diàmetre com a màxim: àrea ombrejada limitada pels 3 cargols micromètrics del sistema d'apropament macroscòpic. En la configuració actual (b) s'han mantingut els cargols micromètrics antics i s'han afegit 3 nous amb una separació major. Això permet utilitzar mostres més grans: fins a uns 12 cm de diàmetre (àrea ombrejada). L'antic capçal s'acoba a una peça nova formant així el capçal nou que reposa sobre els 3 nous cargols micromètrics.

Per poder treballar amb oblies senceres, ha estat necessari modificar el capçal de l'AFM. Inicialment el capçal de l'AFM (que anomenarem capçal petit) estava dissenyat per treballar amb mostres d'uns 2 cm de diàmetre com a màxim, donat que el capçal queda fixat en el pla horitzontal mitjançant tres forats que encaixen en tres cargols micromètrics situats a la base de l'AFM (veure Fig. 3.11.a i 3.12.a). La modificació principal del capçal ha consistit en acoblar el capçal petit a una peça quadrada més gran (que anomenarem capçal gran) on s'han definit 3 forats formant un triangle proporcional al del capçal petit però més gran, que encaixa en un nou conjunt de tres cargols micromètrics instal·lats a la base, de forma que ara es puguin fer servir mostres de diàmetre major (veure Fig. 3.11.b i 3.12.b).

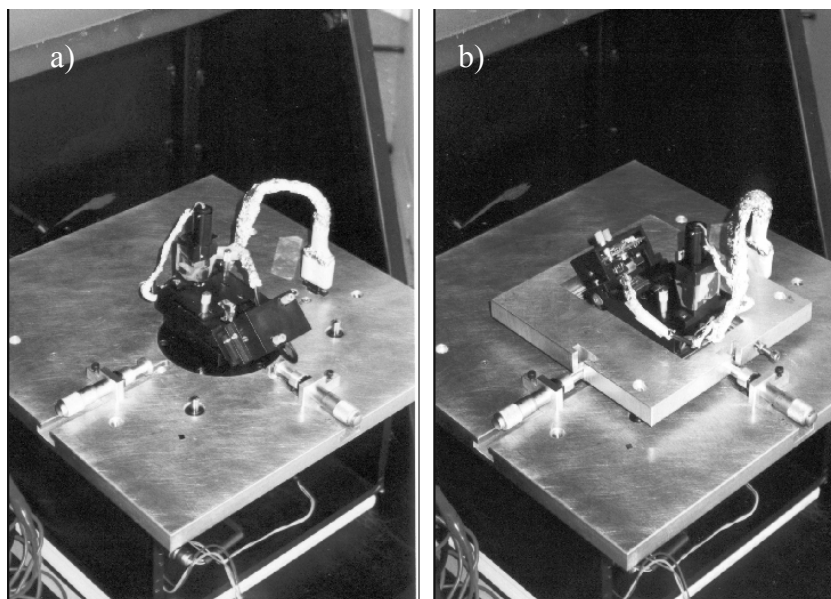


Fig. 3.12. Imatges dels capçals petit (a) i gran (b) situats sobre els respectius cargols micromètrics.

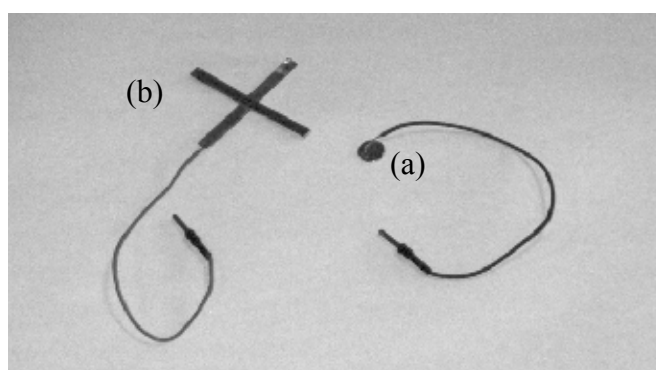


Fig. 3.13. Porta mostres utilitzats per: mostres de l'ordre de 1cm<sup>2</sup> (a) i per oblies senceres (b).

Per qüestions de compatibilitat amb altres experiments on és necessari el capçal petit, s'han dissenyat i implementat modificacions al capçal de forma que sigui senzill i ràpid l'intercanvi entre els dos capçals (simplement descargolant un cargol). A la base de l'AFM, s'ha mantingut al centre el sistema tub piezoelèctric més els tres micromètrics corresponents al capçal petit i s'han col·locat tres nous micromètrics (el posterior motoritzat) que encaixen amb el capçal gran. A més a més, s'ha afegit un sistema de posicionament horitzontal micromètric (necessari per situar-nos amb la precisió

requerida sobre les estructures de test a l'oblia), consistent en dos cargols micromètrics en el pla XY (base), un en la direcció X i l'altre en la direcció Y, que permeten estirar i empènyer el capçal gran (veure Fig. 3.12.b). Aquests micromètrics es poden moure sobre unes guies fetes a la base; fixats a una posició de la guia tenen un rang de desplaçament de 12mm. El porta mostres també s'ha redissenyat i s'ha passat d'un porta mostres circular de 1cm de diàmetre a un en forma de creu de 5cm de longitud (veure Fig. 3.13). Això ha sigut necessari pel fet que situar una oblia sencera sobre un disc de 1cm és molt poc estable.

### 3.2.2. Fabricació de mostres i estressos elèctrics per la caracterització amb CAFM

Les modificacions realitzades en el CAFM permeten que aquest treballi (oxidació i caracterització) tant amb oblies senceres com amb les mostres habituals d'àrees de l'ordre del cm<sup>2</sup>. Per a la caracterització de l'AFM-GOX i el T-GOX amb CAFM s'utilitzarà la configuració de capçal petit (Fig. 3.12.a), ja que no caldrà treballar amb oblies senceres. El fet que no sigui necessari treballar amb oblies senceres és degut a que l'oxidació amb AFM és en aquest cas l'última etapa del procés de fabricació de les estructures de test. Per tant, com que la mostra no es sotmetrà a cap procés microelectrònic (que requereixen oblies senceres) amb posterioritat a l'oxidació amb AFM, es pot tallar una part de la mostra amb les dimensions més apropiades.

De la mateixa manera que per a la caracterització topogràfica, per a la fabricació de les estructures per la caracterització elèctrica de l'AFM-GOX s'ha partit de capacitats MOS microelectròniques fabricades amb el joc de màscares CNM04. Aquestes capacitats són idèntiques a les utilitzades per la caracterització topogràfica però amb un T-GOX de 3nm de gruix. Concretament s'ha treballat amb les capacitats on el GOX forma un quadrat de 80µm×80µm de costat. S'ha eliminat l'elèctrode de porta mitjançant el gravat humit descrit a 3.1.1. En algunes mostres la capa de 3nm de gruix de T-GOX s'ha conservat com a referència (quedant una estructura com la representada a Fig. 3.2.b). Per la resta de mostres el T-GOX s'ha eliminat (gravat humit descrit a 3.1.1) per deixar al descobert el substrat de Si (Fig. 3.2.c). Després de l'eliminació del T-GOX, es va procedir a la formació de diversos quadrats d'òxid de 2µm×2µm mitjançant AFM, utilitzant un voltatge d'oxidació de 6V i una velocitat d'oxidació de 1µm/s. Amb aquests paràmetres d'oxidació es va créixer AFM-GOX de 3nm de gruix, tal com s'ha determinat a partir de la caracterització topogràfica. Només es van utilitzar distàncies interlineals de 15nm per tal d'assegurar una capa d'òxid homogènia on es puguin mesurar diverses corbes I-V.

Per a la caracterització elèctrica d'aquests òxids, es va triar un estrès elèctric (veure secció 1.2) consistent en rampes de voltatge (RVS de l'anglès Ramped Voltage Stress). S'ha optat per aquest tipus de test perquè es desitja estudiar com depenen els modes de conducció de l'AFM-GOX amb el voltatge de porta i comparar-los amb els del T-GOX. Els estressos que es van aplicar amb CAFM pels dos tipus d'òxid (AFM-GOX i T-GOX) van consistir en rampes de voltatge des de 0V fins a diversos voltatges negatius, aplicats al substrat (la punta està sempre connectada a terra). Amb aquesta configuració els electrons s'injecten des de la interfície SiO<sub>2</sub>-Si, que està molt més ben definida que el contacte punta CAFM - SiO<sub>2</sub>. A més a més, així s'evita una oxidació anòdica addicional de la superfície sota estudi. Per aquest experiment el rang de mesura de

corrent del CAFM és de 0.5pA (determinat pel soroll elèctric) fins a 30pA. Malgrat aquests nivells de corrent tant baixos, com que l'àrea de contacte entre punta i mostra és de l'ordre de 300nm<sup>2</sup>, la densitat de corrent que indueix el CAFM és prou gran com per causar la degradació i ruptura dielèctrica de l'òxid [Porti 02b].

### 3.2.3. Fabricació de mostres i estressos elèctrics per la caracterització estàndard

Per les estructures de test caracteritzades amb CAFM, la pròpia punta del CAFM actua com terminal de porta al contactar sobre el GOX. Per a la caracterització mitjançant analitzador de semiconductors + taula de puntes (Fig. 2.1.a) cal que les estructures de test tinguin una porta dipositada, i que el contacte punta – terminal de porta no es faci sobre la vertical del GOX, perquè amb la pressió del contacte el GOX es trencaria mecànicament. A més, l'àrea de la regió de contacte (pad) ha de ser prou gran (quadre de l'ordre de 40-50µm de costat) per poder posicionar la punta adequadament.

Amb AFM es pot dipositar metall (de la metal·lització de la seva punta) mitjançant una descàrrega ràpida amb voltatge elevat, però no es poden definir uns quadrats de metall (o poly-Si) tan grans com les dimensions requerides per fer el contacte amb la punta de la taula de puntes. Per això, es va decidir que una vegada realitzades les oxidacions de porta (AFM-GOX o T-GOX), el terminal de porta es definiria i es dipositaria mitjançant procediments microelectrònics. Aquests processos necessiten treballar amb oblies senceres, el que provoca que per realitzar les oxidacions amb AFM s'hagi d'utilitzar la configuració de capçal gran (Fig. 3.12.b).

Els experiments realitzats durant la caracterització topogràfica han permès comprovar que no es poden oxidar quadrats d'òxid amb els tamanys habituals de les àrees actives de les capacitats de test microelectròniques (quadrats de desenes de micres de costat). L'àrea màxima que es pot oxidar d'una forma raonable amb AFM està limitada bàsicament per: (a) el temps total d'oxidació, que no pot ser massa gran per tal que no apareguin derives en els piezoelèctrics, i (b) per la vida útil de la punta, ja que en funció del paràmetres d'oxidació es degradaran les seves propietats massa ràpidament. A efectes experimentals, en el nostre cas aquestes limitacions impliquen que els quadrats d'AFM-GOX han de tenir menys de 5 µm de costat.

Els jocs de màscares disponibles al CNM no s'adaptaven als requisits necessaris per a la fabricació d'una capacitat MOS amb AFM-GOX, ja que els tamanys de les capacitats que permetien fabricar estaven sempre ordres de magnitud per sobre de l'àrea màxima que l'AFM pot oxidar de forma raonable. Per tant ha estat necessari dissenyar un joc de màscares específic. La màscara n°1, que s'utilitza per definir el gravat del FOX (Fig. 3.14.a), permet disposar d'uns patrons prou grans per localitzar-los amb el microscopi òptic (50×40µm<sup>2</sup>) i en un costat d'aquest, unes finestres fins al substrat (rectangle de 10µm ×3µm a la Fig. 3.14.a), prou petites com per poder oxidar-les amb AFM. La màscara n°2 (Fig. 3.14.b) defineix l'àrea del terminal de porta on farà contacte la punta de la taula de puntes.

Qualitativament, el procés de fabricació ha consistit en (Fig. 3.14): una oxidació de camp de les oblies (Fig. 3.14.c), obertura de finestres en l'òxid de camp per accedir al substrat (Fig. 3.14.d i e), llavors s'ha realitzat l'oxidació de porta (tèrmica o AFM) (Fig.

3.14.f i g), i per últim s'ha dipositat la porta de poly-Si (Fig. 3.14.h i i). Cal remarcar que l'obertura de finestres en algunes estructures s'ha realitzat mitjançant un gravat humit, per tal de tenir un pendent suau del FOX que permeti a la punta de l'AFM oxidat tota l'àrea on el Si ha quedat al descobert. També s'han fabricat estructures amb T-GOX, per ser utilitzades com a referència.

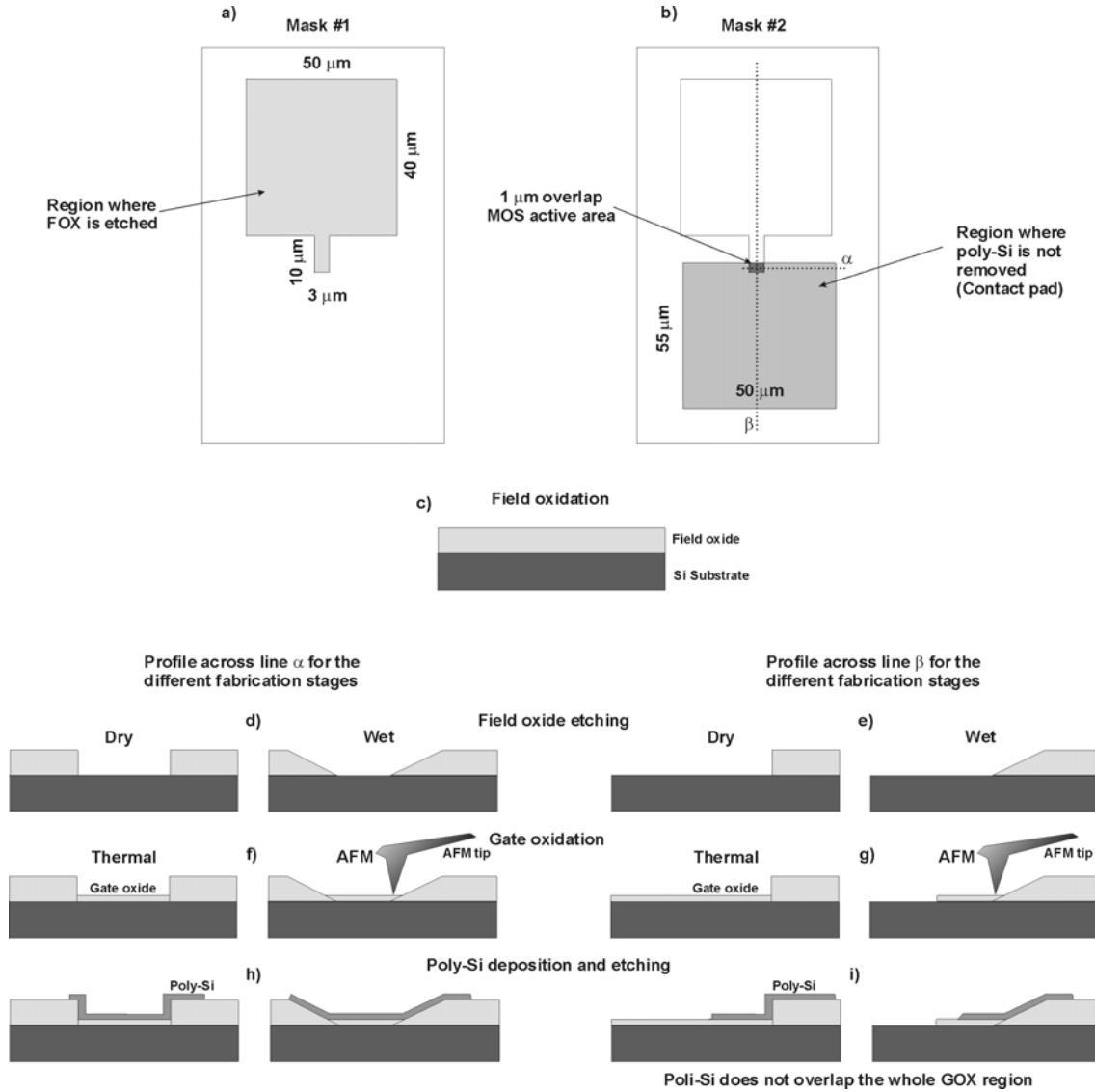


Fig. 3.14. Màscares utilitzades per gravar l'òxid de camp (a) i el poly-Si que forma el terminal de porta (b). Les figures (c-i) il·lustren el procés de fabricació de les mostres utilitzades per a la caracterització de l'AFM-GOX mitjançant tècniques estàndard: (c) oxidació de camp, (d i e) obertura de finestres per accedir al substrat, (f i g) oxidació tèrmica o AFM i (h i i) mostra terminada després de la deposició i gravat del poly-Si. Cal remarcar que l'àrea activa de les capacitats MOS fabricades no coincideix amb l'àrea de les regions on s'ha produït oxidació de porta, ja que el poly-Si només cobreix l'última micra de l'apèndix que té la finestra oberta en l'òxid de camp. Per tant l'àrea activa és  $1\mu\text{m} \times 3\mu\text{m}$  (amplada de l'apèndix)  $\approx 3\mu\text{m}^2$ .

Les mostres descrites en aquesta secció tenen substrat de Si(100) dopat tipus n amb fòsfor ( $10^{15}\text{cm}^{-3}$ ), l'òxid de camp (oxidació tèrmica humida a  $1100^\circ\text{C}$ ) té un gruix de  $1\mu\text{m}$  i el gruix del T-GOX (oxidació tèrmica seca a  $800^\circ\text{C}$ ) és de 3.5 o  $4.5\text{nm}$  en funció de la mostra. Com a terminal de porta s'ha utilitzat poly-Si dopat tipus n. L'AFM-GOX,

consisteix en quadrats homogenis de 4nm de gruix i 3µm×3µm d'àrea, generats a partir de línies paral·leles d'òxid amb distància interlineal de 15nm. El gruix de l'AFM-GOX es va determinar a partir de les imatges AFM adquirides abans (mesura de l'alçada de l'òxid) i després (mesura de la profunditat de la zona gravada) de l'eliminació de l'AFM-GOX. L'oxidació de l'AFM-GOX es va realitzar amb puntes de Si recobertes de Ti, amb un voltatge d'oxidació de 12V (la punta està connectada a terra) i una velocitat d'oxidació de 1µm/s. Les oxidacions tèrmiques, la obertura de finestres i la deposició del poly-Si es van realitzar sota condicions de sala blanca. L'oxidació amb AFM i els experiments de caracterització es van desenvolupar en condicions ambient. L'àrea activa de les estructures MOS (indicada en gris fosc en la Fig. 3.14.b), definida per l'àrea solapada entre el GOX i el poly-Si, és de l'ordre de 3µm<sup>2</sup>. Cal remarcar que l'àrea activa de les capacitats MOS fabricades no coincideix amb l'àrea de les regions on s'ha produït oxidació de porta, ja que el poly-Si només cobreix la última micra de l'apèndix que té la finestra oberta en l'òxid de camp (Fig. 3.14b i i).

Per a la caracterització elèctrica de l'AFM-GOX, els estressos que es van aplicar pels dos tipus d'òxid van consistir en rampes de voltatge de 0V fins a 10V, que mitjançant la taula de puntes es van aplicar al terminal de porta, mentre el substrat es mantenia connectat a terra. Aquesta configuració experimental (analitzador de semiconductors + taula de puntes) permet mesurar un rang de corrent molt més gran (típicament des de desenes de fA fins 100mA) que un CAFM, però a costa de perdre informació local, ja que les magnituds mesurades estan promitjades sobre tota l'àrea de test, que és molt més gran que per les mesures realitzades amb CAFM (µm<sup>2</sup> vs. ~300nm<sup>2</sup>).

### 3.2.4. Comparació del comportament elèctric de l'AFM-GOX i el T-GOX

La caracterització elèctrica que es realitza en aquesta secció es centra en l'estudi dels modes de conducció que es donen durant l'aplicació de rampes de voltatge. Els experiments realitzats en capacitats MOS amb porta dipositada permeten avaluar la viabilitat de la fabricació d'un dispositiu MOS amb AFM-GOX com dielèctric actiu. Com aspecte negatiu, cal fer notar que aquests resultats no permeten comparar directament les propietats dielèctriques de l'AFM-GOX i el T-GOX, ja que les característiques mesurades proporcionen informació del comportament global del dispositiu. Aquest comportament és una combinació de les prestacions de la capa de GOX i de l'èxit de la integració de l'oxidació amb AFM en el procés complet microelectrònic. Per això, una vegada presentats els resultats obtinguts mitjançant analitzador de semiconductors i taula de puntes, es passarà a analitzar la caracterització realitzada amb CAFM en les mostres sense porta dipositada. Aquest experiment permetrà una comparació directa de la conducció a través d'ambdós tipus d'òxid.

Des del punt de vista de la caracterització elèctrica, els resultats obtinguts mitjançant analitzador de semiconductors en capacitats amb porta de poly-Si mostren que algunes estructures (tant per T-GOX com per AFM-GOX) presenten característiques I-V típiques d'una capacitat trencada, és a dir, nivells de corrent alts fins i tot per voltatges baixos (Fig. 3.15 línia de punts). A partir dels paràmetres de fabricació, s'ha estimat que la capacitat d'aquestes estructures és d'uns 100fF, i per tant les càrregues electrostàtiques de l'ambient podrien induir algunes vegades voltatges suficientment alts com per provocar la ruptura de les estructures abans de l'aplicació de la rampa de

voltatge. Aquestes estructures no es consideren per a l'anàlisi de les propietats elèctriques dels òxids. En qualsevol cas suposen un problema de rendiment que s'haurà de solucionar de cara a futurs runs.

Per la majoria d'estructures, la ruptura es produeix per l'aplicació de la rampa de voltatge. A la figura 3.15 es representen característiques I-V típiques obtingudes per AFM-GOX de 4nm de gruix (línia + triangles), T-GOX de 4.5nm de gruix (línia + quadrats) i T-GOX de 3.5nm de gruix (línia + cercles). També s'inclou la característica I-V pròpia d'una estructura que ha experimentat ruptura dielèctrica. Aquesta figura mostra que la ruptura dielèctrica té lloc al voltant dels 6-8V pel T-GOX pels òxids de 3.5 i 4.5nm respectivament. Per l'AFM-GOX s'observa un gran increment de corrent a 2V, que es pot considerar ruptura, ja que el corrent assoleix els nivells propis d'una estructura trencada. A més a més, el nivell de corrent a través de l'AFM-GOX per voltatges inferiors al de ruptura (~2V) és diversos ordres de magnitud superior que el mesurat en òxids tèrmics al mateix voltatge. Encara que es preveia que l'AFM-GOX exhibís un comportament dielèctric pitjor que el T-GOX (se sap que l'AFM-GOX conté força defectes [Dagata 98b]), la gran diferència en les característiques I-V per voltatges baixos pot estar causada per aspectes relacionats amb la integració de l'oxidació AFM en el procés CMOS. Per exemple, la deposició de metall de la punta de l'AFM durant el procés d'oxidació [Perez 95] pot ser un problema quan s'avalua la totalitat del quadrat d'òxid crescut en ambient. De totes maneres, encara que aquests factors extrínsecs dificulten la comparació directa de la fiabilitat intrínseca dels dos tipus de GOX, aquest experiment evidencia la viabilitat de la integració de l'AFM-GOX en dispositius CMOS.

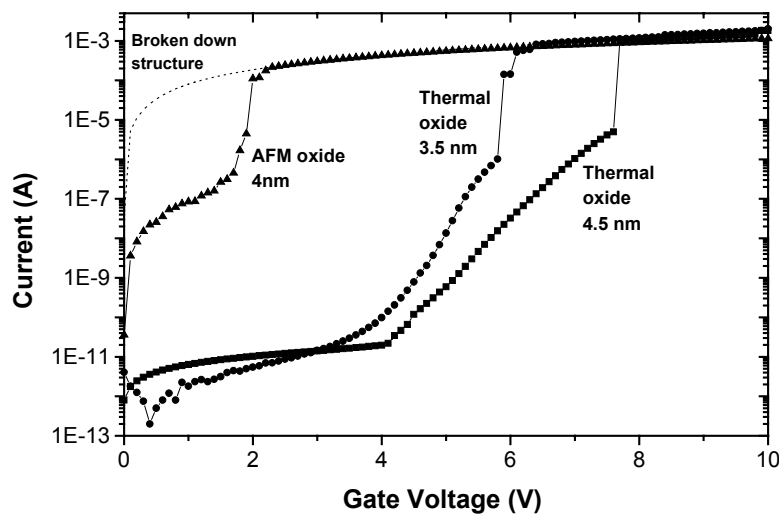


Fig. 3.15. Característiques I-V, adquirides durant l'aplicació de rampes de voltatge en estructures MOS amb AFM-GOX (triangles) i amb T-GOX (cercles i quadrats). Les estructures tenen un terminal de porta de poly-Si que cobreix l'òxid de porta, i han estat estressades utilitzant analitzador de semiconductors i taula de puntes.

Les mesures realitzades amb analitzador de semiconductors + taula de puntes, com ja s'ha mencionat a la secció 3.2.3, ofereixen uns resultats obtinguts sobre tota l'àrea en que es solapen l'òxid de porta i el poly-Si del terminal de porta, que és de l'ordre d'unes  $3\mu\text{m}^2$ . En canvi, les corbes I-V mesurades amb CAFM caracteritzen àrees de l'ordre de  $300\text{nm}^2$  (és a dir unes 10000 vegades més petites), en dispositius MOS sense porta



dipositada que no necessiten la integració de l'oxidació AFM en un procés CMOS. Per tant, utilitzant CAFM s'aconsegueix una comparació directa d'ambdós tipus d'òxid a escala nanomètrica.

A la figura 3.16 es representa una característica I-V típica per cadascun dels dos tipus d'òxid sota estudi. Després d'estudiar desenes de corbes I-V adquirides amb CAFM, s'observa que per cada tipus d'òxid les característiques tenen un rang de dispersió: els conjunts de corbes estan agrupats i presenten pendents similars, però amb desplaçaments en l'eix de voltatge. La figura 3.16 mostra també el rang de dispersió per l'AFM-GOX (zona entre les línies discontinües) i pel T-GOX (zona entre les línies puntejades). La dispersió dins d'un conjunt de corbes I-V mesurades en un mateix tipus d'òxid està causada per petites variacions en el gruix local i en les propietats elèctriques del GOX [Porti 02b] (com càrregues atrapades o defectes estructurals) en les diferents posicions de la capa dielèctrica. Les variacions locals del gruix, que són una conseqüència directa de la rugositat intrínseca de la capa dielèctrica, i els defectes elèctrics, que modifiquen l'alçada de la barrera túnel, poden causar grans variacions en el corrent mesurat degut a la dependència exponencial (tipus FN) del corrent de porta amb aquests dos paràmetres.

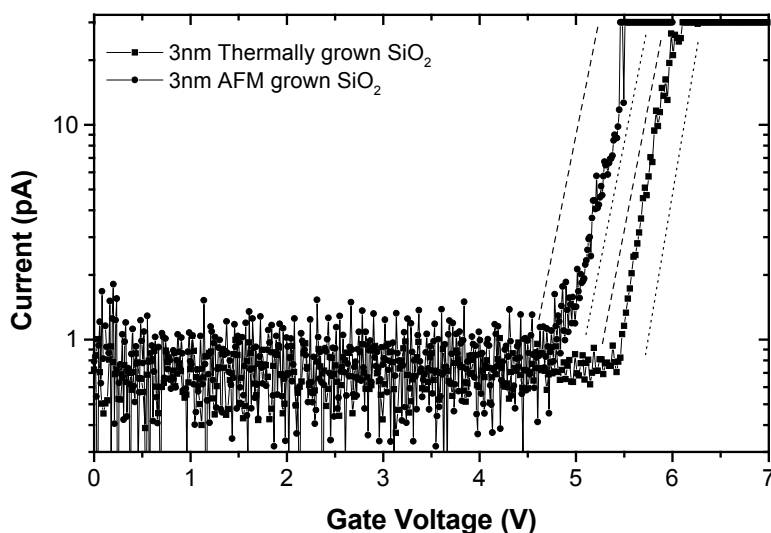


Fig. 3.16. Característiques I-V mesurades amb CAFM d'estructures MOS amb AFM-GOX (cercles) i T-GOX (quadrats). El gruix de la capa d'òxid és de 3nm en ambdós casos. S'ha representat també el rang de dispersió de les corbes per l'AFM-GOX (zona entre línies discontinües) i pel T-GOX (zona entre línies puntejades).

Les corbes I-V exhibeixen comportament Fowler-Nordheim (FN) [Fowler 28, DiMaria 93] pels dos òxids. La comparació de les característiques I-V mostra que els rangs de dispersió estan parcialment solapats, però amb un desplaçament promig de les característiques de l'AFM-GOX de  $\sim 0.5V$  cap a voltatges més petits. És a dir, que per un determinat voltatge la característica corresponent a l'AFM-GOX presenta un nivell de corrent més elevat. El corrent a través de l'AFM-GOX és aproximadament unes 20 vegades superior que el corrent que travessa el T-GOX. El desplaçament promig de les característiques I-V de l'AFM-GOX cap a voltatges més baixos indica que el seu comportament dielèctric no és tant bo com el del T-GOX. La diferència de qualitat es podria atribuir a la generació de defectes durant el procés d'oxidació AFM, prèviament

mencionada. Aquests defectes es podrien eliminar parcialment, i per tant es milloraria la qualitat de l'AFM-GOX, mitjançant un procés de recuit posterior al creixement de l'òxid.

Cal mencionar que a escala nanomètrica (dispositius més petits) les propietats d'ambdós tipus d'òxid són molt més semblants que les obtingudes amb tècniques de caracterització elèctrica estàndard (dispositius més grans). Aquest fet, obre una porta a la utilització de l'AFM-GOX en un futur, ja que l'escalat continu de dimensions que porta a terme la indústria microelectrònica comporta que l'escala de treball dels dispositius MOS sigui la nanomètrica.

### 3.3 Resum

Tot i l'interès dedicat a l'AFM com eina nanolitogràfica, l'òxid de silici crescut amb AFM no ha estat utilitzat com òxid de porta (AFM-GOX, de l'anglès AFM grown Gate Oxide). Per això les seves propietats com dielèctric actiu resulten pràcticament desconegudes. En aquest capítol l'AFM-GOX s'ha caracteritzat topogràfica i elèctricament, i s'ha comparat amb el SiO<sub>2</sub> crescut tèrmicament (T-GOX, de l'anglès Thermally grown Gate Oxide), que és el dielèctric de porta utilitzat habitualment en els dispositius MOS actuals. La finalitat d'aquesta comparació és determinar si l'AFM-GOX pot reemplaçar el T-GOX com òxid de porta en alguns dispositius nanoelèctronics. Això permetria la fabricació d'estructures MOS extremadament petites amb una configuració experimental relativament senzilla.

En primer lloc s'ha presentat la caracterització topogràfica de l'AFM-GOX i el T-GOX. Aquest punt s'ha centrat en l'estudi de la rugositat de la superfície dels GOX i de la interfície entre els GOX i el Si del substrat. L'objectiu d'aquest estudi ha estat avaluar si mitjançant AFM es pot créixer una capa de SiO<sub>2</sub> d'un gruix tan homogeni com el que es pot aconseguir en la fabricació de T-GOX. A partir dels mapes topogràfics adquirits amb AFM, s'han mesurat valors de rugositat per l'AFM-GOX del mateix ordre que els corresponents al T-GOX.

Donat que els resultats proporcionats per la caracterització topogràfica mostren que es pot fabricar una capa d'AFM-GOX amb la mateixa uniformitat de gruix que una capa de T-GOX, s'ha procedit a realitzar la caracterització elèctrica de l'AFM-GOX, mitjançant tècniques estàndard (analitzador de semiconductors i taula de puntes) i mitjançant CAFM. Per la realització de la caracterització elèctrica amb tècniques estàndard, l'oxidació amb AFM ha estat integrada dintre d'un procés microelectrònic CMOS, pel qual s'ha dissenyat un joc de màscares específic.

Els resultats proporcionats per les tècniques de caracterització estàndard mostren que l'AFM-GOX pateix la ruptura dielèctrica per voltatges inferiors que el T-GOX. A més a més, el nivell de corrent a través de l'AFM-GOX per voltatges inferiors al de ruptura és diversos ordres de magnitud superior que el mesurat en òxids tèrmics al mateix voltatge. El fet que les capacitats MOS amb AFM-GOX mostrin un comportament elèctric inferior pot estar parcialment causat per aspectes relacionats amb la integració de l'oxidació AFM en el procés CMOS. En qualsevol cas, encara que aquests factors extrínsecs dificulten la comparació directa de la fiabilitat dels dos tipus de GOX, aquest

experiment evidencia la viabilitat de la integració de l'AFM-GOX en dispositius CMOS.

Per la seva banda, la caracterització amb CAFM permet una comparació directa d'ambdós tipus d'òxid a escala nanomètrica. Els test realitzats amb aquesta tècnica han revelat que les corbes I-V exhibeixen comportament Fowler-Nordheim (FN) pels dos tipus d'òxid. Les característiques I-V de l'AFM-GOX presenten un desplaçament promig cap a voltatges més baixos. Això indica que el seu comportament dielèctric no és tant bo com el del T-GOX. La diferència de qualitat es podria atribuir a la generació de defectes durant el procés d'oxidació AFM. Aquests defectes es podrien eliminar parcialment, i per tant millorar la qualitat de l'AFM-GOX, mitjançant un procés de recuit posterior al creixement de l'òxid. En qualsevol cas, a escala nanomètrica les propietats d'ambdós tipus d'òxid són molt més semblants que a escala microelectrònica, el que apunta a que l'AFM-GOX pugui substituir al T-GOX en alguns dispositius MOS de dimensions nanomètriques.



# 4

## **Caracterització de dielèctrics d'alta permitivitat mitjançant CAFM i ECAFM**

La indústria microelectrònica ha optat des dels seus orígens per la continua reducció de les dimensions dels dispositius MOS, per tal d'oferir unes prestacions cada vegada millors. Aquesta reducció de dimensions ha comportat l'aparició de problemes físics i tecnològics que s'han anat solucionant progressivament. Actualment, un dels problemes més importants que queden per resoldre és la reducció del corrent de porta (per efecte túnel) que es dona en els dispositius MOS amb capes ultra primes de SiO<sub>2</sub>. Com s'ha vist a les seccions 1.3 i 1.4, una de les opcions triada majoritàriament per a la reducció del corrent de porta és la substitució del SiO<sub>2</sub> com dielèctric de porta per un altre material amb una permitivitat superior.

Aquesta transició no és senzilla, ja que exceptuant una constant dielèctrica relativament baixa, la resta de propietats del SiO<sub>2</sub> són excel·lents. El material escollit per reemplaçar el SiO<sub>2</sub> haurà de complir uns requisits en aspectes com: a) permitivitat i alçada de barrera, b) estabilitat termodinàmica amb el Si del substrat, c) interfícies de qualitat, d) morfologia de la capa, e) compatibilitat amb el material del terminal de porta, f) i amb els processos CMOS, i g) fiabilitat (veure secció 1.4). Aquest capítol es centra en l'estudi de dos dels punts llistats: la compatibilitat dels high-k amb processos CMOS a alta temperatura i la caracterització del seu comportament elèctric i fiabilitat.

Diversos grups han estudiat la influència de tractaments tèrmics en les característiques elèctriques de dispositius MOS amb materials high-k com dielèctrics de porta [Lin 02, Cho 02, Barret 04, Bastos 04, Chang 04, He 05]. S'ha observat que quan els dispositius es sotmeten a temperatures de recuit prou altes (que depenen del material i de les condicions experimentals concretes) el seu comportament elèctric empitjora [Cho 02b, Tzeng 05]. Igualment s'ha dedicat un esforç molt important a estudiar els processos de degradació i ruptura dielèctrica en dispositius MOS amb dielèctrics de porta high-k. Els principals resultats d'aquests treballs s'han summaritzat a la secció 1.4.2.

La caracterització elèctrica dels dispositius MOS en tots aquests experiments s'ha dut a terme utilitzant tècniques estàndard (analitzador de semiconductors i/o mesurador

d'impedàncies + taula de puntes). Aquests experiments proporcionen resultats globals de tota l'àrea de la porta, quedant emmascarats fenòmens d'escala nanomètrica de vital importància per a la comprensió dels processos que han tingut lloc. Utilitzant microscopies de sonda propera es poden estudiar aquests fenòmens.

En un percentatge elevat dels estudis referents a dielèctrics high-k publicats en els darrers anys es treballa amb compostos de Hafni, fruit del fet que una part important de la comunitat científica coincideix que el material que reemplaci al SiO<sub>2</sub> serà un d'aquests compostos. És per això que en aquesta tesi, d'entre l'ampli ventall existent de candidats per substituir al SiO<sub>2</sub>, s'ha triat com objecte d'estudi diversos compostos de Hf.

En aquest capítol, en primer lloc es presenta l'estudi realitzat mitjançant CAFM sobre la influència de la temperatura de recuit en les propietats topogràfiques i elèctriques de capes ultra primes de dielèctrics d'alta permitivitat en estructures MOS (**Article C**). En la segona part del capítol es mostren els resultats obtinguts en l'estudi a escala nanomètrica (amb CAFM i ECAFM) de la conducció elèctrica i la ruptura dielèctrica en estructures MOS amb dielèctric de porta d'alta permitivitat (**Article E**).

#### **4.1 Compatibilitat del HfAlO<sub>x</sub> amb processos de recuit a temperatures elevades.**

Dintre d'un procés CMOS complet es troben diversos processos a alta temperatura com per exemple: etapes d'activació del dopatge del terminal de porta o etapes de recuit després de la deposició (o qualsevol altre tècnica de creixement) del dielèctric de porta, per millorar les seves característiques elèctriques. En el cas dels materials high-k els processos a temperatures prou elevades comporten un empobriment de les seves propietats elèctriques. Per això, per un costat s'està treballant en la substitució del poly-Si com a material del terminal de porta per aliatges metàl·lics (entre altres raons perquè no necessiten l'etapa d'activació del dopatge), i per l'altre en l'estudi detallat de quines són les temperatures de recuit apropiades.

L'objectiu principal de l'estudi que es presenta en aquesta secció és determinar com depèn a escala nanomètrica la conducció elèctrica a través d'una capa ultra prima high-k quan es sotmet a un procés de recuit, per tal d'optimitzar aquest procés. S'ha triat el HfAlO<sub>x</sub> (format per una barreja de HfO<sub>2</sub> i Al<sub>2</sub>O<sub>3</sub>) com a material de treball perquè combina una constant dielèctrica relativa adequada (k en el rang de 10-30) provinent del HfO<sub>2</sub>, amb una bona estabilitat amb el SiO<sub>2</sub> fruit del Al<sub>2</sub>O<sub>3</sub>. A més a més, els estudis preliminars realitzats mitjançant tècniques estàndard de caracterització elèctrica [IMEC] mostraven un comportament dielèctric prometedori.

En primer lloc es descriu la configuració experimental utilitzada pels experiments de caracterització topogràfica i elèctrica de capes ultra primes de HfAlO<sub>x</sub> sotmeses a diferents temperatures de recuit. A continuació es presenten els resultats obtinguts fruit de la utilització conjunta de CAFM i TEM. La utilització d'aquestes dues tècniques de forma combinada permet determinar tant l'evolució de la conducció elèctrica, com els canvis que es produeixen en la morfologia de les capes.

#### 4.1.1. Configuració experimental

Les mostres estudiades han consistit en (Fig. 4.1) un dielèctric de porta bicapa (*stack*) format per una capa de 5nm de gruix de HfAlO<sub>x</sub> crescut mitjançant Atomic Layer Chemical Vapor Deposition, a sobre d'una capa interfacial de 0.5nm (nominal) de Rapid Thermal Oxide (RTO) SiO<sub>2</sub>, per evitar reaccions incontrolades amb les oblies de Si tipus p ( $N_A \sim 10^{15} \text{cm}^{-3}$ ) que s'han utilitzat com substrat. Considerant la constant dielèctrica relativa ( $k_{\text{HfAlO}_x}$ ) del HfAlO<sub>x</sub> aproximadament igual a 14 [IMEC], el gruix d'òxid equivalent (EOT) de l'estructura és  $\sim 1.9\text{nm}$ . Les oblies van ser sotmeses a una etapa de recuit en N<sub>2</sub> durant 1 min a diferents temperatures ( $T_A$ ) entre 700°C i 1000°C. Algunes oblies no van ser sotmeses al recuit per utilitzar-les com referència.

La caracterització d'aquestes estructures ha estat realitzada amb un CAFM Digital Instruments 3100 en condicions ambient, equipat amb puntes de silici recobertes de diamant o de PtIr (amb constants de força en el rang 0.07-0.4N/m en ambdós casos). La punta del CAFM treballa en contacte amb la superfície del HfAlO<sub>x</sub>, actuant com terminal de porta i formant per tant una capacitat MOS d'àrea delimitada per la superfície de contacte punta - mostra. Aquesta àrea s'ha determinat experimentalment, obtenint un valor de pocs centenars de nm<sup>2</sup> (una mica menor en el cas de les puntes recobertes de PtIr).

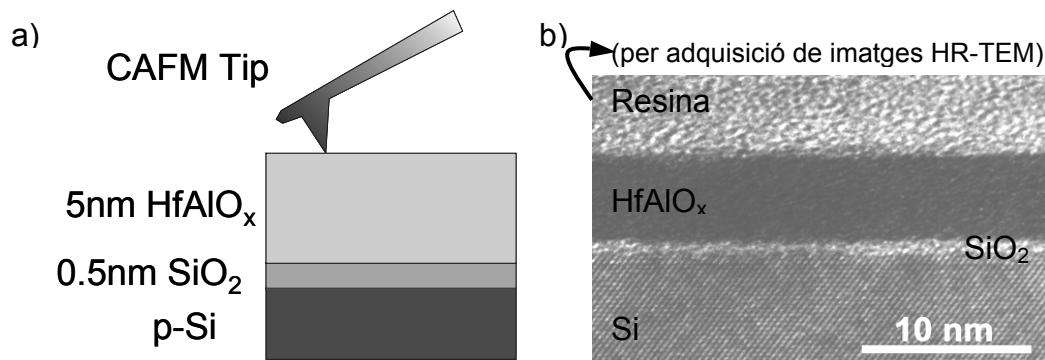


Fig. 4.1. Esquema (a) i imatge HR-TEM (b) de les mostres utilitzades per l'estudi de la influència de la temperatura de recuit en les propietats morfològiques i elèctriques del HfAlO<sub>x</sub>.

Per totes les mostres s'han adquirit: a) mapes topogràfics, per estudiar la morfologia de la superfície, b) mapes de corrent, per estudiar les variacions espacials de la conductivitat i c) característiques intensitat – voltatge (I-V), per estudiar la dependència de la conducció amb el voltatge. Cadascuna de les característiques I-V està composta de dues corbes: la primera corresponent a una rampa de voltatge de 0V fins a  $\sim -7.5\text{V}$  (rampa d'anada) i la segona corresponent a una rampa de voltatge de  $\sim -7.5\text{V}$  fins a 0V (rampa de tornada). El rang de corrent mesurable és de  $\sim 30\text{fA}$  (fixat pel nivell de soroll elèctric) fins 100pA. Per l'adquisició dels mapes de corrent i les característiques I-V, el substrat s'ha polaritzat negativament respecte a la punta del CAFM (connectada a terra), és a dir que l'estructura MOS es troba en inversió. Amb aquesta configuració els electrons s'injecten des de la interfície SiO<sub>2</sub>-Si, que està molt més estudiada que el contacte punta CAFM-SiO<sub>2</sub>. A més a més, així s'evita una oxidació anòdica adicional de la superfície sota estudi.

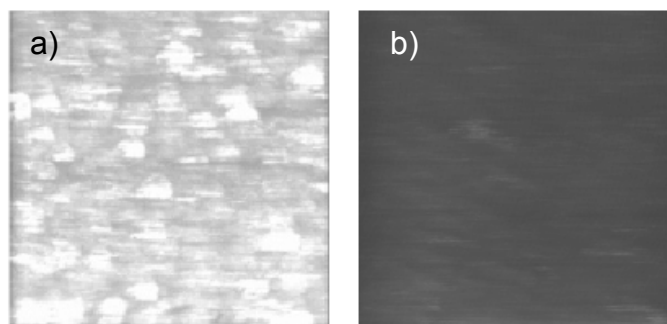


Fig. 4.2. Imatges abans (a) i després (b) de la degradació (pèrdua) de les propietats elèctriques d'una punta de Diamant sobre high-k. L'àrea de la regió escombrada és de  $2 \times 2 \mu\text{m}^2$  i el rang de corrent és de 0pA (negre) fins 20pA (blanc).

Cal mencionar que des del punt de vista de l'adquisició de mapes elèctrics, la vida útil d'una punta és molt menor quan treballa sobre els materials high-k estudiats, que quan treballa sobre  $\text{SiO}_2$ . Després de la realització de pocs escombrats (en zones properes i per tant amb propietats elèctriques suposadament similars) és necessari aplicar més voltatge entre punta i mostra per mesurar els mateixos nivells de corrent. La figura 4.2 il·lustra aquest fenomen: els dos mapes elèctrics han estat obtinguts amb la mateixa punta (Diamant) nova (Fig. 4.2.a) i després de la realització de 10 escombrats de  $2 \times 2 \mu\text{m}^2$  (Fig. 4.2.b). S'ha aplicat el mateix voltatge punta – mostra per l'obtenció dels dos mapes (6V) però mentre que pel primer el corrent mitjà mesurat és de  $\sim 5\text{pA}$ , pel segon és de  $\sim 0.2\text{pA}$ . El nombre concret d'escombrats que es poden realitzar depèn de les condicions experimentals: dimensions del mapa a adquirir, velocitat d'escombrat, força punta – mostra i/o material de la punta. Tot i així, no es coneix quin és el motiu d'aquesta pèrdua de conducció de la punta.

Tenint en compte el punt anterior, ambdós tipus de puntes utilitzades presenten avantatges i inconvenients: mentre que les puntes recobertes de PtIr ofereixen una millor resolució espacial (degut al seu radi de corbatura inferior), les puntes recobertes de diamant presenten una durabilitat més gran, permetent adquirir més mapes elèctrics abans de començar a perdre les seves propietats elèctriques. En qualsevol cas, tots els mapes topogràfics i elèctrics que es mostren han estat obtinguts prèviament a l'aparició de la degradació de les propietats elèctriques de la punta.

Com tècnica auxiliar per estudiar la morfologia interna de les capes de  $\text{HfAlO}_x$ , s'ha utilitzat un microscopi electrònic d'alta resolució [Spence 03] (HR-TEM) Jeol 200CX. Amb aquest instrument s'han adquirit imatges de seccions transversals i planars de les mostres recuïtes a les diferents  $T_A$ .

#### 4.1.2. Dependència de les propietats elèctriques amb la temperatura de recuit

El corrent que es mesura en un punt determinat d'una capa dielèctrica depèn principalment del gruix físic i del valor d'alçada de barrera local de la capa. Per tal d'eliminar incògnites en el moment d'analitzar la conducció elèctrica, en primer lloc s'ha estudiat l'efecte de l'etapa de recuit sobre la morfologia de la superfície del dielèctric de porta.



A partir de mapes topogràfics de  $1 \times 1 \mu\text{m}^2$ , s'ha mesurat la rugositat superficial (considerada com la desviació estàndard de la distribució d'alçades) de la capa de  $\text{HfAlO}_x$ . Per totes les mostres (recuïtes i referència) s'han obtingut valors per sota de 0.1 nm (veure taula 4.1), el que implica que la superfície del dielèctric és molt plana i que els canvis que pogués causar el procés de recuit estan per sota de la resolució del CAFM (veure Fig. 4.3). Les imatges de les seccions transversals obtingudes amb HR-TEM conduïxen al mateix resultat: la superfície del  $\text{HfAlO}_x$  és molt suau per totes les  $T_A$ . Les figures 4.4.a i b mostren respectivament les seccions transversals de la mostra sense recuit i de la mostra sotmesa a un recuit a  $900^\circ\text{C}$ . Es pot observar que la superfície del  $\text{HfAlO}_x$  i la interfície  $\text{Si}/\text{SiO}_2$  són molt suaus en ambdós casos. Per  $T_A=900^\circ\text{C}$  la interfície  $\text{HfAlO}_x/\text{SiO}_2$  és rugosa (major dispersió de gruixos locals de la capa dielèctrica) i s'aprecia la presència de nanocristalls (indicats per el·lipses a la Fig. 4.4.b) en la capa high-k.

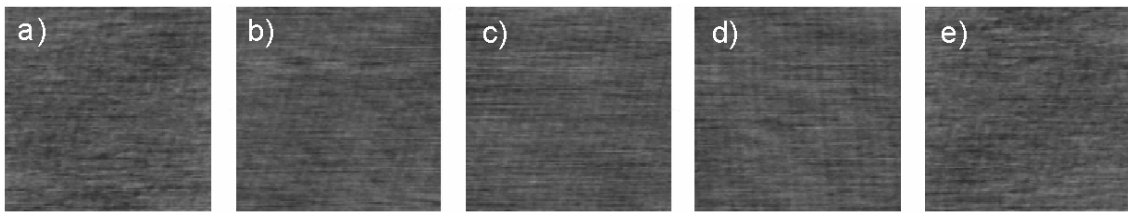


Fig. 4.3. Mapes topogràfics de mostres sotmeses a diferents temperatures de recuit: mostra referència sense recuit (a),  $700^\circ\text{C}$  (b),  $800^\circ\text{C}$  (c),  $900^\circ\text{C}$  (d),  $1000^\circ\text{C}$  (e). El tamany de les imatges és  $1 \mu\text{m} \times 1 \mu\text{m}$  i el rang d'alçades és de 0 nm (negre) fins 2 nm (blanc).

Temperatura de recuit ( $^\circ\text{C}$ )	rugositat (nm)
Sense recuit	0.096
700	0.092
800	0.090
900	0.099
1000	0.092

Taula 4.1. Rugositat mesurada per les diferents mostres a partir de mapes topogràfics com els de la Fig. 4.3.

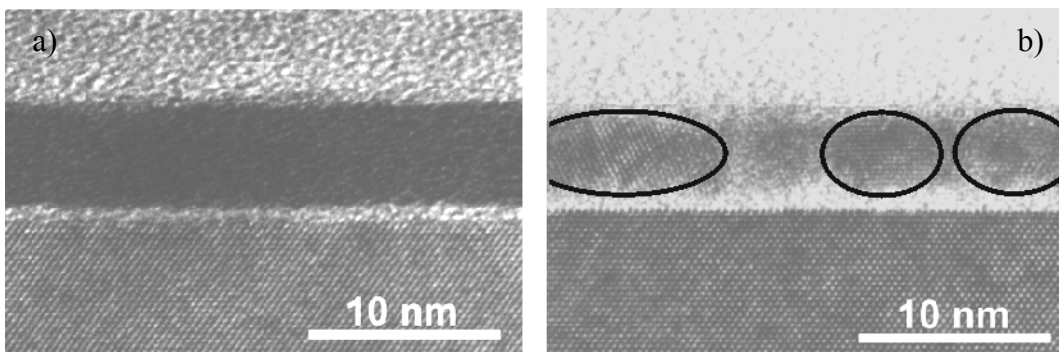


Fig. 4.4. Imatges de les seccions transversals obtingudes amb HR-TEM per una mostra sense recuit (a), i una mostra sotmesa a una etapa de recuit a  $900^\circ\text{C}$  (b). Per  $T_A=900^\circ\text{C}$  es pot observar la presència de grans cristal·lins (el·lipses) i una interfície high-k/ $\text{SiO}_2$  més rugosa.

Una vegada vista la influència de la temperatura de recuit en la morfologia de l'stack, es passarà a analitzar la conducció elèctrica de les mostres. Les propietats elèctriques de l'stack de porta s'han estudiat a partir dels mapes de corrent i les característiques I-V mesurades amb CAFM. Els mapes de corrent proporcionaran informació sobre la distribució espacial de la conductivitat de l'stack. La figura 4.5. mostra els mapes de corrent obtinguts per les mostres referència (no recuïtes) (a) i les mostres recuïtes a 800°C (b), 900°C (c) i 1000°C (d), amb un voltatge aplicat a la mostra de -6V. El tamany de les imatges és  $2\mu\text{m}\times 2\mu\text{m}$  i el rang de corrent per aquestes quatre imatges és de 0pA (negre) fins 20pA (blanc).

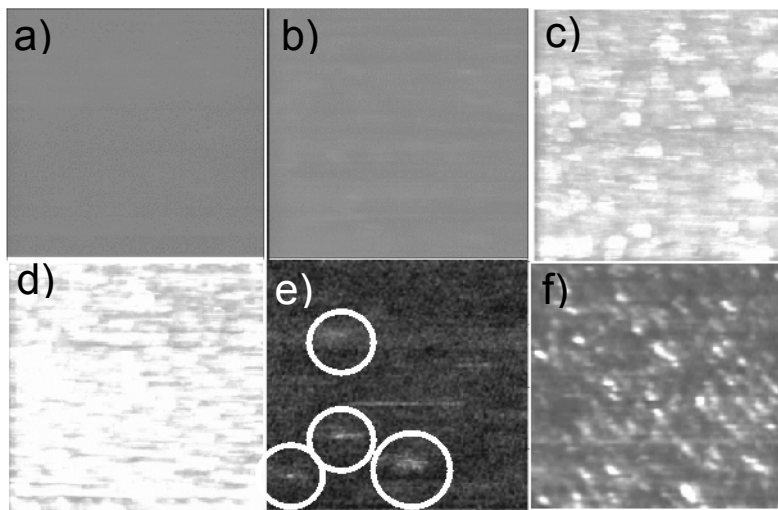


Fig. 4.5. Mapes de corrent dels stacks de porta sotmesos a diferents temperatures de recuit. L'adquisició s'ha realitzat mentre s'escombrava la superfície de la mostra aplicant un voltatge de -6V al substrat. Si no s'especifica el contrari, les imatges han estat obtingudes amb una punta recoberta de diamant. (a) Mostra referència sense etapa de recuit, (b)  $T_A=800^\circ\text{C}$ , (c)  $T_A=900^\circ\text{C}$ , (d)  $T_A=1000^\circ\text{C}$ . Per aquestes quatre imatges l'àrea de la regió escombrada és de  $2\times 2\mu\text{m}^2$  i el rang de corrent és de 0pA (negre) fins 20pA (blanc). (e) Zoom de  $1\times 2\mu\text{m}^2$  de (a), mostrant l'existència d'espots febles (més conductors). Per poder apreciar aquests espots s'ha reduït el rang de l'escala de corrent a 0pA (negre) fins 1pA (blanc). (f) Imatge de corrent ( $0.3\times 0.3\mu\text{m}^2$ ) obtinguda amb una punta recoberta de PtIr, de la mostra sotmesa a una etapa de recuit a  $900^\circ\text{C}$ . El rang de corrent és de 0pA (negre) fins 10pA (blanc).

Per mostres sotmeses a  $T_A < 900^\circ\text{C}$  i les mostres no recuïtes, s'ha mesurat un corrent promig de  $\sim 0.5\text{pA}$ . Aquest corrent flueix a través d'un àrea de pocs centenars de  $\text{nm}^2$ , que correspon a l'àrea de contacte punta - mostra. A partir de la distribució de corrents del mapa s'ha mesurat també la rugositat elèctrica (desviació estàndard de la distribució), obtenint un valor de  $0.1\text{pA}$ . Una ampliació de la figura 4.5.a (Fig. 4.5.e) revela que la conducció a través de l'stack no és completament homogènia, ja que s'observen espots febles amb una conductivitat superior al valor promig. A partir d'aquests mapes (adquirits utilitzant una punta de diamant) s'ha determinat que el radi dels espots febles és de l'ordre de 15-25nm. Per aquestes mostres, les imatges de secció transversal obtingudes amb HR-TEM (Fig. 4.4.a) evidencien que no només la superfície del  $\text{HfAlO}_x$  és molt suau si no també ambdues interfícies de l'òxid RTO. Tot i això, com pel cas de les capes ultra primes de  $\text{SiO}_2$  crescut tèrmicament [Porti 02b], ni el gruix de l'stack ni les seves propietats elèctriques són completament homogènies. Aquestes inhomogeneïtats a escala nanomètrica poden explicar la presència dels espots febles.

Per  $T_A \geq 900^\circ\text{C}$ , els mapes de corrent adquirits amb CAFM (Fig. 4.5.c i d) presenten una rugositat elèctrica unes 10 vegades superior. La imatge de secció transversal realitzada amb HR-TEM per  $T_A = 900^\circ\text{C}$  (Fig. 4.4.b) mostra que encara que la interfície entre el  $\text{SiO}_2$  i el Si del substrat i la superfície del high-k es mantenen suaus, la interfície entre el  $\text{SiO}_2$  i el high-k s'ha tornat rugosa. A més a més, s'observen nanocristalls en la capa high-k. Els cristalls estan distribuïts homogèniament per tot el gruix de la capa. Les distàncies interplanars que s'han mesurat en aquests cristalls concorden amb les distàncies interplanars característiques de l'estructura cristal·logràfica cúbica del  $\text{HfO}_2$ . Per tant, es creu que l'augment de la inhomogeneïtat elèctrica pot estar causat per dos factors que es donen quan  $T_A > 800^\circ\text{C}$ : la transició de la capa high-k d'una estructura amorfa a una poli - nano - cristal·lina, combinada amb l'augment de la rugositat de la interfície entre high-k i  $\text{SiO}_2$ .

Per la mostra sotmesa a un recuit a  $900^\circ\text{C}$ , s'ha mesurat el tamany dels espots conductors ("grans elèctrics"), a partir de mapes de corrent. El tamany obtingut a partir dels mapes realitzats amb punta de diamant pel radi dels espots és de  $\sim 25\text{-}40\text{nm}$ . Aquest valor és gairebé un ordre de magnitud superior a l'extret de les imatges TEM (Fig 4.4.b) pels grans cristal·logràfics (radi de  $\sim 5\text{nm}$ ). Cal remarcar que aquests mapes de corrent han estat adquirits amb una punta de diamant que té un radi de corbatura relativament gran i que per tant sobre estima el tamany de les zones conductores. Per tant, almenys en part, la diferència entre els valors obtinguts a partir dels mapes de corrent CAFM i les imatges HR-TEM està causada per la resolució espacial reduïda que s'obté utilitzant puntes de diamant. A partir de mapes de corrent adquirits utilitzant una punta recoberta de PtIr (Fig. 4.5.f) s'han obtingut tamanyes de gra inferiors (radis de  $\sim 5\text{-}10\text{nm}$ ), que coincideixen amb els valors mesurats a les imatges TEM (Fig 4.4.b). Això és possible gràcies a que les puntes recobertes de PtIr són més esmolades (radi de corbatura més petit) i per tant es poden resoldre elements més petits. Cal emfatitzar que aquests espots conductors poden ser un problema seriós per la fiabilitat dels dispositius MOS fins i tot per tamanyes de dispositiu molt reduïts, ja que la densitat d'espots (extreta de les imatges adquirides amb punta de PtIr) és aproximadament d'un espot per cada  $50 \times 50\text{nm}^2$ . Aquesta xifra coincideix amb la densitat de grans de  $\text{HfO}_2$  extreta d'imatges TEM planars per la mostra recuita a  $900^\circ\text{C}$  (Fig. 4.6). Això podria indicar que la formació de grans de  $\text{HfO}_2$  en la capa de  $\text{HfAlO}_x$  és el factor dominant en l'augment de la inhomogeneïtat elèctrica que es detecta per  $T_A \geq 900^\circ\text{C}$ .

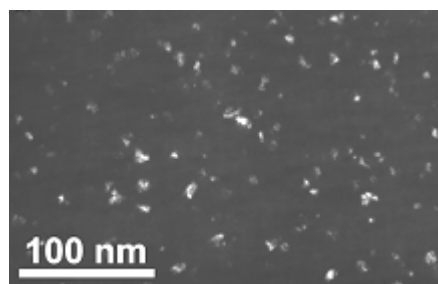


Fig. 4.6. Imatge HR-TEM planar d'una mostra sotmesa a una etapa de recuit a  $900^\circ\text{C}$ . Es poden observar grans de  $\text{HfO}_2$  en la capa de  $\text{HfAlO}_x$ .

Sembla raonable pensar que en un material policristal·lí les regions més conductores haurien de ser les fronteres de gra, i per tant, els mapes de corrent haurien de mostrar anells conductors. Encara que la conducció fos realment a través de les fronteres de gra,

com que el tamany de gra és del mateix ordre (o una mica inferior) que la resolució del CAFM, els anells conductors no es poden veure, i enlloc d'això s'aprecien solament espots conductors. En qualsevol cas, cal fer notar que no s'ha pogut determinar si la conducció es dona realment a través de les fronteres de gra.

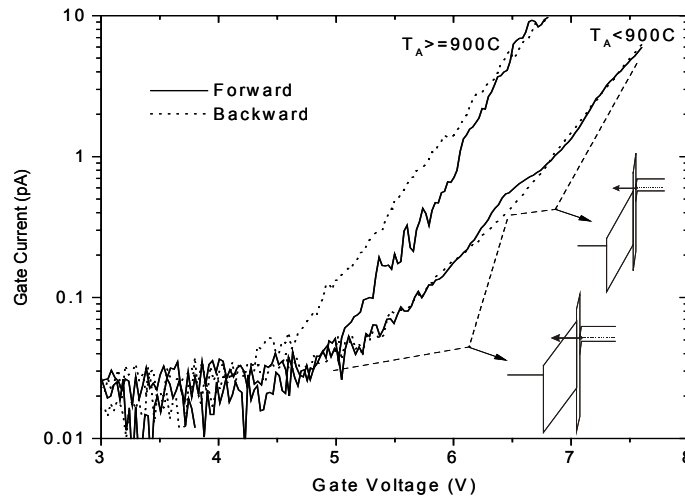


Fig. 4.7. Ranges d'anada (línies contínues) i ranges de tornada (línies de punts) corresponents a mostres sotmeses a  $T_A < 900^\circ\text{C}$  i  $T_A \geq 900^\circ\text{C}$ .

La conducció a través de les mostres s'ha analitzat més detalladament a partir de les característiques I-V mesurades en diferents posicions. La figura 4.7 mostra una rampa d'anada i una rampa de tornada representatives per mostres sotmeses a  $T_A < 900^\circ\text{C}$  i  $T_A \geq 900^\circ\text{C}$ .

La característica I-V corresponent a la rampa d'anada per  $T_A < 900^\circ\text{C}$  no s'ha pogut ajustar satisfactòriament, en el rang de voltatge de 5V fins 7.5V, a un únic mode de conducció. Per tal de trobar una explicació a aquest fet, s'ha analitzat el diagrama de bandes de l'stack. En primer lloc s'ha determinat la caiguda de voltatge a les diferents capes de l'estructura MOS. Després, aquesta informació s'ha utilitzat per representar els diagrames de bandes de l'stack corresponents als voltatges extrems del rang (5V-7.5V), i poder comprovar així, si als extrems del rang de voltatge analitzat es tenen diferents modes de conducció.

La caiguda de voltatge a l'stack ( $V_{\text{stack}}$ ) ve donada per (4.1), on  $\phi_{\text{MS}}$  és la diferència de funcions de treball entre el metall del terminal de porta i el substrat, i  $V_{\text{Si}}$  el voltatge que cau en la capa de Si:

$$V_{\text{stack}} = (V_{\text{aplicat}} - \phi_{\text{MS}} - V_{\text{Si}}) \quad (4.1)$$

Considerant una funció de treball per la punta de diamant de  $\sim 4.7\text{eV}$  i un substrat de Si tipus p amb un dopatge de  $\sim 10^{15}\text{cm}^{-3}$  s'obté una diferència d'alçada de barrera porta - substrat ( $\phi_{\text{MS}}$ ) de  $\sim -0.35\text{eV}$ . La caiguda de potencial en el Si ( $V_{\text{Si}}$ ) degut a que es treballa en inversió és 1V aproximadament. Substituint els valors de  $\phi_{\text{MS}}$  i  $V_{\text{Si}}$  en (4.1) s'obté,  $V_{\text{stack}} = V_{\text{aplicat}} - 0.65\text{V}$ . Com que, per simplicitat, no es considera càrrega atrapada en l'stack, es compleix que el producte de la constant dielèctrica relativa ( $k_i$ ) pel camp elèctric ( $E_i$ ) a les dues bandes de la interfície entre el high-k i el  $\text{SiO}_2$  ha de ser igual (4.2):

$$k_{high-k} E_{high-k} = k_{SiO_2} E_{SiO_2} \quad (4.2)$$

D'altra banda, el camp elèctric en cadascuna de les capes de l'stack ve donat pel quocient entre el voltatge que cau en aquella capa ( $V_i$ ) i el gruix de la capa ( $t_i$ ). Aleshores la relació (4.2) és pot expressar com:

$$k_{high-k} \frac{V_{high-k}}{t_{high-k}} = k_{SiO_2} \frac{V_{SiO_2}}{t_{SiO_2}} \quad (4.3)$$

El voltatge que cau a l'stack és la suma del voltatge que cau a la capa de  $SiO_2$  ( $V_{SiO_2}$ ) més el voltatge que cau a la capa de high-k ( $V_{high-k}$ ):

$$V_{stack} = V_{SiO_2} + V_{high-k} \quad (4.4)$$

Per tant, aïllant  $V_{SiO_2}$  i  $V_{high-k}$  de (4.3) i substituint en (4.4) s'obtenen les expressions (4.5) i (4.6) respectivament, que proporcionen les caigudes de tensió a cadascuna de les capes de l'stack.

$$V_{SiO_2} = \frac{V_{Stack}}{\left(1 + \frac{k_{SiO_2} t_{high-k}}{k_{high-k} t_{SiO_2}}\right)} \quad (4.5)$$

$$V_{high-k} = \frac{V_{Stack}}{\left(1 + \frac{k_{high-k} t_{SiO_2}}{k_{SiO_2} t_{high-k}}\right)} \quad (4.6)$$

Amb les dades (experimentals) corresponent a les mostres utilitzades ( $k_{SiO_2}=3.9$ ,  $k_{high-k}=14$ ,  $t_{SiO_2}=0.7nm$ ,  $t_{high-k}=5nm$ ) s'obté:  $V_{SiO_2} \sim 40\%$  de  $V_{Stack}$  i  $V_{HfAlOx} \sim 60\%$  de  $V_{Stack}$ .

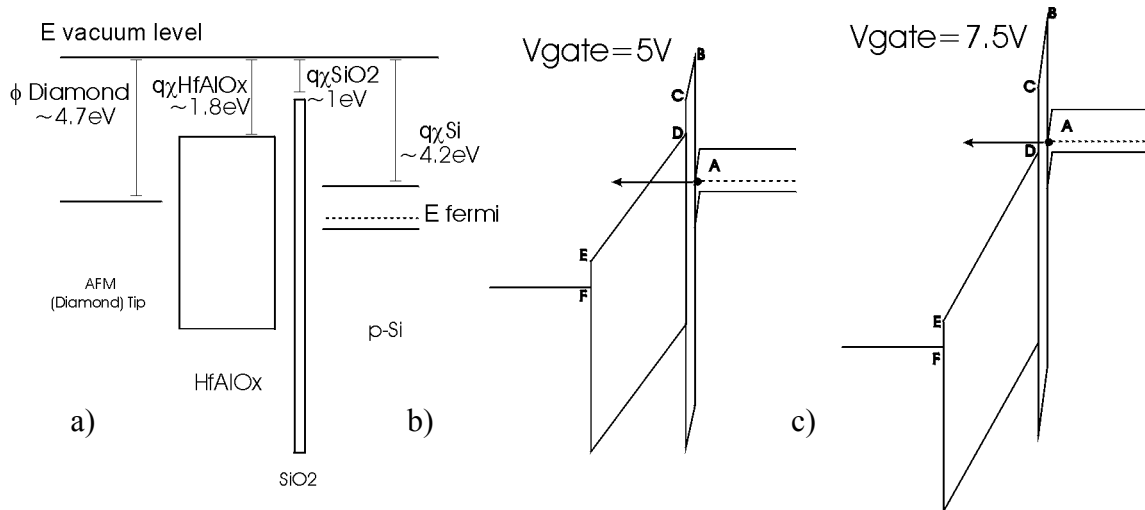


Fig. 4.8. a) Diagrames de bandes individuals de les capes que componen l'estructura MOS. Diagrames de bandes de l'estructura MOS corresponents a: el mínim voltatge que permet mesurar un corrent superior al nivell de fons (b) i al màxim voltatge aplicat (c).

A partir dels diagrames de bandes individuals de les diferents capes que formen l'estructura MOS (Fig. 4.8.a) i les expressions 4.5 i 4.6, es pot representar el diagrama de bandes corresponent a: el mínim voltatge que permet mesurar un corrent superior al

nivell de fons (Fig. 4.8.b), i al màxim voltatge aplicat (Fig. 4.8.c). A la taula 4.2 s'indiquen les energies respecte al nivell de buit dels punts rellevants (A-F) dels diagrames de bandes de les figures 4.8.b i c i les expressions que determinen aquestes energies. A partir del diagrama de bandes de l'stack corresponent a  $V_{\text{aplicat}}=5\text{V}$  (Fig. 4.8.b) s'observa que es té injecció de portadors a través d'una barrera triangular de  $\text{HfAlO}_x$  (i evidentment a través de la barrera de potencial del  $\text{SiO}_2$ ), ja que l'energia del punt A està per sota de l'energia del punt D. Aquesta situació es manté fins que s'aplica un voltatge d'uns 6.5V. Per aquest valor, els punts A i D del diagrama de bandes es troben a la mateixa energia. Per voltatges lleugerament superiors i fins al valor màxim de voltatge aplicat (a la Fig. 4.8.c es representa el diagrama de bandes per  $V_{\text{aplicat}}=7.5\text{V}$ ) es té injecció de portadors amb energies superiors a la barrera del  $\text{HfAlO}_x$  (l'energia del punt A està per sobre de l'energia del punt D). La transició entre els dos règims de conducció es produeix doncs a la tensió de 6.5V.

$V_{\text{gate}}=5\text{V}$			$V_{\text{gate}}=7.5\text{V}$			
Punt	Càlculs numèrics (eV)	Energia (eV)	Expressió pel càlcul de l'energia dels punts (eV)	Punt	Càlculs numèrics (eV)	Energia (eV)
A	$4.2+1=$	5.2	$E_A=q\chi_{\text{Si}}+qV_{\text{Si capa inversió}}$	A	$4.2+1=$	5.2
B	$5.2-4.2+1=$	2.0	$E_B=E_A-q\chi_{\text{Si}}+q\chi_{\text{SiO}_2}$	B	$5.2-4.2+1=$	2.0
C	$2.0+4.3\times 0.4\approx$	3.8	$E_C=E_B+V_{\text{SiO}_2}$	C	$2.0+6.8\times 0.4\approx$	4.9
D	$3.8+(1.8-1)=$	4.6	$E_D=E_C+(q\chi_{\text{HfAlO}_x}-q\chi_{\text{SiO}_2})$	D	$4.9+(1.8-1)=$	5.7
E	$4.6+4.3\times 0.6\approx$	7.2	$E_E=E_D+V_{\text{HfAlO}_x}$	E	$5.7+7.2\times 0.6\approx$	10.1
F	$5.2+4.3=$	9.5	$E_F=E_A+V_{\text{stack}}$	F	$5.2+6.8=$	12.0

Taula 4.2. Energies dels punts indicats en la Fig. 4.8.b ( $V_{\text{gate}}=5\text{V}$ ) i c ( $V_{\text{gate}}=7.5\text{V}$ ).

La comparació de les rampes d'anada i de tornada per  $T_A<900^\circ\text{C}$  (Fig. 4.7) ens mostra un comportament similar, i l'única diferència és un corrent lleugerament superior en el cas de les rampes d'anada, per voltatges de porta de  $\sim 6.5\text{V}$ . El fet de que aquest corrent superior es produeixi només en un rang de voltatge tant estret al voltant del voltatge de transició indica que pot estar causat probablement per càrrega provinent d'estats interfacials situats en la interfície  $\text{SiO}_2\text{-HfAlO}_x$ .

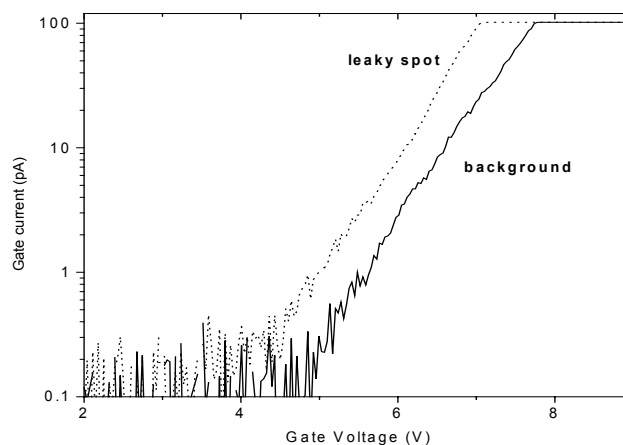


Fig. 4.9. Comparació de les característiques corrent – voltatge mesurades en espots conductors i en la regió de fons, per mostres exposades a  $T_A\geq 900^\circ\text{C}$ .

Per  $T_A\geq 900^\circ\text{C}$  la conductivitat de les mostres és superior que per  $T_A<900^\circ\text{C}$ , ja que per un voltatge determinat presenten un nivell de corrent gairebé un ordre de magnitud

superior. Aquest comportament coincideix amb l'observat a partir dels mapes de corrent. A més a més, per  $T_A \geq 900^\circ\text{C}$  les característiques I-V són més sorolloses i no es poden distingir de forma clara diferents modes de conducció. La diferència entre les rampes d'anada i de tornada és més gran que per les mostres exposades a  $T_A < 900^\circ\text{C}$ . El fet que la rampa de tornada presenti un nivell de corrent superior a la d'anada, indica possiblement la existència de SILC (veure secció 1.2). Aquest fenomen, que no s'ha observat per  $T_A < 900^\circ\text{C}$ , estaria probablement provocat per l'aplicació de la rampa d'anada. En qualsevol cas, caldria estudiar amb més detall el seu origen.

Per últim, s'han comparat les característiques I-V mesurades en les mostres amb  $T_A \geq 900^\circ\text{C}$  en espots conductors i en la regió de fons, menys conductora (Fig. 4.9). Es pot veure que ambdues zones presenten pendents paral·lels el que indica que es té el mateix mode de conducció. Encara que el corrent en l'espot conductor és gairebé un ordre de magnitud superior que en la regió de fons.

## 4.2 Característiques elèctriques i fiabilitat dels stacks $\text{HfO}_2/\text{SiO}_2$

Els materials high-k han de complir uns criteris de fiabilitat tant exigents com els del  $\text{SiO}_2$ , però la fiabilitat de les bi o multicapes dielèctriques high-k/ $\text{SiO}_2$  no està ben establerta, i els coneixements adquirits pel  $\text{SiO}_2$  durant dècades no són sempre aplicables directament. A més, gairebé tots els experiments realitzats per estudiar el comportament elèctric i la fiabilitat de dispositius MOS amb dielèctric de porta high-k s'han dut a terme utilitzant tècniques estàndard (analitzador de semiconductors i/o mesurador d'impedàncies + taula de puntes), el que implica que els resultats estan promitjats per tota l'àrea de la porta, quedant emmascarats fenòmens d'escala nanomètrica. Gràcies a la utilització del CAFM i l'ECAFM s'han observat alguns d'aquests fenòmens que passen desapercibuts a nivell macroscòpic, alguns dels quals descriurem en aquesta secció.

Dintre del conjunt de materials considerats com possibles substituïts del  $\text{SiO}_2$  com dielèctric de porta, els compostos de Hf són els que concentren major interès tecnològic actualment. Per això, el material triat en aquest treball per estudiar la ruptura dielèctrica ha estat el  $\text{HfO}_2$ . Com s'ha dit a la secció 1.4.1, per tal de minimitzar les reaccions incontrolades dels materials high-k amb el substrat de Si (entre altres motius), es creix una capa interfacial de  $\text{SiO}_2$  de gruix conegut (per sota de 1nm). Per disposar d'informació sobre aquestes capes tant primes de  $\text{SiO}_2$ , paral·lelament a l'estudi d'aïllants de porta bicapa (high-k +  $\text{SiO}_2$  interfacial), també s'ha realitzat una caracterització elèctrica bàsica d'estructures on únicament es té la capa interfacial ( $\text{SiO}_2$ ). En aquest tipus d'estructura l'anàlisi serà més senzill, i servirà de base per quan s'analitzin els dielèctrics bicapa. Cal recordar que aquestes capes de  $\text{SiO}_2$  que s'utilitzen com a interfície (0.5-0.7nm de gruix) són més primes que les capes de  $\text{SiO}_2$  que s'utilitzen als dispositius on l'òxid de porta és una única capa de  $\text{SiO}_2$  (>1nm), i que, per tant, es té una informació bastant limitada sobre les seves propietats.

### 4.2.1. Configuració experimental

Per estudiar la conducció a través de l'stack  $\text{HfO}_2/\text{SiO}_2$ , s'ha treballat amb dos conjunts de mostres (Fig. 4.10): una mostra que es considera referència, on com dielèctric de

porta només es té una capa de  $\text{SiO}_2$  (a la qual ens referirem com “mostra  $\text{SiO}_2$ ”), i una mostra on el dielèctric de porta és una bicapa de  $\text{SiO}_2$  i material high-k (a la qual ens referirem com “mostra high-k”). Sobre un substrat de silici tipus p ( $N_A \sim 10^{15} \text{cm}^{-3}$ ) s’ha crescut mitjançant Rapid Thermal Oxidation (veure secció 1.1.3) una capa interfacial amb un gruix nominal de 0.6-0.7nm de  $\text{SiO}_2$ . Per les mostres referència el procés de fabricació finalitza en aquesta etapa. Pel segon conjunt de mostres, a sobre de la capa de  $\text{SiO}_2$  s’ha dipositat mitjançant ALCVD (veure secció 1.1.3) una capa de 2.5-3nm de  $\text{HfO}_2$ , obtenint un EOT teòric de 1.2nm aproximadament. Per a l’estudi de la ruptura dielèctrica de l’stack  $\text{HfO}_2/\text{SiO}_2$  s’ha utilitzat únicament la mostra high-k.

La caracterització topogràfica i elèctrica dels dos conjunts de mostres ha estat realitzada mitjançant CAFM i ECAFM. Aquesta caracterització no ha tingut lloc simultàniament, si no que els experiments realitzats amb ECAFM s’han portat a terme aproximadament un any després que els realitzats amb CAFM. Per tant, tot i que les mostres utilitzades en ambdós conjunts d’experiments tenen uns gruixos nominalment idèntics, a la pràctica es tenen capes de  $\text{SiO}_2$  de gruixos diferents.

Per les mesures efectuades amb CAFM s’ha utilitzat: a) un microscopi Digital Instruments 3100 equipat amb puntes de PtIr (constant de força = 0.07-0.4N/m) i b) un microscopi de Nanotec Electrònica equipat amb puntes de CoCr (constant de força = 1-5N/m). En ambdós configuracions s’ha treballat en condicions ambient. Per la caracterització amb ECAFM (veure Fig. 2.15) s’ha utilitzat l’instrument descrit en la secció 2.3, que és l’únic prototipus existent, equipat amb puntes de CoCr (constant de força = 1-5N/m). A mode de recordatori, mencionar que un ECAFM es pot entendre com un CAFM on els mitjans per polaritzar el sistema punta mostra i per mesurar corrent a través de la mostra han estat substituïts per unitats font monitor (SMU) que permeten aplicar voltatge i mesurar corrent o viceversa, amb uns rangs de mesura molt superiors als d’un CAFM.

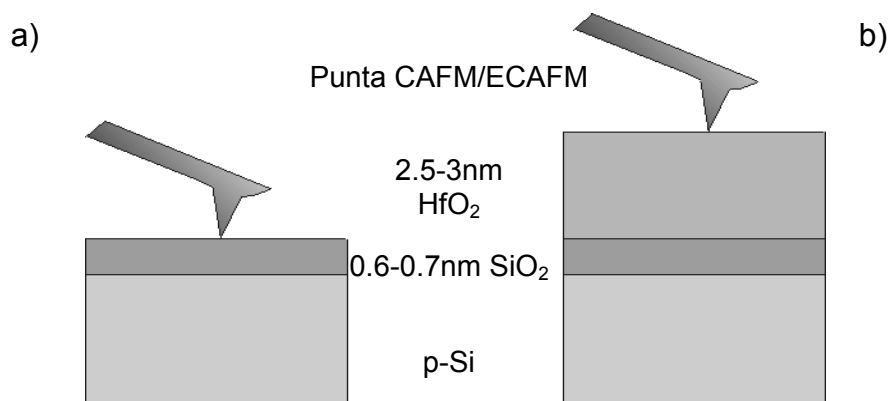


Fig. 4.10. Mostres utilitzades per a l’estudi de la conducció i ruptura dielèctrica de l’stack  $\text{HfO}_2/\text{SiO}_2$ : a) només es té una capa de  $\text{SiO}_2$  com dielèctric de porta, i b) el dielèctric de porta és una bicapa de  $\text{SiO}_2$  i material high-k (concretament  $\text{HfO}_2$ ).

Pels dos conjunts de mostres, mitjançant CAFM s’han adquirit mapes de corrent aplicant voltatges punta – mostra tan petits com sigui possible, però que provoquin que en alguns punts de la mostra el corrent sigui superior al nivell del soroll. Aquest experiment permet estudiar els tamanys d’aquests punts més conductors coneguts com espots febles. Es considerarà que els espots febles són un indicador de la homogeneïtat (gruix i



propietats elèctriques) del material. Per la mostra high-k, a més a més, s'ha realitzat un experiment que té com finalitat l'anàlisi de la distribució espacial de la conductivitat en els espots on s'ha produït ruptura dielèctrica, i com depèn amb el voltatge aplicat. En primer lloc, s'ha estressat la zona sota estudi per provocar la ruptura dielèctrica en algunes posicions. A continuació s'han adquirit diversos mapes de corrent de la mateixa regió amb voltatges punta - mostra cada vegada menors (per evitar un dany adicional de l'stack). A partir de cada mapa de corrent (és a dir, per cada voltatge), per cada espot de ruptura s'ha extret un perfil de corrent seguint una línia de secció que passi pel centre de l'espot (Veure Fig. 4.11). Simultàniament als mapes de corrent s'ha adquirit la topografia.

1. Adquisició de mapes de corrent (i topogràfics) amb voltatges de porta ( $V_{G1}$ ) decreixents, d'una regió on es tenen diversos espots de ruptura

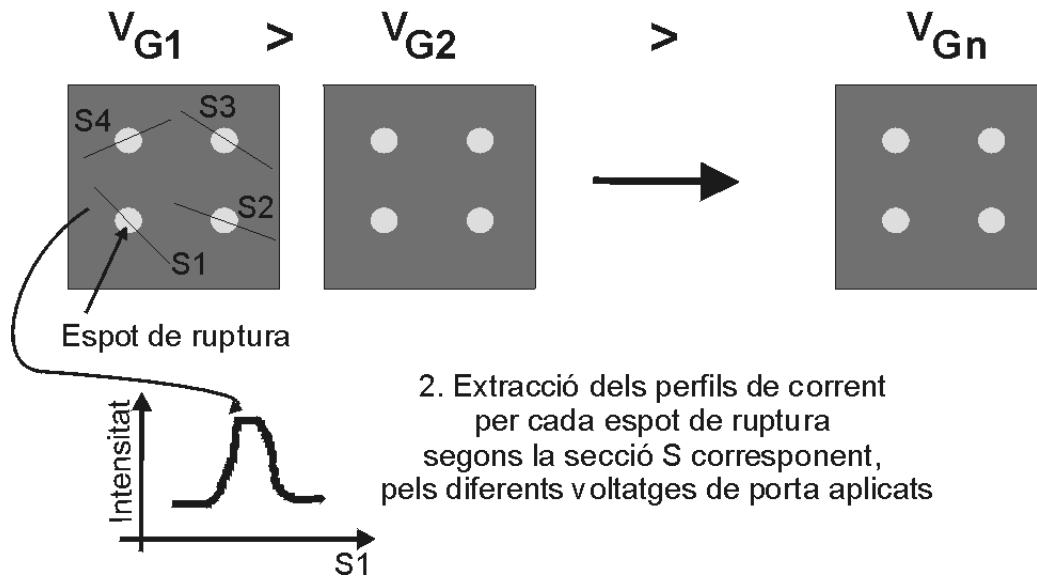


Fig. 4.11. Esquema del procediment utilitzat per a l'obtenció dels perfils de corrent corresponents a cada espot de ruptura. A partir d'aquests perfils s'estudiarà la distribució espacial de la conductivitat en els espots on s'ha produït ruptura dielèctrica, i com depèn amb el voltatge aplicat.

Mitjançant ECAFM, pels dos conjunts de mostres, s'han adquirit característiques Intensitat – Voltatge. Degut al gran rang dinàmic de mesura de corrent del ECAFM (de pA fins mA) aquestes corbes I-V permeten estudiar els diferents modes de conducció que es donen en el dielèctric de porta.

Per tal d'estudiar la ruptura dielèctrica de l'stack, s'han aplicat i enregistrat sèries de rampes de voltatge en una posició fixa. A més a més, s'han adquirit mapes topogràfics i elèctrics de les regions on s'han aplicat les rampes de voltatge. Com s'ha comentat a la secció 2.2.2 la presència de càrrega elèctrica (després de la ruptura dielèctrica) al dielèctric dóna lloc a la formació de falses topografies o "artifacts". Els mapes topogràfics de les zones on s'han realitzat rampes de voltatge permetran detectar la presència (o absència) d'artifacts (monticles) i analitzar la seva relació amb la ruptura dielèctrica de l'stack. A partir dels mapes de corrent posteriors a la ruptura es podran estudiar els tamanys elèctrics dels espots trencats.

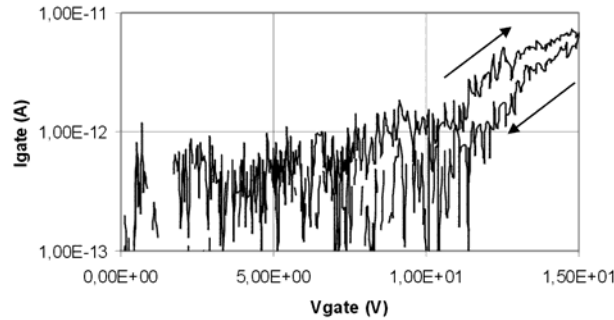


Fig. 4.12. Característica I-V (rampes d'anada i de tornada) representativa de la injecció des del terminal de porta (punta de CAFM), en un stack  $\text{HfO}_2/\text{SiO}_2$ .

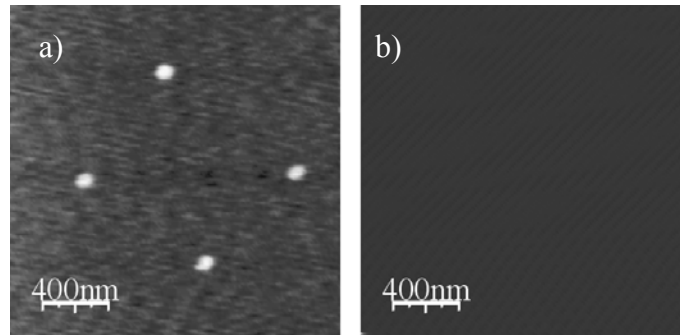


Fig. 4.13. Mapes topogràfic (a) i de corrent (b) d'una zona en un stack  $\text{HfO}_2/\text{SiO}_2$  on s'han aplicat quatre rampes de voltatge de 0 fins a 8V, injectant electrons des del terminal de porta. El tamany de les imatges és  $2 \times 2 \mu\text{m}^2$ . El rang d'alçades és de 0nm (negre) fins 4nm (blanc). Els valors de corrent corresponen al nivell de soroll ( $<0.1\text{pA}$ ).

Per tots els experiments presentats en la secció 4.2.2 i 4.2.3 la injecció d'electrons s'ha fet des del substrat, aplicant voltatges negatius al substrat amb la punta connectada a terra. Així, quan es parli per exemple d'un voltatge punta – mostra (o voltatge de porta) de 3V, realment s'ha aplicat un voltatge de  $-3\text{V}$  al substrat. S'ha optat per aquesta configuració després d'investigar el comportament de l'stack per injecció des del terminal de porta (punta del CAFM). Per aconseguir injecció d'electrons des del terminal de porta, la punta del CAFM es manté connectada a terra mentre que s'aplica un voltatge positiu al substrat. Amb aquesta configuració es mesura un corrent molt inferior a l'esperat. La Fig. 4.12 mostra una característica I-V (anada i tornada) representativa de la injecció des del terminal de porta. Es pot veure que per un voltatge de porta de 15V el corrent és tant sols de  $\sim 10\text{pA}$ , que és diversos ordres de magnitud inferior al que s'obté aplicant el mateix voltatge amb la configuració d'injecció des del substrat (veure Fig. 4.17). L'única explicació raonable que s'ha trobat per aquest comportament és que amb aquesta configuració s'està produint oxidació anòdica de la mostra. Els nivells de corrent obtinguts són compatibles amb els mesurats per Pérez et al [Pérez 03] durant l'oxidació anòdica d'un substrat de Si. A més a més, els mapes topogràfic i elèctric (Fig. 4.13.a i b respectivament) recolzen aquesta hipòtesi, ja que s'observen monticles en la topografia a les posicions on s'han realitzat les rampes de voltatge, però no s'observen espots conductors. Aquesta explicació obre un altre interrogant: saber si l'òxid que s'ha generat és  $\text{SiO}_x$ ,  $\text{HfO}_x$  o un compost diferent. Resoldre aquesta qüestió serà un punt interessant de cara a futurs treballs.

#### 4.2.2. Caracterització elèctrica dels stacks verges.

La caracterització elèctrica del SiO<sub>2</sub> i l'stack verges (prèviament a cap estrès elèctric) es centra en l'estudi de la conducció a través de les mostres. Els mapes de corrent permeten estudiar l'homogeneïtat espacial de la conducció, mentre que les rampes de voltatge proporcionen informació sobre la dependència de la conducció amb el voltatge. Abans de procedir a la caracterització elèctrica, s'han adquirit diversos mapes topogràfics de les mostres que han revelat que aquestes tenen una superfície extremadament plana, amb valors de rugositat per sota de 0.1nm.

En aquesta secció s'estudiarà en primer lloc els espots febles que apareixen en ambdues mostres i la importància de l'estat de les puntes en la determinació dels tamanyes dels espots. A continuació, s'analitzaran els modes de conducció que s'observen pels diferents rangs de voltatges de porta aplicats. Aquests experiments estan encarats a obtenir una caracterització elèctrica a escala nanomètrica tant de la capa de SiO<sub>2</sub> interfacial com de la capa high-k. Cal remarcar que en aquesta secció la caracterització es realitza únicament en regions verges de les mostres. En la secció següent s'analitzaran pròpiament els fenòmens de la degradació i ruptura dielèctrica de l'stack HfO<sub>2</sub>/SiO<sub>2</sub>.

#### Mapes de corrent

Les inhomogeneïtats en la conducció a través del dielèctric de porta són fruit de les variacions en el gruix de la capa dielèctrica, i de les variacions en les propietats elèctriques. Aquestes variacions es donen a escala nanomètrica i són conseqüència del propi procés de fabricació (recordem que es caracteritzen mostres no estressades). Els mapes topogràfics i de corrent obtinguts amb CAFM resulten especialment adequats per estudiar les variacions espacials (topogràfiques i elèctriques) en el dielèctric de porta.

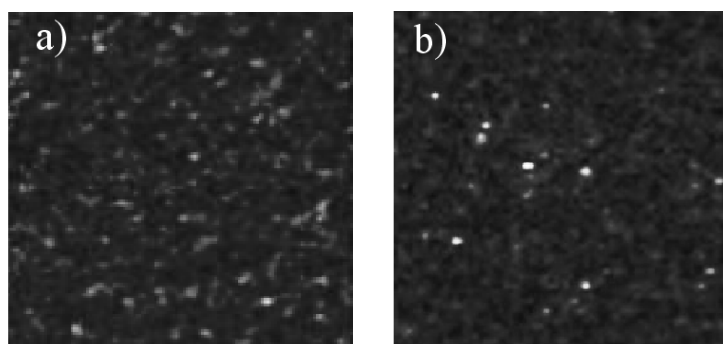


Fig. 4.14. Mapes de corrent de  $0.5 \times 0.5 \mu\text{m}^2$  obtinguts amb una punta nova de PtIr, per la mostra SiO<sub>2</sub> (a) i per la mostra high-k (b). El voltatge de porta aplicat és de 0.2V pel cas del SiO<sub>2</sub> i de 3V pel cas del high-k. El rang de corrent és de 0pA (negre) fins 1pA (blanc).

A partir dels mapes de corrent obtinguts amb CAFM equipat amb punta de PtIr (Fig. 4.14) s'observa que tant pel SiO<sub>2</sub> com per l'stack la conducció no és homogènia. És a dir, que algunes posicions (espots febles) presenten corrents superiors a la resta de la regió escombrada. Per determinar l'àrea dels espots febles, s'han adquirit mapes de corrent de les mostres aplicant el mínim voltatge necessari per mesurar espots amb un nivell de corrent superior al nivell de soroll elèctric ( $\sim 100\text{fA}$ ). La Fig. 4.14.a i b mostra mapes de corrent de  $0.5 \times 0.5 \mu\text{m}^2$  per la mostra SiO<sub>2</sub> i high-k respectivament, adquirits

amb puntes noves mentre s'aplicava un voltatge de porta de 0.2V pel cas del SiO<sub>2</sub> i de 3V pel cas del high-k. En aquests mapes es poden observar diversos espots febles. A partir d'aquest tipus d'imatges s'ha determinat el tamany dels espots febles, obtenint un valor d'uns 700nm<sup>2</sup> per ambdues mostres. Només s'han considerat aquells espots amb un nivell de corrent superior al nivell de soroll elèctric. Cal fer notar que una comparació de la densitat d'espots febles no té sentit degut als diferents camps elèctrics aplicats a les estructures.

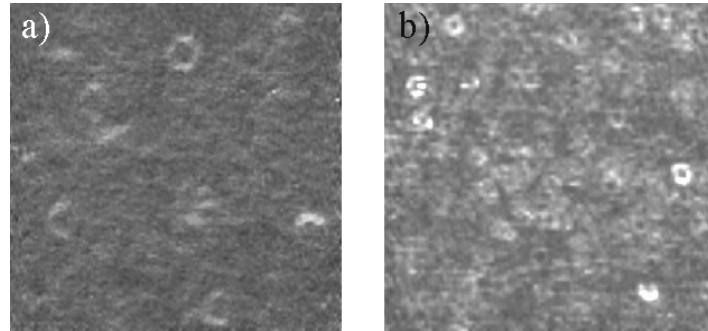


Fig. 4.15. Mapes de corrent obtinguts amb puntes de Si recobertes de PtIr desgastades: (a) Mapa (0.5×0.5µm<sup>2</sup>) per la mostra SiO<sub>2</sub>. El voltatge de porta aplicat és de 0.2V, el rang de corrent és de 0pA (negre) fins 0.5pA (blanc). (b) Mapa de corrent (0.75×0.75µm<sup>2</sup>) per la mostra high-k. El voltatge de porta aplicat és de 3V, el rang de corrent és de 0pA (negre) fins 1pA (blanc). El tamany dels espots febles s'ha determinat a partir dels cercles foscos (menys conductors) de l'interior dels anells conductors.

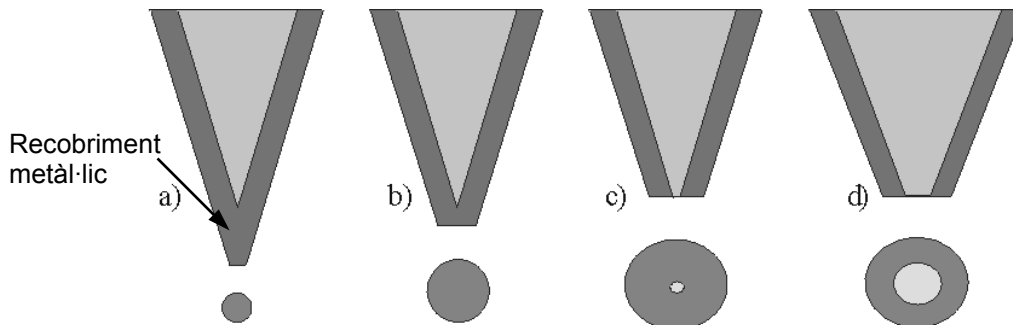


Fig. 4.16. Esquema de l'evolució del desgast (a dalt) i secció de contacte amb la mostra (a baix) d'una punta de Si recoberta de metall. Les puntes amb un nivell de desgast alt (c) o (d) donen lloc a la mesura d'espots febles amb forma d'anell.

A partir de mapes elèctrics obtinguts en posicions verges amb puntes més gastades s'han obtingut valors per l'àrea dels espots febles de l'ordre de 1500nm<sup>2</sup>, degut a l'augment del radi de la punta. Si es continua utilitzant la punta arriba un moment en que els espots febles passen de tenir una forma circular a una forma d'anell, amb una regió interna on el corrent té el valor del nivell de fons. La figura 4.15 mostra mapes de corrent adquirits amb una punta després de molts escombrats per la mostra SiO<sub>2</sub> (4.15.a) i la mostra high-k (4.15.b). Per ambdues mostres es poden observar espots febles amb forma d'anell. Aquest fenomen es pot explicar considerant la possible evolució del desgast d'una punta de Si recoberta de metall. Com més desgastada està una punta degut a l'ús, més gran és el seu radi i també l'àrea de contacte ( $A_c$ ). Ara bé, com que les puntes estan fetes de Si i recobertes amb metall, la punta pot estar tant desgastada que el recobriment metàl·lic hagi desaparegut de l'extrem de la punta i quedi al descobert el nucli de Si (veure Fig.

4.16.c). Amb aquesta configuració, quan l'espot feble està en contacte únicament amb el nucli de Si de la punta es mesura un corrent molt menor que quan l'espot feble està en contacte amb l'anell conductor que envolta el nucli de Si de la punta. Caldria analitzar si a partir de l'àrea interna dels espots febles en forma d'anell es pot obtenir informació del seu tamany real. En qualsevol cas, si es continua utilitzant la punta, l'àrea del cercle interior augmentarà (Fig. 4.16.d), perdent altre cop resolució. Per evitar aquest efecte, en aquest treball es treballarà sempre amb puntes noves.

Per una punta nova el radi nominal és de  $\sim 10\text{nm}$ , el que implica una àrea de contacte punta – mostra ( $A_c$ ) d'uns  $300\text{nm}^2$ . Quan es treballa en condicions ambient sempre hi ha una capa d'aigua sobre la superfície de la mostra, que provoca que l'àrea per la qual pot circular corrent entre punta i mostra ( $A_{ef}$ ) sigui més gran que  $A_c$ . Aquesta àrea efectiva ( $A_{ef}$ ) és l'àrea més petita que pot resoldre la punta d'un CAFM des d'un punt de vista elèctric. El fet que l'àrea mesurada dels espots febles sigui per les dues mostres només dues vegades  $A_c$  i que depengui fortament del desgast de la punta (és a dir del radi de la punta) fa sospitar que el tamany dels espots febles és menor que el valor que s'ha mesurat i que el valor mesurat correspon realment a  $A_{ef}$ . Per millorar la resolució elèctrica del CAFM hi hauria dues solucions: treballar al buit per tal d'eliminar la capa superficial d'aigua, però això complica la configuració experimental, o buscar puntes amb un radi de corbatura menor.

### Característiques I-V

Un dels tests més senzills, però també més útils, per a l'estudi del comportament elèctric d'un dielèctric de porta, és l'aplicació de rampes de voltatge (amb mesura simultània del corrent que travessa el dielèctric). Amb aquest test es poden identificar els diferents modes de conducció que es tenen en funció del voltatge que s'apliqui.

La figura 4.17 mostra característiques I-V representatives mesurades amb ECAFM per la mostra  $\text{SiO}_2$  (quadrats) i la mostra high-k (cercles). En aquest tipus de mesures es fa evident els avantatges que ofereix l'ECAFM davant els CAFM convencionals per estudiar els modes de conducció, ja que es disposa d'un rang de mesura de corrent de 9 ordres de magnitud. Per emfatitzar aquest fet, a la figura 4.17 s'ha indicat també el rang típic de mesura de corrent (regió entre línies discontinües) d'un CAFM convencional.

Per la mostra  $\text{SiO}_2$ , degut al gruix que estem considerant (de l'ordre o per sota d'un nm), la conducció hauria de ser túnel directe. Per comprovar aquesta hipòtesis les característiques I-V per  $V_{\text{porta}} < 4\text{V}$  de la mostra  $\text{SiO}_2$  han estat comparades (Fig. 4.18) amb dades experimentals mesurades en dispositius MOS amb òxid de porta ultra prim de  $1.27\text{nm}$  [Hirose 00]. S'ha optat per la comparació amb dades experimentals degut a que els models teòrics acurats necessiten un gran nombre de paràmetres d'ajust que en general no són coneguts. Les corbes de la mostra  $\text{SiO}_2$  tenen la mateixa forma que les dades de [Hirose 00] però desplaçades aproximadament un ordre de magnitud cap a corrents superiors. Per tant, tenint en compte que per òxids ultra prim el corrent de porta augmenta aproximadament un ordre de magnitud quan el gruix de l'òxid es redueix  $\sim 0.2\text{nm}$  [Green 01], les característiques de la mostra  $\text{SiO}_2$  s'ajusten bé a corrent túnel directe a través d'una capa que s'ha estimat aproximadament de  $1-1.1\text{nm}$  de gruix. L'augment de gruix respecte al valor nominal ( $0.6-0.7\text{nm}$ ) és degut a l'oxidació nativa

causada per l'exposició de la capa de  $\text{SiO}_2$  a l'ambient. Per  $V_{\text{porta}} > 4\text{V}$ , no s'han trobat dades a la literatura per poder realitzar comparacions, però s'ha comprovat a partir de la comparació amb el model teòric, que la conducció no s'ajusta a túnel Fowler – Nordheim.

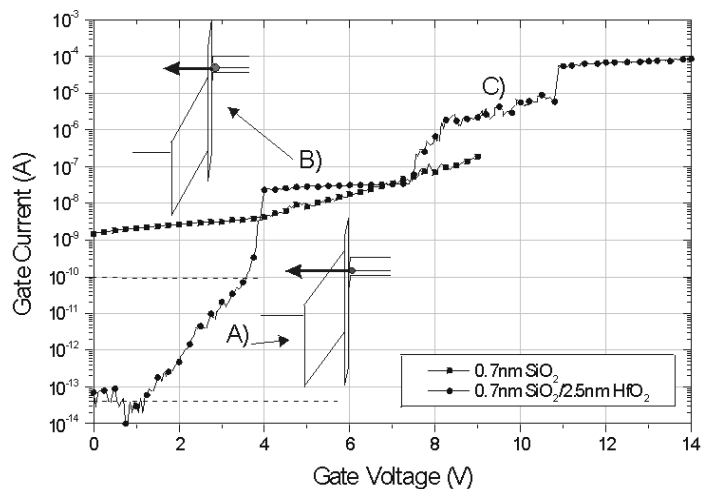


Fig. 4.17. Característiques I-V representatives mesurades amb ECAFM per la mostra  $\text{SiO}_2$  (quadrats) i la mostra high-k (cercles). Les línies discontinües indiquen el rang de corrent mesurable amb un CAFM convencional.

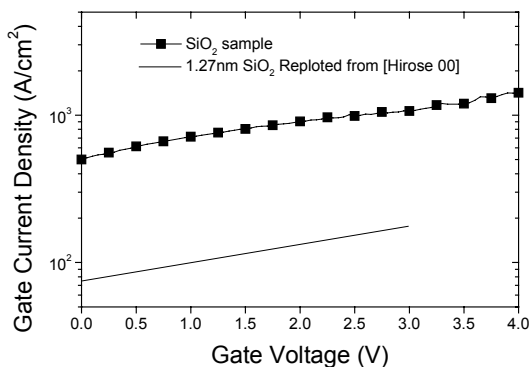


Fig. 4.18. Comparació de les característiques I-V per  $V_{\text{porta}} < 4\text{V}$  de la mostra  $\text{SiO}_2$  (quadrats) i de dispositius MOS amb òxid de porta de  $1.27\text{nm}$  de [Hirose 00] (línia contínua).

Una vegada que ja es disposa d'un coneixement bàsic del comportament d'una capa de  $\text{SiO}_2$  de gruix similar a la capa interfacial de l'stack, es pot passar pròpiament a l'estudi de l'stack  $\text{HfO}_2/\text{SiO}_2$ . La característica I-V de la mostra high-k presenta diferents règims de conducció per  $V_{\text{porta}} > \sim 1\text{V}$  (per tensions menors es mesura només soroll elèctric): a) una regió on el corrent augmenta diversos ordres de magnitud, b) un replà i c) una regió on el corrent augmenta novament, però d'una forma sorollosa i que tendeix finalment a un comportament lineal. Repetint els càlculs realitzats per a la determinació del diagrama de l'stack  $\text{HfAlO}_x/\text{SiO}_2$  (secció 4.1.2) amb les dades corresponents a l'stack  $\text{HfO}_2/\text{SiO}_2$  ( $k_{\text{SiO}_2}=3.9$ ,  $k_{\text{HfO}_2}=20$ ,  $t_{\text{SiO}_2}=0.7\text{nm}$ ,  $t_{\text{HfO}_2}=2.5\text{nm}$ ) s'obté:  $V_{\text{SiO}_2} \sim 60\%$  de  $V_{\text{Stack}}$  i  $V_{\text{HfO}_2} \sim 40\%$  de  $V_{\text{Stack}}$ . Amb aquest repartiment de tensions, per voltatges aplicats menors d'uns  $4\text{-}5\text{V}$  es té un diagrama de bandes conceptualment idèntic al de la Fig. 4.8.b. És a dir, que la regió (A) es pot associar a injecció de portadors a través d'una barrera triangular de  $\text{HfO}_2$  i de la barrera de potencial del  $\text{SiO}_2$ . Per voltatges aplicats superiors a

4-5V es té un diagrama de bandes com el de la Fig. 4.8.c, el que indica que la regió (B) correspon a injecció de portadors amb energies superiors a la barrera del  $\text{HfO}_2$ . Els diagrames de bandes corresponents es mostren en els esquemes inserits en la figura 4.17 La regió C), que relacionarem amb la ruptura dielèctrica de l'stack, s'estudiarà a la secció següent.

Cal remarcar que aquestes regions no es poden observar (o com a mínim no tant clarament) utilitzant tècniques estàndard de caracterització elèctrica (anàlitzador de semiconductors + taula de puntes), ja que aquestes tècniques ofereixen resultats promitjats sobre àrees milers de vegades majors que l'àrea de contacte punta mostra ( $\sim 300\text{nm}^2$ ). S'ha intentat reconstruir una d'aquestes característiques macroscòpiques sumant característiques locals adquirides amb ECAFM. La Fig. 4.19 mostra la densitat de corrent de porta resultant de sumar unes 200 corbes I-V (i dividir per  $\sim 200 \times A_{\text{ef}}$ ) mesurades amb ECAFM. Els diferents règims de conducció resten emmascarats. És molt difícil comparar aquest gràfic amb resultats experimentals de la literatura, perquè pel rang de voltatges en que es pot mesurar corrent amb l'ECAFM, les estructures de test de tanamys microelectrònics amb el mateix EOT ja s'han trencat.

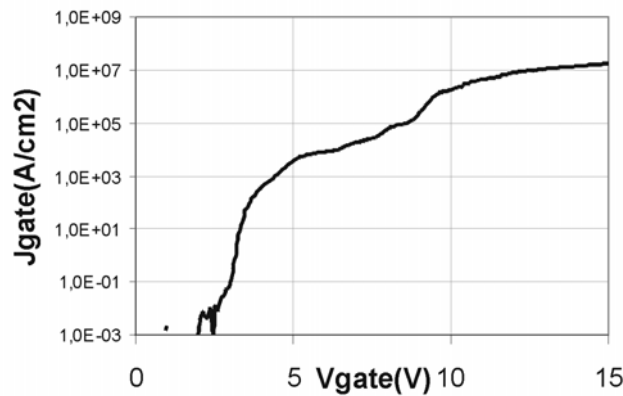


Fig. 4.19. Densitat de corrent de porta resultant de sumar unes 200 corbes I-V (i dividir per  $\sim 200 \times A_{\text{ef}}$ ) mesurades amb ECAFM. Els diferents règims de conducció que s'aprecien en la Fig. 4.17 queden ocults.

### 4.2.3. Ruptura dielèctrica de l'stack $\text{HfO}_2/\text{SiO}_2$

La ruptura dielèctrica de l'òxid de porta d'un dispositiu MOS és un fenomen d'una importància capdal per a l'avaluació de la seva fiabilitat. Entre altres aspectes, cal determinar quin és el criteri per considerar que s'ha produït ruptura en una posició, quines conseqüències té la ruptura en la conducció a través del dielèctric i quins paràmetres influeixen en aquesta conducció. En aquest treball, es considerarà com a criteri de ruptura el fet de mesurar per voltatges baixos un corrent molt més elevat que el mesurat en aquella posició per la mostra verge. Amb aquest criteri, en primer lloc s'analitzarà si la regió (C) identificada en les característiques I-V de la mostra amb  $\text{HfO}_2$  (Fig. 4.17) correspon realment a la ruptura dielèctrica. A continuació, s'estudiarà el dany causat al dielèctric per la ruptura. Per avaluar aquest dany s'analitzaran els monticles mesurats als mapes topogràfics i les corbes I-V corresponents als espots que han patit la ruptura. Per últim es presentarà la fenomenologia que es dona en la conducció post

ruptura, observada a partir de sèries de rampes de voltatge aplicades en una mateixa posició trencada.

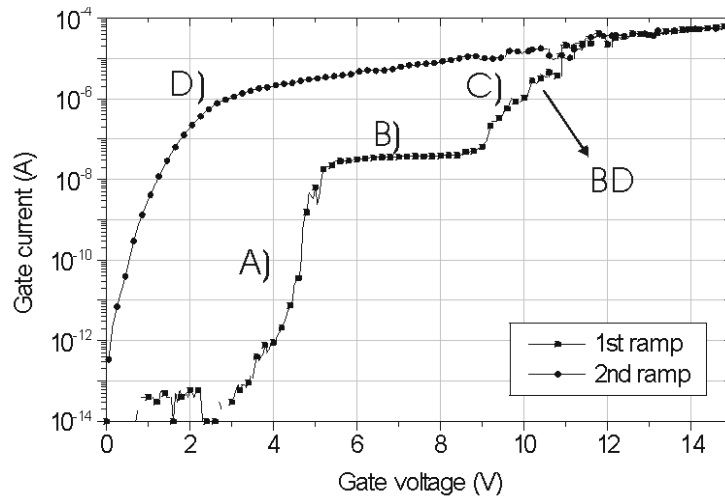


Fig. 4.20. Característiques I-V corresponents a dues rampes de voltatge consecutives en la mateixa posició. Aquestes corbes són representatives del 80% de les posicions analitzades.

Per determinar si la regió (C) de la característica I-V de la mostra high-k suposa la ruptura de l'stack, s'ha procedit a aplicar una segona rampa de voltatge a la mateixa posició. La Fig. 4.20. mostra la primera (quadrats) i segona rampa (cercles) típiques que s'obtenen en un 80% de les posicions de l'stack analitzades. En aquesta segona I-V (règim de conducció D) no es recuperen els modes de conducció (A) i (B) i presenta uns nivells de corrent molt més alts que la primera característica I-V per voltatges baixos, confirmant que la ruptura de l'stack a succeït. En la regió (C) és va assolint progressivament el valor de corrent final de post ruptura (règim de conducció D). Aquest comportament també ha estat observat en stacks  $\text{HfO}_2/\text{SiO}_2$  ultraprims utilitzant tècniques de caracterització macroscòpiques [Kim 04]. Donat que, com hem vist, per injecció des del substrat a camps alts la característica I-V de l'stack ve determinada per la capa interfacial de  $\text{SiO}_2$  [Degraeve 03], la regió (C) podria correspondre a la degradació i ruptura (progressiva) [Monsieur 02] d'aquesta capa, que comportaria la ruptura de l'stack.

Es pot concloure també que la regió (C) correspon a la ruptura dielèctrica de l'stack a partir dels mapes topogràfics i elèctrics adquirits d'una zona on prèviament s'ha aplicat una rampa de voltatge. Per tal de no modificar l'estat elèctric de la zona quan es realitza l'adquisició dels mapes de corrent, s'ha utilitzat un voltatge suficientment petit ( $\leq 3\text{V}$ ). Els mapes topogràfics i elèctrics (Fig. 4.21.a i b respectivament) adquirits després d'aplicar una rampa de voltatge de 0 fins a 8V, és a dir, amb un voltatge final dins de la regió replà (de manera que no s'observa la regió C), no mostren canvis ni en la topografia ni en el corrent. Cal destacar que no s'observen modificacions encara que durant la rampa de voltatge ha circulat un corrent d'aproximadament 10nA a través d'una àrea d'uns  $300\text{nm}^2$ . En canvi, quan s'adquireixen els mapes topogràfics (Fig. 4.22.a i b) i elèctrics (Fig. 4.22.c) de la zona on s'ha aplicat una rampa de voltatge de 0 fins a 15V (registrant la regió c), s'observen modificacions en els dos mapes. A la posició on s'ha aplicat la rampa de voltatge apareixen monticles en la topografia i la conductivitat augmenta espectacularment. Aquest fenomen és anàleg a l'observat en capes de  $\text{SiO}_2$  després de la ruptura [Porti 03b], confirmant novament que s'ha produït la



ruptura dielèctrica. A partir dels mapes de corrent s'ha determinat el tamany elèctric dels espots de ruptura, obtenint un valor d'uns  $5000\text{nm}^2$ . Aquest valor és del mateix ordre que el dels espots de ruptura mesurats en la mostra de  $0.6\text{-}0.7\text{nm}$  de  $\text{SiO}_2$ , però un ordre de magnitud menor que els valors mesurats en capes de  $\text{SiO}_2$  més gruixudes ( $3\text{-}6\text{nm}$ ) [Porti 02b]. Aquest darrer fet indicaria, que el gruix de la capa de  $\text{SiO}_2$  influeix fortament en el tamany de l'espots de ruptura i que per capes ultra primes de  $\text{SiO}_2$  (gruix de l'ordre o per sota del  $\text{nm}$ ) la ruptura pateix una propagació lateral menor que en òxids més gruixuts.

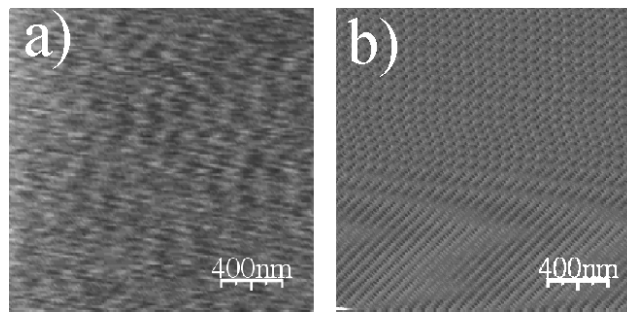


Fig. 4.21. a) Mapa topogràfic i b) de corrent ( $V_{\text{porta}}=3\text{V}$ ) d'una zona on s'han aplicat diverses rampes de voltatge de 0 fins a  $8\text{V}$ . El tamany de les imatges és  $2\times 2\mu\text{m}^2$ . El rang d'alçades és de  $0\text{nm}$  (negre) fins  $0.2\text{nm}$  (blanc). El rang de corrent és de  $0\text{pA}$  (negre) fins  $0.1\text{pA}$  (blanc).

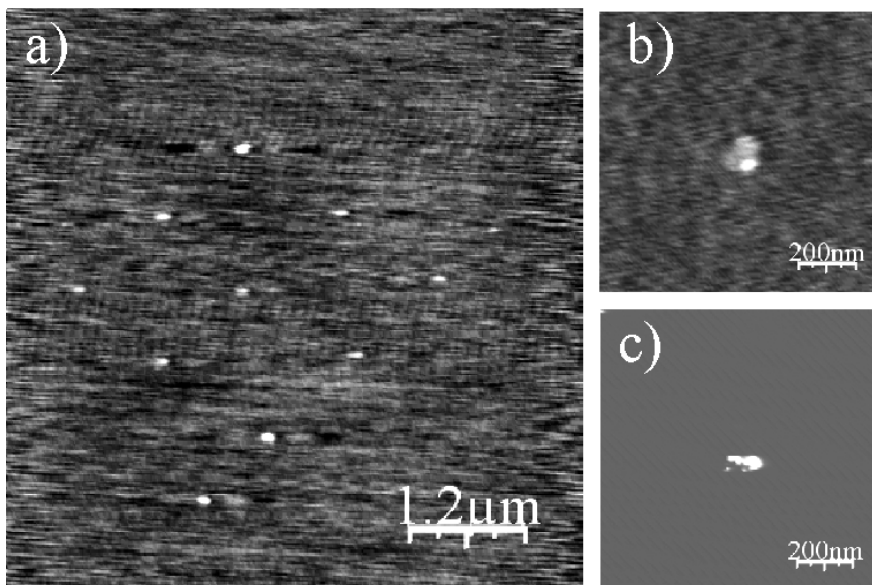


Fig. 4.22. a) Mapa topogràfic ( $6\times 6\mu\text{m}^2$ ) on s'observen 10 monticles apareguts en les posicions on prèviament s'han aplicat rampes de voltatge de 0 fins a  $15\text{V}$ . L'alçada dels monticles està en el rang de  $\sim 1\text{nm}$  fins  $\sim 6\text{nm}$ . b) Topografia i c) mapa de corrent corresponent a una ampliació ( $1\times 1\mu\text{m}^2$ ) d'un dels monticles observat en a). El rang d'alçades és de  $0\text{nm}$  (negre) fins  $6\text{nm}$  (blanc). El rang de corrent és de  $100\text{fA}$  (negre) i que correspon al nivell de soroll, fins  $300\text{pA}$  (blanc).

A partir de perfils de corrent extrets dels mapes de corrent (mesurats amb CAFM) s'ha estudiat la distribució espacial de la conductivitat en un espots de ruptura. La figura 4.23 mostra un d'aquests perfils, per diferents voltatges de porta. S'observa que la conducció a través de l'espots no és homogènia, si no que presenta un màxim al centre de l'espots. Aquest comportament és similar a l'observat per Porti et al. [Porti 05b] en espots de

ruptura en capes ultra primes de SiO<sub>2</sub>. Resta pendent per futurs treballs l'anàlisi de la influència que tenen la forma de la punta i la capa d'aigua (deguda a la humitat ambient) en aquests perfils de corrent.

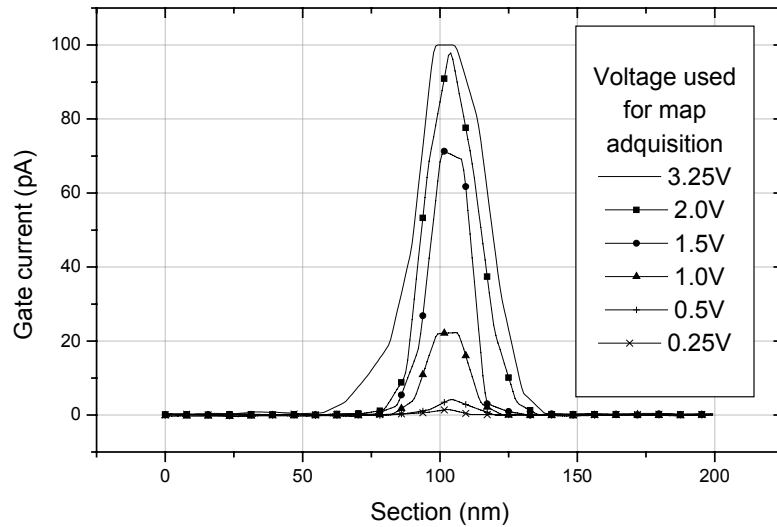


Fig. 4.23. Perfils de corrent corresponents a un espot de ruptura, per diferents voltatges de porta. El valor màxim de corrent a través de l'espot és dona al seu centre.

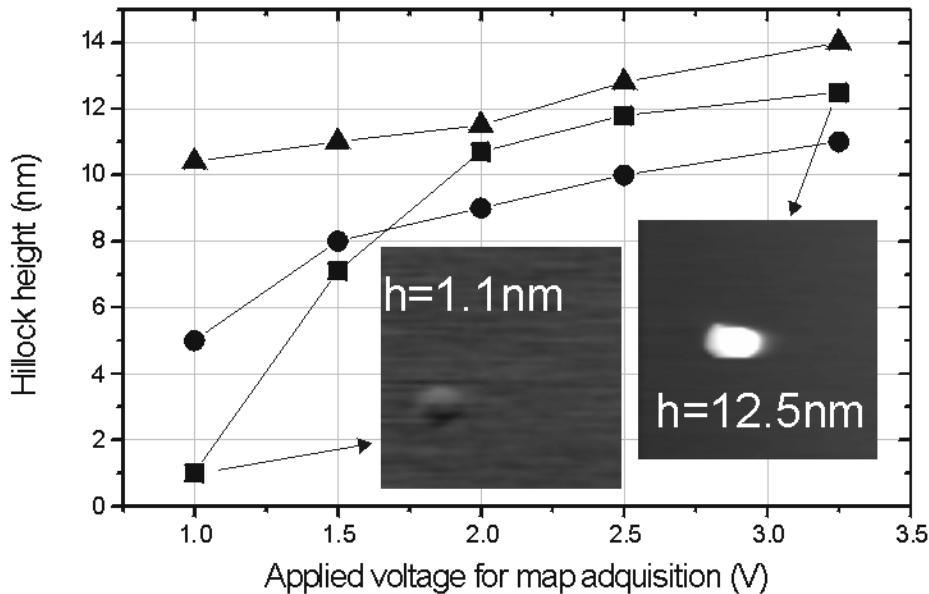


Fig. 4.24. Alçada dels monticles apareguts en les posicions on s'ha produït la ruptura dielèctrica, en funció del voltatge d'escombrat utilitzat durant l'adquisició dels mapes topogràfics. Cada sèrie de dades correspon a un espot de ruptura diferent. S'observa la tendència de que com més gran és el voltatge aplicat durant l'escombrat, més gran és l'alçada del monticle. Aquest fet indica que els monticles no són realment una modificació topogràfica. El tamany dels mapes és 0.5×0.5µm<sup>2</sup>. El rang d'alçades és de 0nm (negre) fins 15nm (blanc).

Els monticles observats en les imatges topogràfiques podrien ser el resultat de la combinació d'una modificació real de la morfologia de l'stack, més una deflexió addicional de la punta del microscopi deguda a la càrrega generada en la posició de trencament durant el procés de ruptura dielèctrica de l'òxid. Per tal de verificar si els monticles són realment modificacions topogràfiques, s'han analitzat els mapes

topogràfics obtinguts simultàniament als mapes de corrent mesurats aplicant diferents voltatges. La figura 4.24 mostra la relació entre l'alçada del monticle i el voltatge aplicat per l'adquisició del mapa topogràfic, per diferents espots de ruptura. El fet que l'alçada del monticle depengui del voltatge d'escombrat implica que els monticles no són realment modificacions topogràfiques (o com a mínim que aquest no és el factor dominant). Per tant, els monticles són un "artifact" causat per la càrrega induïda durant el procés de ruptura dielèctrica, que provoca una deflexió adicional de la punta del microscopi. Cal mencionar que aquest experiment s'ha realitzat amb un AFM equipat amb puntes de PtIr amb una constant de força unes 10 vegades menor que les puntes de CoCr utilitzades amb les mesures amb ECAFM (Fig. 4.22) i que per tant per un mateix valor de càrrega induïda es mesuren alçades de monticle unes 10 vegades superiors.

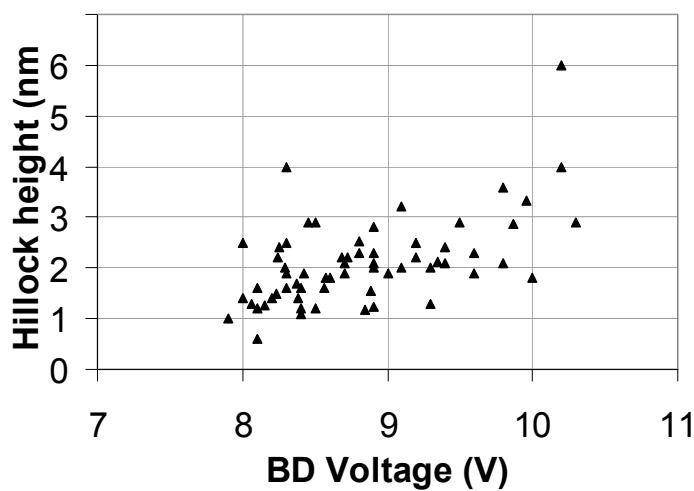


Fig. 4.25. Alçada dels monticles apareguts en les posicions on s'ha produït la ruptura dielèctrica, en funció del voltatge de ruptura. S'observa la tendència de que com més gran és el voltatge de ruptura, més gran és l'alçada del monticle.

Els monticles apareguts en la topografia després de la ruptura han estat estudiats més detalladament. A la figura 4.25 s'ha representat l'alçada del monticle en funció del voltatge en que comença la regió (C) al que ens referirem com voltatge de ruptura. L'alçada dels monticles, mesurada sempre a la mateixa tensió, està en el rang de  $\sim 1$  nm fins  $\sim 6$  nm, amb un promig d'uns 2 nm. En aquesta gràfica, malgrat la gran dispersió, s'observa una certa tendència de que com més gran és el voltatge de ruptura, més gran és l'alçada del monticle. De la mateixa manera que per les capes de  $\text{SiO}_2$  [Porti 02], l'alçada dels monticles pot servir d'indicador del dany causat a l'stack per la ruptura dielèctrica. Assumint, com s'ha demostrat (de la mateixa manera que pel  $\text{SiO}_2$ ), que el factor dominant és la deflexió deguda a la càrrega generada, a partir de l'alçada del monticle es pot determinar la càrrega induïda per la ruptura [Porti 02]. Un monticle més alt (més deflexió de la punta) implica que s'ha induït més càrrega i que s'ha causat més dany. Per tant la figura 4.25 indicaria que com més alt és el voltatge de ruptura més gran és el dany provocat. Considerant que la càrrega apareix a la interfície Si-SiO<sub>2</sub>, s'ha estimat un valor promig de 50 electrons (per l'alçada promig de 2 nm) atrapats a l'espot de ruptura, un valor que és compatible amb els resultats obtinguts pel  $\text{SiO}_2$  [Porti02].

La resta d'aquesta secció està dedicada a l'estudi de la conducció de post-ruptura a través de l'stack  $\text{HfO}_2/\text{SiO}_2$ , a partir de les característiques I-V adquirides amb ECAFM. Per cadascuna de les posicions analitzades s'han adquirit com a mínim 5 característiques

I-V consecutives. Cada rampa de voltatge està composta d'una rampa de voltatge d'anada (0V fins a 15V) i una rampa de voltatge de tornada (15V fins a 0V).

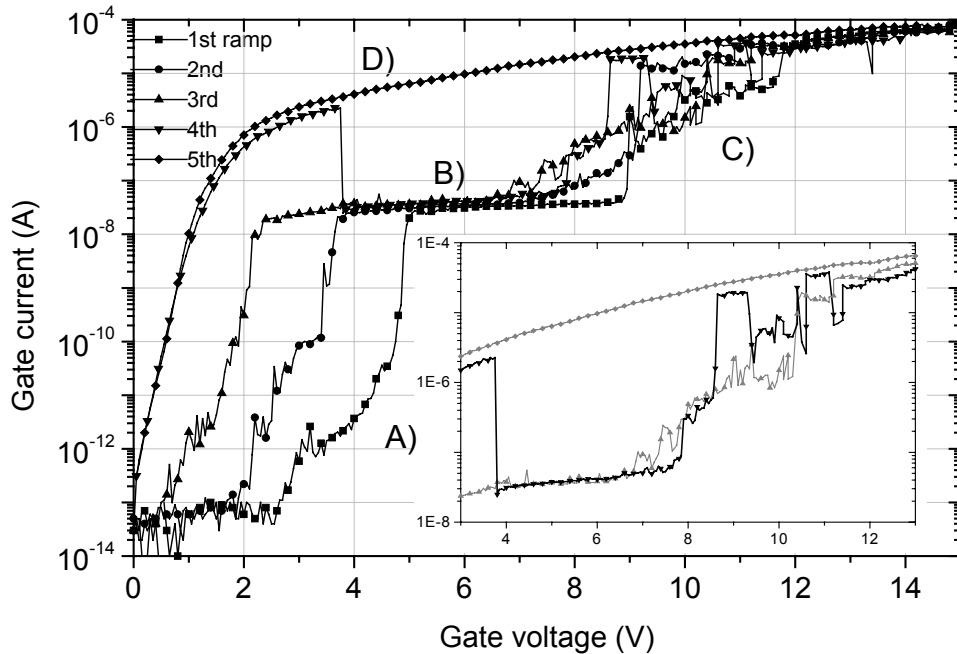


Fig. 4.26. Sèrie de rampes de voltatge consecutives, aplicades en una mateixa posició de l'stack on s'ha produït una ruptura reversible. Al gràfic només es representen les rampes d'anada. Totes les corbes de tornada es superposen a la característica de la cinquena I-V (conducció tipus D). Les successives rampes d'anada evolucionen de forma contínua des de la corba verge (primera I-V) fins a un estat de conducció estable (regió D). Al gràfic s'inclou una ampliació de les rampes tercera fins cinquena on es pot apreciar la commutació entre diferents estats de degradació.

Per totes les posicions analitzades, les sèries de característiques I-V obtingudes s'han acabat estabilitzant en el règim de conducció tipus (D) (Fig. 4.20 o 4.26), al que ens referirem com estat final de post ruptura. Aquest règim és lineal per  $V_{\text{porta}} > \sim 10\text{V}$ . A partir del pendent de les corbes I-V en aquest rang, s'ha calculat la resistència de post ruptura de l'stack, obtenint un valor de  $\sim 10^5 \Omega$ . Com ja hem dit, en el 80% de les posicions estudiades, s'ha obtingut el comportament representat a la figura 4.20. Per aquestes posicions excepte la primera rampa d'anada (mostra verge) la resta de rampes tant d'anada com de tornada corresponen a l'estat estable (final) identificat com la regió de conducció (D). El 20% restant de les posicions analitzades manifesten una fenomenologia de post ruptura diferent. La figura 4.26 mostra una sèrie de 5 rampes de voltatge d'anada consecutives representatives d'aquest 20% de les posicions. Les rampes de tornada són sempre iguals a (D). La primera rampa d'anada (mostra verge) mostra les 3 regions de conducció (A,B,C) ja vistes a la figura 4.20. Cal remarcar que aquesta primera rampa és formalment idèntica a la primera rampa representada a la figura 4.20, el que implica que a partir de la característica verge no es pot predir si el comportament de post ruptura serà com el mostrat a la figura 4.20 o com el que mostra la figura 4.26. Les successives rampes d'anada presenten característiques I-V compreses entre la de la corba verge (primera I-V) i una característica del tipus (D). Per la posició analitzada a la figura 4.26 s'assoleix el règim de conducció (D) en la cinquena rampa, però el nombre de rampes concret que cal per assolir el règim de conducció (D) depèn de la posició estudiada. Una vegada assolit el règim de conducció (D), aquest estat es manté estable.

Cal remarcar que les rampes de tornada (no representades) són sempre del tipus (D). El fet que les rampes d'anada 2<sup>a</sup>, 3<sup>a</sup> i 4<sup>a</sup> presentin nivells de corrent inferiors als de les rampes de tornada prèvies i mostrin els modes de conducció de pre-ruptura, indica que en aquestes posicions es recuperen parcialment les propietats aïllants. Per això, ens referirem a aquest comportament com ruptura reversible. Una vegada que la rampa d'anada arriba a l'estat (D) el comportament és estable i la ruptura irreversible.

El fet de que totes les característiques I-V corresponents a les rampes de tornada coincideixin amb la corba tipus (D) mentre que les corbes d'anada són similars a la corba verge suggereix l'existència d'un cicle d'histèresi. Un cicle d'histèresi entre característiques de pre i post ruptura ha estat també observat en capes de SiO<sub>2</sub> estressades en sèrie amb una resistència de protecció [Nafria 93]. En aquell cas, però, no es podia recuperar la característica verge. La forma del cicle d'histèresi canvia a mesura que el nombre de rampes de voltatge (estrès elèctric) augmenta, ja que mentre que les rampes de tornada es mantenen estables, per les rampes d'anada l'inici de les regions (B) i (C) es desplaça cap a valors inferiors de voltatge. El desplaçament cap a voltatges inferiors de l'inici de les regions (B) i (C) podria estar causat per l'atrapament de càrrega en la capa de HfO<sub>2</sub>, tal com s'ha observat en test realitzats en dispositius d'àrees microelectròniques [Crupi 04]. La càrrega atrapada modificaria el diagrama de bandes de la capacitat MOS, ja que canviaria el repartiment de voltatge entre les dues capes de l'stack. Un augment del percentatge de voltatge que cau a la capa de SiO<sub>2</sub> provocaria que la transició de injecció a través de la barrera del HfO<sub>2</sub> més la del SiO<sub>2</sub> (mode de conducció A) a injecció per sobre de la barrera del HfO<sub>2</sub> (mode de conducció B) es produís a voltatges inferiors. Per altra banda, donat que per injecció des del substrat a camps alts la característica I-V de l'stack ve determinada per la capa interfacial de SiO<sub>2</sub> [Degraeve 03], sembla raonable pensar que un augment del percentatge de voltatge que cau a la capa de SiO<sub>2</sub> provocaria que l'inici de la regió (C) es donés per voltatges de porta menors.

A banda de la recuperació de les propietats aïllants per una rampa d'anada respecte a la rampa anterior de tornada (cicle d'histèresi), també s'han observat recuperacions (i pèrdues) sobtades de la conductivitat de l'stack en una mateixa rampa d'anada (quarta rampa de la figura 4.26). L'ampliació inserida en la figura 4.26 mostra aquesta commutació entre diferents estats de conducció. Es pot veure que per la quarta rampa, fins uns 4V la característica I-V correspon a la conducció de post ruptura final. Llavors, l'stack recupera la conductivitat d'una posició verge. A mesura que el voltatge augmenta, la característica I-V entra en la regió c). En aquesta regió la corba presenta diversos salts en la conducció, fins que s'assoleix la característica de post ruptura final. Aquest fenomen ha estat observat en capes de SiO<sub>2</sub> utilitzant tècniques estàndard [Nafria 93, Miranda 00] i CAFM [Porti 02b], i es considera que és una conseqüència de la reversibilitat de la ruptura, és a dir, que en el dielèctric s'ha creat un camí conductor entre els elèctrodes de porta i substrat però que aquest camí es pot obrir o tancar en funció de les condicions locals, donant peu a fluctuacions entre estats de diferent conductivitat.

Com a comentari final d'aquesta secció, cal remarcar que la utilització de CAFM i ECAFM ha permès observar amb resolució nanomètrica espots de ruptura en un material high-k per primera vegada. Per una banda, el fet que la fenomenologia de ruptura i post ruptura obtinguda en aquesta secció sigui també típica de capes ultra primes de SiO<sub>2</sub>,

referma la hipòtesi de que el fenomen de la ruptura dielèctrica de l'stack, per injecció des del substrat, està controlat per la capa interfacial de SiO<sub>2</sub>. Per altra banda, part d'aquesta fenomenologia de post ruptura pròpia de l'stack ha estat observada també en capes de SiO<sub>2</sub> estressades en sèrie amb una resistència de protecció, el que indicaria que la capa high-k aportaria, de la mateixa manera que la resistència, un efecte limitador de la duresa de la ruptura de l'stack.

### 4.3 Resum

En aquest capítol s'han presentat els principals resultats obtinguts de la utilització del CAFM i l'ECAFM per a la caracterització topogràfica i elèctrica a escala nanomètrica de dielèctrics de porta d'alta permitivitat basats en el Hafni. En concret, aquestes dues tècniques s'han utilitzat per estudiar dos dels problemes principals que presenta la integració dels materials d'alta permitivitat en la tecnologia CMOS estàndard: la compatibilitat amb processos tecnològics que requereixen temperatures elevades, i la fenomenologia de la ruptura dielèctrica de l'stack.

Per analitzar la compatibilitat del HfAlO<sub>x</sub> amb els processos a alta temperatura s'ha estudiat la homogeneïtat espacial del gruix i de la conductivitat de la capa dielèctrica sotmesa a diferents temperatures de recuit. Aquests experiments han permès observar que per temperatures superiors a la temperatura de cristal·linització del material high-k (uns 800-900°C) la conductivitat de la mostra augmenta i es torna més inhomogènia. L'augment de la conductivitat i de la inhomogeneïtat van acompanyats de la formació de cristalls de HfO<sub>2</sub> en la capa de HfAlO<sub>x</sub> i un augment de la rugositat de la interfície entre el SiO<sub>2</sub> i el HfAlO<sub>x</sub>. Es creu que aquests dos factors són els causants de l'augment de la inhomogeneïtat elèctrica i de la conductivitat.

L'estudi del comportament elèctric i de la ruptura dielèctrica d'stacks de porta high-k/SiO<sub>2</sub> va ser la motivació que va portar al desenvolupament de l'ECAFM. La utilització d'aquesta tècnica combinada amb CAFM ha permès obtenir resultats complementaris als que proporcionen les tècniques de caracterització elèctrica macroscòpiques. Els experiments realitzats amb CAFM i ECAFM han revelat que tant pel SiO<sub>2</sub> com per l'stack HfO<sub>2</sub>/SiO<sub>2</sub> la conducció no és espacialment homogènia. És a dir, hi ha espots febles on per un voltatge donat el corrent mesurat és superior al de la resta de posicions.

Per altra banda, a partir de rampes de voltatge realitzades amb ECAFM, s'han estudiat els diferents modes de conducció que es donen a l'stack. Aquests modes de conducció no es poden observar (o com a mínim no tant clarament) mitjançant tècniques estàndard, ja que ofereixen resultats promitjats sobre tota l'àrea de porta que és ordres de magnitud superior a l'àrea de contacte entre la punta del microscopi i la mostra. Els diferents modes de conducció s'han associat a: (a) injecció de portadors a través d'una barrera triangular de HfO<sub>2</sub> i de la barrera de potencial del SiO<sub>2</sub>, (b) injecció de portadors amb energies superiors a la barrera del HfO<sub>2</sub>, (c) ruptura dielèctrica de l'stack i (d) conducció de post ruptura.

Una vegada analitzats els modes de conducció en l'stack verge, s'ha passat a l'estudi de la ruptura dielèctrica d'stacks HfO<sub>2</sub>/SiO<sub>2</sub>. Els experiments realitzats han permès observar per primera vegada espots de ruptura en materials high-k amb resolució nanomètrica. Els

mapes de corrent mostren que a les posicions on s'ha produït la ruptura dielèctrica el corrent mesurat és molt superior a la resta de la regió analitzada. Paral·lelament, als mapes topogràfics s'ha observat l'aparició de monticles a les posicions on s'ha provocat la ruptura. Aquests monticles s'han associat a la càrrega induïda per la ruptura i al dany que ha patit el dielèctric en aquella posició. S'ha observat la tendència de que com més gran és el voltatge de ruptura, major és la càrrega induïda.

La caracterització de l'stack s'ha completat amb l'estudi de la fenomenologia de post ruptura a partir de sèries de rampes de voltatge (característiques I-V) realitzades en una posició. La majoria de les posicions analitzades han mostrat una ruptura no reversible en la qual, una vegada que es produeix el trencament del dielèctric, l'stack perd definitivament les seves propietats aïllants. Per la resta de posicions caracteritzades, a banda de la recuperació de les propietats aïllants per una rampa de voltatge d'anada respecte a la rampa anterior de tornada (cicle d'histeresi), també s'han observat recuperacions (i pèrdues) sobtades de la conductivitat de l'stack en una mateixa rampa de voltatge d'anada (commutació entre diferents modes de conducció). Aquest comportament es considera que és una conseqüència de la reversibilitat de la ruptura, és a dir, que en el dielèctric s'ha creat un camí conductor entre els elèctrodes de porta i substrat però que aquest camí es pot obrir o tancar en funció de les condicions locals, donant peu a fluctuacions entre estats de diferent conductivitat

Per últim, cal destacar que el fet que la fenomenologia observada a camps alts o nivells de degradació alts en aquests experiments sigui típica de capes ultra primes de SiO<sub>2</sub>, apunta a que la ruptura dielèctrica de l'stack està controlada per la capa interfacial de SiO<sub>2</sub>, mentre que la capa high-k proporcionaria un efecte limitador de la severitat de la ruptura dielèctrica.

## Conclusions

En aquesta tesi s'ha utilitzat la Microscopia de Forces Atòmiques (AFM) amb punta Conductora (CAFM) com a eina de caracterització (i en alguns casos de fabricació) de dielèctrics de porta de dispositius MOS. S'ha estudiat el SiO<sub>2</sub> crescut amb AFM (AFM-GOX) per avaluar si podria substituir al SiO<sub>2</sub> crescut tèrmicament (T-GOX) com dielèctric de porta en dispositius MOS, en determinades aplicacions. Si fos així, l'AFM/CAFM es podria utilitzar per créixer l'òxid de porta de dispositius MOS extremadament petits, amb una configuració experimental relativament senzilla. Per altra banda, en un futur molt proper, la indústria microelectrònica preveu substituir el SiO<sub>2</sub> crescut tèrmicament com a dielèctric de porta per algun material de constant dielèctrica més elevada, per tal de reduir el corrent de fuites, però encara no s'ha trobat aquest substitut. Per això, en aquesta tesi s'han estudiat diversos materials d'alta constant dielèctrica, considerats possibles substituïts del SiO<sub>2</sub>, per analitzar la seva compatibilitat amb processos CMOS a alta temperatura i la seva fiabilitat.

S'ha triat la CAFM com a tècnica principal de caracterització perquè permet estudiar aquests dielèctrics de porta amb resolució nanomètrica. Aquesta resolució és imprescindible, donat que aquesta és l'escala de funcionament dels dispositius MOS que es necessiten en el present i en un futur pròxim. El CAFM caracteritza dielèctrics sense porta, formant una capacitat MOS d'àrea activa definida per l'àrea de contacte punta – mostra (de l'ordre de pocs centenars de nm<sup>2</sup>). Cal recordar que les tècniques estàndard que utilitza la major part de la comunitat científica ofereixen resultats promitjats sobre àrees de porta molt més grans, el que fa que determinada fenomenologia quedi emmascarada.

Per estudiar si l'AFM-GOX pot substituir al T-GOX, s'ha realitzat una caracterització topogràfica i elèctrica amb CAFM de l'AFM-GOX i s'ha comparat amb els resultats corresponents al T-GOX. La caracterització topogràfica s'ha centrat en l'estudi de la rugositat de les interfícies. La caracterització elèctrica nanomètrica ha permès comparar les característiques intensitat – voltatge (I-V) locals d'ambdós tipus de GOX. Paral·lelament a la caracterització a escala nanomètrica, s'ha realitzat una caracterització elèctrica d'ambdós tipus d'òxid mitjançant tècniques estàndard en dispositius amb porta. Per fabricar les mostres adequades per realitzar aquest segon tipus d'experiments, l'oxidació anòdica ha estat integrada dintre d'un procés CMOS. La caracterització elèctrica s'ha focalitzat en l'estudi dels modes de conducció que es donen en ambdós tipus d'òxid pels diferents rangs de voltatge aplicat a l'estructura MOS.



- Des d'un punt de vista topogràfic, el SiO<sub>2</sub> crescut amb AFM podria substituir al SiO<sub>2</sub> crescut tèrmicament donat que: (a) La rugositat de la superfície és molt similar als valors obtinguts pel SiO<sub>2</sub> crescut tèrmicament, i (b) la rugositat de la interfície SiO<sub>2</sub>-Si també és del mateix ordre que els valors que es troben pel SiO<sub>2</sub> crescut tèrmicament.
- Des d'un punt de vista elèctric, les característiques Intensitat – Voltatge de dispositius de tamany microelectrònic (obtingudes amb tècniques estàndard) revelen que el comportament a nivell dispositiu de les capacitats amb AFM-GOX és inferior que el del T-GOX, ja que: (a) per l'AFM-GOX la ruptura dielèctrica es produeix a voltatges inferiors, i (b) per voltatges menors que el de ruptura, el corrent és diversos ordres de magnitud superior que el que es mesura pel T-GOX. El fet d'obtenir propietats elèctriques inferiors per les capacitats MOS amb SiO<sub>2</sub> crescut amb AFM pot ser conseqüència de factors associats al procés de fabricació. Utilitzant CAFM s'aconsegueix una comparació directa d'ambdós tipus d'òxid, ja que el GOX s'estudia en dispositius MOS sense porta dipositada, que no necessiten la integració de l'oxidació AFM en un procés CMOS, fet que elimina la possible influència del procés de fabricació en les característiques del dispositiu. La comparació de les característiques I-V adquirides amb CAFM ha mostrat que a escala nanomètrica, en capes d'aproximadament el mateix gruix, es té el mateix tipus de conducció per ambdós tipus d'òxid. Malgrat que a escala nanomètrica presenten comportaments elèctrics similars, les corbes I-V de l'AFM-GOX estan desplaçades cap a voltatges més baixos, indicant de nou que el seu comportament dielèctric no és tant bo com el del SiO<sub>2</sub> crescut tèrmicament. La diferència de qualitat es podria atribuir a la generació de defectes durant el procés d'oxidació amb AFM. Aquests defectes es podrien eliminar parcialment, i per tant es milloraria la qualitat de l'AFM-GOX, mitjançant un procés de recuit posterior al creixement de l'òxid.

Tot i que la CAFM resulta una tècnica molt útil per a la caracterització topogràfica i elèctrica de dielèctrics de porta a escala nanomètrica, presenta certes limitacions en aspectes com el rang de corrent mesurable o la flexibilitat per realitzar tests elèctrics. Per això ha calgut desenvolupar un prototipus de CAFM amb prestacions elèctriques millorades (ECAFM), que permet superar aquestes limitacions. Amb aquesta finalitat s'han substituït els mitjans de generació de voltatge i de mesura de corrent propis d'un CAFM comercial per unitats font-monitor (SMU, de l'anglès Source Monitor Unit) d'un analitzador de paràmetres de semiconductors (APS) comercial. Els SMU permeten aplicar voltatge i mesurar corrent o viceversa, amb un rang de mesura variable i auto seleccionable. Per operar el nou instrument s'ha desenvolupat un software específic que integra en el mateix sistema de mesura l'APS i el CAFM. Dels experiments de testeig del prototipus d'ECAFM es pot concloure que:

- L'ECAFM pot mesurar corrents des de 0.1pA fins mA en una mateixa mesura, reproduint els resultats obtinguts amb el CAFM en el rang de mesura comú. La intensitat màxima que pot mesurar està limitada per les característiques de conducció de la punta utilitzada i la mínima pel soroll elèctric present en el sistema. A més, proporciona una flexibilitat molt més gran que un CAFM comercial en la definició de tests elèctrics.

Per últim, s'ha utilitzat el CAFM i l'ECAFМ per estudiar dos dels problemes principals que presenten els materials d'alta permitivitat per a la seva integració en la tecnologia CMOS actual: per un costat, la compatibilitat (del  $\text{HfAlO}_x$ ) amb els processos a alta temperatura, i per altra banda quines són les propietats elèctriques i la fenomenologia de ruptura dielèctrica a escala nanomètrica (del  $\text{HfO}_2$ ). Per aquests darrers experiments ha resultat especialment útil el gran rang de mesura de corrent de l'ECAFМ.

- La principal conclusió extreta de l'estudi de la compatibilitat del  $\text{HfAlO}_x$  amb processos CMOS a alta temperatura és que, quan aquest material es sotmet a temperatures prou elevades, apareixen zones amb una conducció més alta. És a dir, que les propietats dielèctriques de l'stack de porta empitjoren. Per temperatures de recuit  $\geq 900^\circ\text{C}$ , la conducció es torna espacialment més inhomogènia. Aquest comportament s'ha atribuït a la transició de la capa high-k d'una estructura amorfa a una poli - nano - cristal·lina, combinada amb l'augment de la rugositat de la interfície entre el dielèctric high-k i  $\text{SiO}_2$ . Les característiques I-V han permès identificar modes de conducció diferents, que s'han relacionat amb diferents configuracions del diagrama de bandes de l'stack. Aquests modes de conducció només s'observen per temperatures de recuit inferiors a  $900^\circ\text{C}$ .
- Els mapes de corrent obtinguts en l'stack  $\text{HfO}_2/\text{SiO}_2$  verge (sense estressar) han mostrat que la conducció és inhomogènia. El tamany dels espots febles presents a l'stack són del mateix ordre que els mesurats en  $\text{SiO}_2$ . L'anàlisi de les característiques I-V de la mostra de  $\text{HfO}_2$  ha revelat diferents règims de conducció que es poden associar a diferents configuracions del diagrama de bandes de l'stack. Aquests fenòmens queden emmascarats als tests macroscòpics.
- La ruptura provocada amb la punta de l'ECAFМ causa modificacions en els mapes topogràfics i de corrent. Els mapes elèctrics mostren que a les posicions on s'ha provocat la ruptura dielèctrica la conductivitat és molt més gran que a les zones verges. Les àrees dels espots de ruptura de l'stack  $\text{HfO}_2/\text{SiO}_2$  són del mateix ordre que les mesurades en capes de  $\text{SiO}_2$  amb gruix per sota del nm. La conducció a través dels espots de ruptura és inhomogènia, amb una conductivitat màxima al seu centre. Els mapes topogràfics presenten monticles, relacionats amb el dany estructural a l'stack, en les posicions on s'ha produït la ruptura dielèctrica.
- L'estudi de les característiques I-V de post-ruptura ha mostrat que, la ruptura pot ser tant un fenomen reversible, quan l'stack de porta pot recuperar, com a mínim parcialment, les seves propietats aïllants, com un fenomen irreversible. En algunes de les posicions on s'ha produït una ruptura reversible, en una mateixa característica I-V s'han observat també commutacions entre estats de diferent conductivitat. La fenomenologia de ruptura que presenta l'stack per camps alts o nivells de degradació alts apunta a que la ruptura dielèctrica de l'stack està controlada per la capa interfacial de  $\text{SiO}_2$ , mentre que la capa de material high-k té un efecte protector sobre la duresa de la ruptura.

Com a conclusió final d'aquesta tesi, cal emfatitzar la utilitat del CAFM, i en particular de l'ECAFМ, com a eina potent per a la caracterització de dielèctrics de porta a escala nanomètrica. Aquesta tècnica esdevé doncs una via alternativa per obtenir informació complementària a la que proporcionen els tests estàndard.

# Referències

- [Alam 99] M. Alam, J. Bude, B. Weir, P. Silverman, A. Ghetti, D. Monroe, K. P. Cheung, i S. Moccio, *Tech. Dig. Int. Electron Devices Meet.* 715 (1999).
- [Arnsdorf 96] M. F. Arnsdorf, i S. Xu, *J. Cardiovasc. Electrophysiol.* **7**, 639 (1996).
- [Avouris 97] P. Avouris, T. Hertel i R. Martel. *Appl. Phys. Lett.* **71**, 285 (1997).
- [Barret 04] N. Barrett, O. Renault, J. Damlencourt, i F. Martin. *J. Appl. Phys.* **96**, 6362 (2004).
- [Bastos 04] K. Bastos, J. Morais, L. Miotti, G. Soares, R. Pezzi, R. da Silva, H. Boudinov, I. Baumvol, R. Hegde, H. Tseng, i P. Tobinc. *J. Electrochem. Soc.* **151**, F153 (2004).
- [Bellingeri 05] E. Bellingeri, D. Marré, I. Pallecchi, L. Pellegrino, i A. Siri. *Appl. Phys. Lett.* **86**, Art. n° 012109 (2005).
- [Binning 86] G. Binning, C. F. Quate i Ch. Gerber. *Phys.Rev.Lett.* **56**, 9300, (1986).
- [Bruyere 00] S. Bruyere, F. Guyader, W. D. Coster, E. Vincent, M. Saadeddine, N. Revil, i G. Ghibaudo, *Microelectron. Reliab.* **40**, 691 (2000).
- [Buchanan 99] D. Buchanan, *IBM J. Res. Dev.* **43**, 245 (1999).
- [Calleja 99] M. Calleja, J. Anguita, R. Garcia, K. Birkelund, F. Perez-Murano i J. A. Dagata. *Nanotechnology.* **10**, 34 (1999).
- [Campbell 95] P. Campbell, E. Snow, P. McMarr. *Appl. Phys. Lett.* **66**, 1388 (1995).
- [Campbell 99] S. Campbell, H. Kim, D. Gilmer, B. He, T. Ma, i W. Gladfelter, *IBM J. Res. Develop.* **43**, 383 (1999).
- [Chang 04] H. Chang, H. Hwang, M. Cho, D. Moon, S. Doh, J. Lee, i N. Lee. *Appl. Phys. Lett.* **84**, 28 (2004).
- [Cho 02] H. Cho, Y. Roh, C. Whang, K. Jeong, S. Nahm, D. Ko, J. Lee, N. Lee, i K. Fujihara. *Appl. Phys. Lett.* **81**, 472 (2002).
- [Cho 02b] M. Cho, J. Park, H. Park, C. Hwang, J. Jeong, K. Hyun, Y. Kim, C. Oh, H. Kang. *Appl. Phys. Lett.* **81**, 3630 (2002).
- [Couteau 98] T. Couteau, M. McBride, D. Riley, i P. Peavey, *Semicond. Int.* **21**, 95 (1998).
- [Crupi 04] F. Crupi, R. Degraeve, A. Kerber, D. H. Kwak, i G. Groeseneken, *Proc. Of the IEEE International Reliability Physics Symposium.* 181 (2004).
- [Crupi 98] F. Crupi, R. Degraeve, G. Groeseneken, T. Nigam, i H. E. Maes, *IEEE Trans. Electron Devices* **45**, 2329 (1998).
- [CUHKO 03] CUHKO Workshop on Physical characterisation of high-k dielectrics. IMEC. (2003).
- [Czajkowsky 00] D. M. Czajkowsky, H. Iwamoto, i Z. Shao, *J. Electron Microsc.* **49**, 395 (2000).
- [Dagata 00] J. A. Dagata, F. Perez-Murano, G. Abadal, K. Morimoto, T. Inoue, J. Itoh i H. Yokohama. *Appl. Phys. Lett.* **76**, 2710 (2000).

- [Dagata 90] J. A. Dagata, J. Schneir, H. H. Harary, C. J. Evans, M. T. Postek i J. Bennett. *Appl. Phys. Lett.* **56**, 2001 (1990).
- [Dagata 91] J. A. Dagata, J. Schneir, H. H. Harary, J. Bennett i W. Tseng. *J. Vac. Sci. Technol. B.* **9** 1384 (1991).
- [Dagata 98] J. A. Dagata, T. Inoue, J. Itoh, K. Matsumoto i H. Yokohama. *J. Appl. Phys.* **84**, 6891 (1998).
- [Dagata 98b] J. A. Dagata, T. Inoue, J. Itoh, i H. Yokoyama, *Appl. Phys. Lett.*, **73**, 271 (1998).
- [Davis 03] Z. Davis, G. Abadal, O. Hansen, X. Borrís, N. Barniol, F. Pérez, A. Boisen, *Ultramicroscopy.* **97**, 467 (2003).
- [de Pablo 98] P. J. de Pablo, J. Colchero, J. Gómez-Herrero, i A. M. Baró, *Appl. Phys. Lett.*, **73**, 3300 (1998).
- [Deal 65] B. E. Deal i A. S. Grove, *J. Appl. Phys.* **36**, 3770 (1965).
- [Degraeve 03] R. Degraeve, T. Kauerauf, A. Kerber, E. Cartier, B. Govoreanu, P. Roussel, L. Pantisano, P. Blomme, B. Kaczer, i G. Groeseneken. *Proc. Of the IEEE International Reliability Physics Symposium*, 23 (2003).
- [Degraeve 95] R. Degraeve, G. Groeseneken, R. Bellens, J. L. Ogier, M. Depas, P. J. Roussel i H. E. Maes. *Digest of the 1995 Int. Electron Devices Meet.* 866 (1995).
- [Degraeve 96] R. Degraeve, P. Roussel, G. Groeseneken, i H. E. Maes, *Microelectron. Reliab.* **36**, 1639 (1996).
- [Degraeve 98] R. Degraeve, G. Groeseneken, R. Bellens, J. L. Ogier, M. Depas, P. J. Roussel i H. E. Maes. *IEEE Trans Elec Dev.* **45**, 904 (1998).
- [Degraeve 99] R. Degraeve, B. Kaczer, M. Houssa, G. Groeseneken, M. Heyns, J.S. Jeon, i A. Halliyal, *Int. Electron Devices Meet.* 327 (1999).
- [DiMaria 93] D. J. DiMaria, E. Cartier, i D. Arnold, *J. Appl. Phys.* **73**, 3367 (1993).
- [DiMaria 97] D. DiMaria, i J. Stathis, *Appl. Phys. Lett.* **70**, 2708 (1997).
- [Dubois 00] E. Dubois i J. Bubendorff, *J. Appl. Phys.* **87**, 8148 (2000).
- [Fernandez 04] R. Fernandez, R. Rodriguez, N. Nafria i X. Aymerich, *Microelectron. Reliab.* **44**, 1519 (2004).
- [Font 04] J. Font, Treball Final de Carrera d'Enginyeria Tècnica en Telecomunicacions. Universitat Autònoma de Barcelona (2004).
- [Fowler 28] R. H. Fowler, i L. Nordheim, *Proc. Royal Soc. (London)*, **A119**, 173 (1928).
- [Friedbacher 99] G. Friedbacher, i H. Fuchs, *Pure Appl. Chem.* **71**, 1337 (1999).
- [Fujita 98] K. Fujita, H. Watanabe i M. Ichikawa, *J. Appl. Phys.* **83**, 3638 (1998).
- [García 99] R. García, M. Calleja, i H. Rohrer. *J. Appl. Phys.* **86**, 1898 (1999).
- [Gasser 94] W. Gasser, Y. Uchida, i M. Matsumura, *Thin Solid Films* **250**, 213 (1994).
- [George 94] S. M. George, O. Sneh, i J. D. Way, *Appl. Surf. Sci.* **82/83**, 460 (1994).
- [Göken 96] M. Göken, i H. Vehoff, *Scripta Materialia*, **35**, 983 (1996).
- [Goto 01] T. Goto, S. Sakashita, H. Ikeda, M. Sakashita, A. Sakai, S. Zaima, Y. Yasuda, *Extended Abstracts of International Workshop Gate Insulator*. 180 (2001).

- [Green 01] M.L. Green, E.P. Gusev, R. Degraeve, i E. L. Garfunkel, *J. Appl. Phys.* **90**, 2057 (2001).
- [Groeseneken 84] G. Groeseneken, H. E. Maes, N. Beltran, i R. F. D. Keersmaecker, *IEEE Trans. Electron Devices* **31**, 42 (1984).
- [Groeseneken 03] G. Groeseneken, Seminari en IMEC (2003). Accessible en [www.imec.be/mtdelfi.imec.be](http://www.imec.be/mtdelfi.imec.be)
- [Hattangady 96] S. V. Hattangady, H. Niimi, i G. Lucovsky, *J. Vac. Sci. Technol. A* **14**, 3017 (1996).
- [He 05] G. He, M. Liu, L. Zhu, M. Chang, Q. Fang, i L. Zhang. *Surf. Sci.* **576**, 67 (2005).
- [Held 98] R. Held, T. Vancura, T. Heinzl, K. Ensslin, M. Holland i W. Wegscheider. *Appl. Phys. Lett.* **73**, 262 (1998).
- [Heremans 89] P. Heremans, J. Witters, G. Groeseneken, i H. E. Maes, *IEEE Trans. Electron Devices* **36**, 1318 (1989).
- [Hergenrother 99] J. M. Hergenrother, D. Monroe, F. P. Klemens, A. Kornblit, G. R. Weber, W. M. Mansfield, M. R. Baker, F. H. Baumann, K. J. Bolan, J. E. Bower, N. A. Ciampa, R. A. Cirelli, J. I. Colonell, D. J. Eaglesham, J. Fracoviak, H. J. Gossmann, M. L. Green, S. J. Hillenius, C. A. King, R. N. Kleiman, W. Y.-C. Lai, J. T.-C. Lee, R. C. Liu, H. L. Maynard, M. D. Morris, S.-H. Oh, C.-S. Pai, C. S. Rafferty, J. M. Rosamilia, T. W. Sorsch, i H.-H. Vuong, *Tech. Dig. Int. Electron Devices Meet.* 75 (1999).
- [Hirose 00] M. Hirose, M. Koh, W. Mizubayashi, H. Murakami, K. Shibahara, S. Miyazaki. *Semicond. Sci. Technol.* **15**, 485 (2000).
- [Homma 92] Y. Homma, M. Suzuki, N. Yabumoto, *J. Vac. Sci. Technol. A.* **10(4)**, 2055 (1992).
- [Hori 97] T. Hori en *Gate Dielectrics i MOS ULSIs*. Editat per W. Eng, Editorial Springer (1997).
- [IEDM] congrés: *IEEE International Electron Devices Meeting*. Es pot obtenir informació sobre la edició present (2005) al lloc web: <http://www.his.com/~iedm/>
- [Ikeda 03] H. Ikeda, T. Goto, M. Sakashita, A. Sakai, S. Zaima, Y. Yasuda. *Japanese J. Appl. Phys.* **42**, 1949 (2003).
- [IMEC] *IMEC Technical Report*. (Informe intern).
- [INFOS] congrés: *INSulating Films On Semiconductors*. Es pot obtenir informació sobre la edició present (2005) al lloc web: <http://www.imec.be/infos/>
- [IRPS] congrés: *IEEE International Reliability Physics Symposium*. Es pot obtenir informació sobre la edició present (2005) al lloc web: <http://www.irps.org/05-43rd/>
- [Ishibashi 00] M. Ishibashi, S. Heike i T. Hashizume, *Jpn. J. Appl. Phys.* **39**, 7060 (2000).
- [ITRS 04] International Technology Roadmap for Semiconductors website: <http://www.itrs.net/Common/2004Update/2004Update.htm>
- [Jahan 91] C. Jahan, S. Bruyère, G. Ghibaudo, E. Vicent, K. Barla, *Microelectronics Reliability*, **39**, 791 (1991).
- [Kaczer 02] B. Kaczer, R. Degraeve, M. Rasras, K. Van de Mierop, P. Roussel,

- i G. Groeseneken, *IEEE Trans. Elec. Dev.*, **49**, 500 (2002).
- [Kaczer 03] B. Kaczer, i G. Groeseneken, *IEEE Elec. Dev. Lett.*, **24**, 742 (2003).
- [Kaczer 96] B. Kaczer, Z. Meng i J. Plez, *Phys. Rev. Lett.* **77**, 91 (1996).
- [Kang 99] C. Kang, G. Buh, S. Lee, C. Kim, K. Mang, C. Im i Y. Kuk, *Appl. Phys. Lett.* **74**, 1815 (1999).
- [Kauerauf 02] Kauerauf, T.; Degraeve, R.; Cartier, E.; Govoreanu, B.; Blomme, P.; Kaczer, B.; Pantisano, L.; Kerber, A.; Groeseneken, G.; *Tech. Dig. Int. Electron Devices Meet.*, 521 (2002).
- [Kern 70] W. Kern i D. A. Puotinen, *RCA Rev.* **31**, 187 (1970).
- [Kim 02] Y. Kim, K. Onishi, C. Kabg, H. Cho, R. Nieh, S. Gopalan, R. Choi, J. Han, S. Krishnan i J. Lee, *IEEE Elec. Dev. Lett.*, **23**, 594 (2002).
- [Kim 04] Y. Kim, i J. Lee, *Microelectron. Reliab.* **44**, 183 (2004).
- [King 98] Y.-C. King, C. Kuo, T.-J. King, i C. Hu, *Tech. Dig. Int. Electron Devices Meet.* 585 (1998).
- [Kyuno 05] K. Kyuno, K. Kita, i A. Toriumi. *Appl. Phys. Lett.* **86**, Art. n<sup>o</sup>. 063510 (2005).
- [Lin 02] Y. Lin, R. Puthenkovilakam, i J. Chang. *Appl. Phys. Lett.* **81**, 2041 (2002).
- [Linder 02] B. Linder, S. Lombardo, J. Stathis, A. Vayshen, i D. Frank, *IEEE Elec. Dev. Lett.*, **23**, 661 (2002).
- [Lita 99] B. Lita, R. S. Goldman, J. D. Phillips, i P. K. Bhattacharya, *Appl. Phys. Lett.* **74**, 2824 (1999).
- [Liu 96] C. T. Liu, E. J. Lloyd, Y. Ma, M. Du, R. L. Opila, i S. J. Hillenius, *Tech. Dig. Int. Electron Devices Meet.* 499 (1996).
- [Liu 98] C. T. Liu, Y. Ma, M. Oh, P. W. Diodato, K. R. Stiles, J. R. McMacken, F. Li, C. P. Chang, K. P. Cheung, J. I. Colonell, W. Y. C. Lai, R. Liu, E. J. Lloyd, J. F. Miner, C. S. Pai, H. Vaidya, J. Fracoviak, A. Timko, F. Klemens, H. Maynard, i J. T. Clemens, *Tech. Dig. Int. Electron Devices Meet.* 589 (1998).
- [Lopes 96] M. Lopes, S. dos Santos, C. Hasenack, V. Baranauskas, *J. Electrochem. Soc.* **143**, 1021 (1996).
- [Lucovsky 00] G. Lucovsky i B. Rayner, *Appl. Phys. Lett.* **77**, 2912 (2000).
- [Ludeke 00] R. Ludeke, *IBM J. Res. Develop.* **44**, 517 (2000).
- [Ludeke 96] R. Ludeke, H. Wen, i E. Cartier. *J. Vac. Sci. And Technol. B* **14**, 2855 (1996).
- [Ma 94] Y. Ma, T. Yasuda, i G. Lucovsky, *Appl. Phys. Lett.* **64**, 2226 (1994).
- [Maly 87] W. Maly en *Atlas of IC Technologies. An introduction to VLSI Processes*. The Benjamin/Cummings Publishing Company, Inc., (1987).
- [Martin 98] A. Martin, P. O'Sullivan, i A. Mathewson, *Microelectron. Reliab.*, **38**, 37 (1998).
- [Matsumoto 96] K. Matsumoto, M. Ishii, K. Segawa i Y. Oka. *Appl. Phys. Lett.* **68**, 34 (1996).
- [Maurice 96] P. A. Maurice, *Colloids and Surfaces A.* **107**, 57 (1996).
- [Minne 95] S. Minne, H. Soh, P. Flueckiger i C. Quate. *Appl. Phys. Lett.* **66**, 703 (1995).
- [Miranda 00] E. Miranda, J. Suñé, R. Rodriguez, M. Nafria, X. Aymerich, L. Fonseca, i F. Campabadal, *IEEE Trans. Electron Devices*, **47**, 82

- (2000).
- [Misaka 98] A. Misaka, T. Matsuo, M. Sasago, *Digest of Technical Papers of Symposium on VLSI Technology*, 200 (1998).
- [Monsieur 01] F. Monsieur, E. Vincent, G. Pananakakis, i G. Ghibaudo, *Microelectron. Reliab.* **41**, 1035 (2001).
- [Monsieur 02] F. Monsieur, E. Vincent, D. Roy, S. Bruyere, J. Vildeuil, G. Pananakakis, i G. Ghibaudo, *Proc. Of the IEEE International Reliability Physics Symposium*, 45 (2002).
- [Murakami 94] Y. Murakami, T. Shiota, T. Shingyouji, i H. Abe, *J. Appl. Phys.* **75**, 5302 (1994).
- [Murrell 93] M. Murrell, M. Welland, S. O'Shea, T. Wong, J. Barnes i A. McKinnon, *Appl. Phys. Lett.* **62**, 786 (1993).
- [Nafria 93] M. Nafria, J. Suñé, i X. Aymerich, *J. Appl. Phys.* **73**, 205 (1993).
- [Nagahara 91] L. A. Nagahara, T. Thundat i S. M. Lindsay. *Appl. Phys. Lett.* **57**, 2457 (1991).
- [Nanosensors] Nanosensors website: <http://www.nanosensors.com/products.htm>
- [NationalInstruments] National Instruments website: <http://www.ni.com>
- [Olbrich 01] A. Olbrich, B. Ebersberger, C. Boit, J. Vancea i H. Hoffmann, H. Altmann, G. Gieres i J. Wecker, *Appl. Phys. Lett.*, **78**, 2934 (2001).
- [Olbrich 98] A. Olbrich, E. Ebersberger, C. Boit. *Appl. Phys. Lett.* **73**, 3114 (1998).
- [Olbrich 98b] A. Olbrich, E. Ebersberger, C. Boit. *Proc. Of the IEEE International Reliability Physics Symposium* 163 (1998).
- [Olbrich 99] A. Olbrich, B. Ebersberger, C. Boit, P. Niedermann, W. Hänni, J. Vancea i H. Hoffmann, *J. Vac. Sci. Technol. B*, **17**, 1570 (1999).
- [Olbrich 99b] A. Olbrich, E. Ebersberger, C. Boit, J. Vancea. *Microelectron. Reliab.* **39**, 941 (1999).
- [Olivo 88] P. Olivo, T. N. Nguyen, B. Riccò, *IEEE Trans. Elec. Dev.*, **20**, 2259 (1988).
- [O'Shea 95] S'O'shea, R. Atta, M. Murrell i M. Welland, *J. Vac. Sci. Technol. B*, **13**, 1945 (1995).
- [Palumbo 04] F. Palumbo, S. Lombardo, K.L. Pey, L.J. Tang, C.H. Tung, W.H. Lin, M.K. Radhakrishnan, i G. Falci. *Proc. Of the IEEE International Reliability Physics Symposium*, 583 (2004).
- [Perez 03] F. Perez-Murano, C. Martín, N. Barniol, H. Kuramochi, H. Yokoyama, i J. A. Dagata, *Appl. Phys. Lett.* **82**, 3086 (2003).
- [Perez 95] F. Perez-Murano, G. Abadal, N. Barniol, X. Aymerich, J. Servat, P. Gorostiza i F. Sanz. *J. Appl. Phys.* **78**, 6797 (1995).
- [Perez 98] F. Perez-Murano, K. Birkelund, K. Morimoto i J. A. Dagata. *Appl. Phys. Lett.* **75**, 199 (1998).
- [Pétry 04] J. Pétry, W. Vandervorst, X. Blasco, *Microelectronic Engineering*, **72**, 174 (2004).
- [Pierret 83] R. Pierret i G. Neudeck en *Modular Series on Solid State Devices*. Vol. 4. Editat per R. Pierret i G. Neudeck, Editorial Addison-Wesley Publishing Company (1983).
- [Polspoel 05] W. Polspoel, W. Vandervorst i J. Pétry. Acceptat en *INSulating Films On Semiconductors* (2005).

- [Porti 01] M. Porti, M. Nafria, X. Aymerich, A. Olbrich, B. Ebersberger, *Appl. Phys. Lett.* **78**, 4181 (2001).
- [Porti 02] M. Porti, M. Nafria, M. C. Blüm, X. Aymerich, S. Sadewasser, *Appl. Phys. Lett.* **81**, 3615 (2002).
- [Porti 02b] M. Porti, M. Nafria, X. Aymerich, A. Olbrich, B. Ebersberger, *J. Appl. Phys.* **91**, 2071 (2002).
- [Porti 02c] M. Porti, M. C. Blüm, M. Nafria, X. Aymerich, *IEEE Trans. Dev. Mat. Reliab.* **2**, 94 (2002).
- [Porti 03] M. Porti, Tesi doctoral. Universitat Autònoma de Barcelona (2003).
- [Porti 03b] M. Porti, M. Nafria, i X. Aymerich, *IEEE Trans. Elec. Dev.*, **50**, 933 (2003).
- [Porti 05] M. Porti, M. Avidano, M. Nafria, X. Aymerich, J. Carreras, i B. Garrido, Libro de proceedings de Insulating Films On Semiconductors 2005.
- [Porti 05b] M. Porti, S. Meli, M. Nafria, i X. Aymerich, *IEEE Elec. Dev. Lett.*, **26**, 109 (2005).
- [Robertson 00] J. Robertson, *J. Vac. Sci. Technol. B.* **18**, 1785 (2000).
- [Rodriguez 02] R. Rodriguez, J. Stathis, B. Linder, S. Kowalczyk, C. Chuang, R. Joshi, G. Northrop, K. Bernstein, A. Bhavnagarwala, i S. Lombardo, *IEEE Elec. Dev. Lett.*, **23**, 559 (2002).
- [Rodriguez 03] R. Rodriguez, J. Stathis, i B. Linder, *IEEE Elec. Dev. Lett.*, **24**, 114 (2003).
- [Ruskell 96] T. Ruskell, R. Workman, D. Chen i D. Sarid, *Appl. Phys. Lett.* **68**, 93 (1996).
- [Sasago 98] M. Sasago, *Digest of Technical Papers of Symposium on VLSI Technology*, 6 (1998).
- [Schönenberger 90] C. Schönenberger, S. Alvarado, *Phys. Rev. Lett.* **65**, 3162 (1990).
- [Shannon 93] R. D. Shannon, *J. Appl. Phys.* **73**, 348 (1993).
- [Shina 02] H. Shina, S. Honga, J. Moonb, i J. U. Jeonc, *Ultramicroscopy*, **91**, 103 (2002).
- [Snow 00] E. Snow, G. Jernigan i P. Campbell, *Appl. Phys. Lett.* **76**, 1782 (2000).
- [Soleimani 95] H. R. Soleimani, B. S. Doyle, i A. Philipossian, *J. Electrochem. Soc.* **142**, L132 (1995).
- [Spence 03] J. Spence en *High Resolution Electron Microscopy*. Oxford University Press (2003).
- [Stathis 01] J. H. Stathis, *Proc. Of the IEEE International Reliability Physics Symposium*, 132 (2001).
- [Stathis 97] J. H. Stathis, *Microelectron. Eng.* **36**, 325 (1997).
- [Stathis 98] J. H. Stathis i D. J. DiMaria, *Tech. Dig. Int. Electron Devices Meet.* 167 (1998).
- [Stathis 99] J. H. Stathis, *J. Appl. Phys.*, **86**, 5757 (1999).
- [Stern 88] J. Stern, B. Terris, H. Mamin, D. Rugar, *Appl. Phys. Lett.* **53**, 2717 (1988).
- [Stiévenard 97] D. Stiévenard, P. A. Fontaine i E. Dubois. *Appl. Phys. Lett.* **70**, 3273 (1997).
- [Sugimura 93] H. Sugimura, T. Uchida, N. Kitamura i H. Masuhara. *Appl. Phys. Lett.* **63**, 1288 (1993).



- [Suñé 87] J. Suñé, I. Placencia, F. Campabadal i X. Aymerich, *Surface Science*. **189**, 346 (1987).
- [Suñé 90] J. Suñé, I. Placència, N. Barniol, E. Farrés, F. Martín, X. Aymerich, *Thin Solid Films*, **185**, 347 (1990).
- [Takagi 99] S. Takagi, N. Yasuda, A. Toriumi, *IEEE Trans. Elec. Dev.*, **46**, 335 (1999).
- [Terris 89] B. Terris, J. Stern, D. Rugar, H. Mamin, *Phys. Rev. Lett.* **63**, 2669 (1989).
- [Timp 97] G. Timp, A. Agarwal, F. H. Baumann, T. Boone, M. Buonanno, R. Cirelli, V. Donnelly, M. Foad, D. Grant, M. L. Green, H. Gossmann, S. Hillenius, J. Jackson, D. Jacobson, R. Kleiman, A. Kornblit, F. Klemens, J. T.-C. Lee, W. Mansfield, S. Moccio, A. Murrell, M. O'Malley, J. Rosamilia, J. Sapjeta, P. Silverman, T. Sorsch, W. W. Tai, D. Tennant, H. Vuong, i B. Weir, *Tech. Dig. Int. Electron Devices Meet.* 930 (1997).
- [Tomiye 98] H. Tomiye i T. Yao, *Appl. Phys. A*, **S 431** (1998).
- [Toyoda 04] S. Toyoda, J. Okabayashi, H. Kumigashira, M. Oshima, K. Ono, M. Niwa, K. Usuda, i G. L. Liu. *Appl. Phys. Lett.* **84**, 2328 (2004).
- [Tsai 97] V. Tsai, X. Wang, E. Williams, J. Schneir, R. Dixon, *Appl. Phys. Lett.* **71**, 1495 (1997).
- [Tzeng 05] P. Tzeng, S. Maikap, P. Chen, Y. Chou, C. Liang, i L. Lee. Acceptat en *IEEE Transactions on Device and Materials Reliability*.
- [Veeco] Aplicacion notes del lloc web de Veeco: <http://www.veeco.com>
- [Vettiger 00] P. Vettiger, M. Despont, U. Drechsler, U. Dürig, W. Häberle, M. I. Lutwyche, H. E. Rothuizen, R. Stutz, R. Widmer, i G. K. Binnig, *IBM Journal of Research and Development*, **44**, (2000).
- [Vogel 98] E. M. Vogel, K. Z. Ahmed, B. Hornung, W. Kirklen Henson, P. K. McLarty, G. Lucovsky, J. R. Hauser, i J. J. Wortman, *IEEE Trans. Electron Devices* **45**, 1350 (1998).
- [Wang 05] S. Wang, M. Chang, C. Chen, i T. Lei. Acceptat en *IEEE International Reliability Physics Symposium 2005*, referència FA06.
- [Watanabe 98] H. Watanabe, K. Fujita i M. Ichikawa, *Appl. Phys. Lett.* **72**, 1987 (1998).
- [Watanabe 99] H. Watanabe i T. Baba, *J. Appl. Phys.* **85**, 6704 (1999).
- [Wei 96] Y. Wei, R. Wallace i A. Seabaugh, *Appl. Phys. Lett.* **69**, 1270 (1996).
- [Weir 00] B. E. Weir, M. A. Alam, J. D. Bude, P. J. Silverman, A. Ghetti, F. Baumann, P. Diodato, D. Monroe, T. Sorsch, G. L. Timp, Y. Ma, M. M. Brown, A. Hamad, D. Hwang, i P. Mason, *Semicond. Sci. Technol.* **15**, 455 (2000).
- [Weir 99] B.E. Weir, P.J. Silverman, M.A. Alam, F. Baumann, D. Monroe, A. Ghetti, J.D. Bude, G.L. Timp, A. Hamad, T.M. Oberdick, N.X. Zhao, Y. Ma, M.M. Brown, D. Hwang, T.W. Sorsch i J. Madic. *IEDM Technical Digest. International*, 437 (1999).
- [Wen 97] H. Wen, R. Ludeke, *J. Vac. Sci. Technol. B*, **15**, 1080 (1997).
- [Wen 98] H. Wen, R. Ludeke, D. Newns, S. Lo, i E. Cartier. *App. Surf. Sci.* **123**, 418 (1998).

- [Wilder 98] K. Wilder, C. Quate, D. Addertn, R. Bernstein i V. Elings. *Appl. Phys. Lett.* **73**, 2527 (1998).
- [Wilk 01] G. D. Wilk, R. M. Wallace, i J. M. Anthony, *J. Appl. Phys.* **89**, 5243 (2001).
- [Williams 89] C. Williams, J. Slinkman, W. Hough i H. Wickramasinghe, *Appl. Phys. Lett.* **55**, 1662 (1989).
- [WODIM] congrés: Workshop On Dielectrics In Microelectronics. Es poden consultar els treballs presentats en el lloc web:  
[http://www.elsevier.com/wps/find/journalspecialissues.cws\\_home/274/specialissues#specialissues](http://www.elsevier.com/wps/find/journalspecialissues.cws_home/274/specialissues#specialissues)
- [Wolters 86] D. R. Wolters, J.F. Verwey en *Instabilities in Silicon devices*. Editat per G. Barbottin i A. Vapaille, Elsevier Science Publishers. North-Holland (1986).
- [Wu 99] J. Wu, R. F. Register, E. Rosenbaum, *Proc. Of the IEEE International Reliability Physics Symposium* 389 (1999).
- [Wurmbauer 04] H. Wurmbauer, S. Kremmer, C. Teichert, i G. Tallarida, *Proceedings de European Materials Research Society, Spring Meeting*, referència C/P02 (2004).
- [Yasutake 93] M. Yasutake, Y. Y. Ejiri i T. Hattori. *Jpn. J. Appl. Phys.* **32**, 1021 (1993).
- [Yasutake 94] M. Yasutake, S. Wakiyama, Y. Kato, *J. Vac. Sci. Technol B.* **12(3)**, 1572 (1994).
- [Yau 91] S. T. Yau, X. Zheng i M. H. Nayfeh. *Appl. Phys. Lett.* **59**, 2457 (1991).
- [Zankovych 01] S. Zankovych, T. Hoffmann, J. Seekamp, J-U Bruch, i C.M. Sotomayor, *Nanotechnology*, **12**, 91 (2001).
- [Zhang 05] L. Zhang i Y. Mitani, Acceptat en *IEEE International Reliability Physics Symposium 2005*, referència DI05.

## **Articles.**

# Topographic characterization of AFM-grown SiO<sub>2</sub> on Si

X Blasco<sup>1</sup>, D Hill, M Porti, M Nafria and X Aymerich

Dept. Enginyeria Electrònica, Edici Q, 08193 Bellaterra, Universitat Autònoma de Barcelona, Barcelona, Spain

E-mail: Xavier.Blasco@uab.es

Received 16 January 2001, in final form 26 March 2001

## Abstract

In order to establish whether atomic force microscope (AFM) grown SiO<sub>2</sub> is appropriate for use as a gate oxide in nanoelectronics, a characterization of these films needs to be performed. In this paper results on AFM fabrication and topographical characterization of large-area SiO<sub>2</sub> patterns are presented. This paper is centred around the SiO<sub>2</sub> surface and SiO<sub>2</sub>–Si interface roughness, due to its importance in relation to the quality of ultrathin dielectrics. Our results show quite similar values to those obtained for thermal oxides and thus we suggest that AFM-grown SiO<sub>2</sub> is a suitable candidate for gate oxide applications in nanodevices.

## 1. Introduction

The power of atomic force microscope (AFM) anodic oxidation [1] as a nanofabrication tool is well known, because it enables the growth of oxides with a lateral resolution of a few tens of nanometres and a minimal thickness of about 1 nm. These oxides can be used as gate oxides or as an etching mask [2] in wafer processing. In addition, AFM can be used to perform topographical and electrical characterization of thermally [3] and AFM-grown oxides.

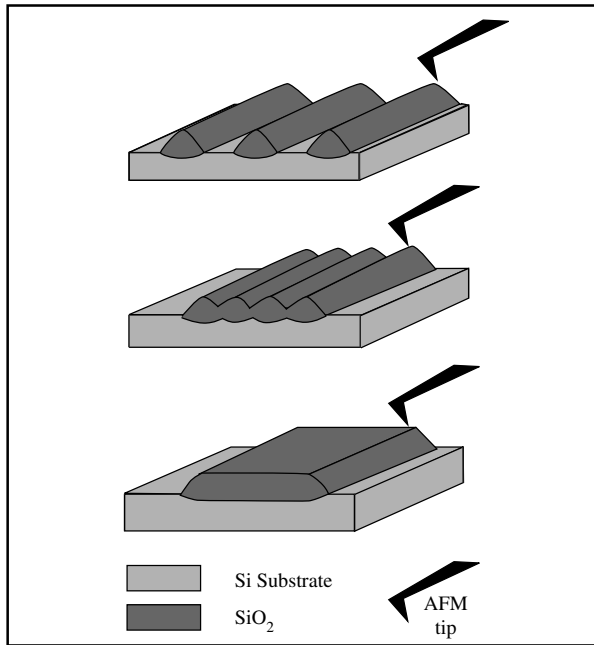
Although much work has been devoted to determining the growth conditions which lead to the smallest SiO<sub>2</sub> pattern [4], the properties of the AFM oxide have not yet been evaluated. However, for nanoelectronic applications, high-quality ultrathin dielectrics (such as thermally formed oxides) are required [5]. Therefore, a comparison of the properties of AFM and thermally grown ultrathin SiO<sub>2</sub> films must be performed, to determine whether AFM-generated structures are reliable for nanoelectronic devices. This paper is focused on oxide roughness, since it is thought to have an influence on the oxide reliability [6]. To compare the roughness of AFM-grown oxides to that measured on thermal ones, oxide patterns of microelectronic areas have to be grown in order to achieve a large enough set of data points such that a meaningful roughness value can be obtained.

## 2. Experimental set-up

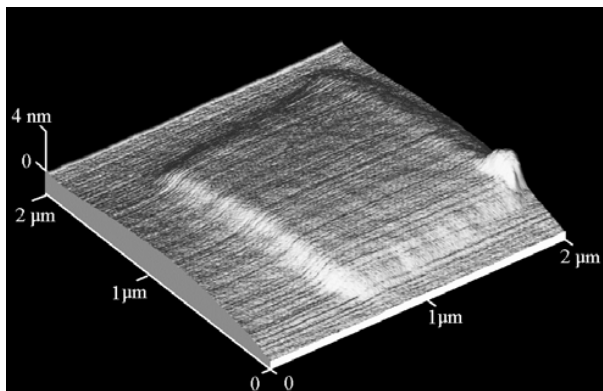
The experiments were performed with an AFM in ambient air, and operated in contact mode for oxidation and in jumping

mode for imaging. The cantilevers used were doped n-type silicon coated with 20 nm of Ti, the sample substrates were phosphorus doped ( $10^{19} \text{ cm}^{-3}$ ) n-type Si(100). The cleaning and passivation process consisted of dipping the samples for 30 s at a time in each of the following: trichloroethane, acetone, 10% hydrofluoric acid and then finally a rinse in de-ionized water. Oxidation of several  $1 \mu\text{m}^2$  areas was performed under various voltage bias conditions at a constant oxidation speed. These SiO<sub>2</sub> squares, with thickness ranging between 2.5 and 6.5 nm, were created from parallel lines of oxide whose interlinear spacings were gradually reduced from one structure to the next in order to achieve a homogeneous surface (see figure 1). After each oxidation, the topography was imaged by AFM (see figure 2) and the roughness was calculated. To obtain topographical information about the SiO<sub>2</sub>–Si interface the samples were exposed to an etching process of 10 s 10% HF. From the images taken after the etch (see figure 3) the interface roughness was calculated. Roughness values are the root mean square values calculated from surface height measurements by the AFM software. The measurements are taken from the central areas of the test structures in order to avoid edge effects. All roughness values were calculated over a surface area of at least  $0.5 \times 0.5 \mu\text{m}^2$ , bearing in mind that each point is about 8 nm apart from the others in the *X* and *Y* directions. This means that the number of set points used to extract the roughness measurements is approximately 4100. For comparison, a topographic characterization of 4.5 nm thick thermally formed oxides (dry thermal oxidation at 800 °C) on n-type Si(100) substrate was performed.

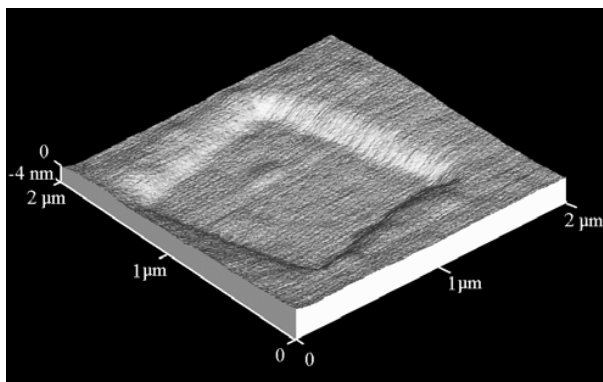
<sup>1</sup> Corresponding author.



**Figure 1.** Experimental procedure to obtain a homogeneous square oxidized area: lines oxidized by the AFM on the Si surface have their inter-linear spacing reduced between structures until homogeneity is reached.



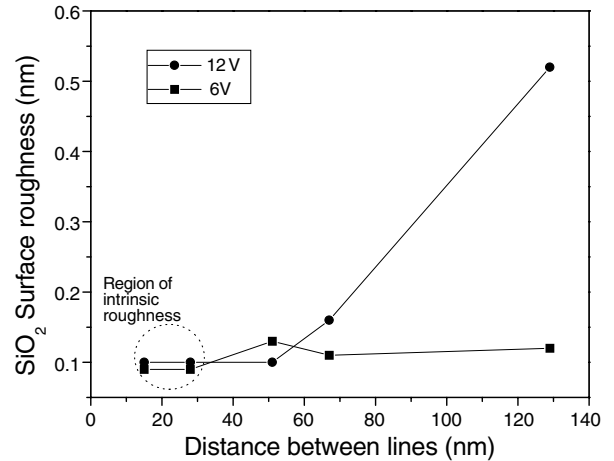
**Figure 2.** AFM image of an AFM oxidized square area.



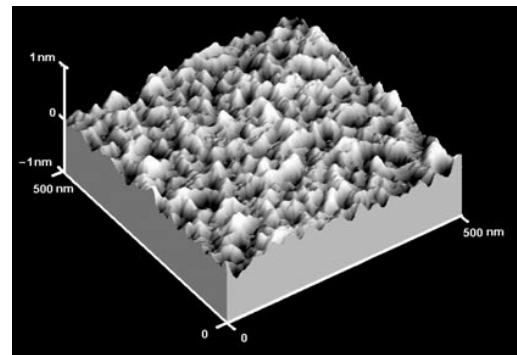
**Figure 3.** Same zone as that in figure 2, after the etching process.

### 3. Results

It can be observed from figure 4 that, as the interlinear distance is reduced the surface roughness of AFM-grown



**Figure 4.** Surface roughness of the AFM oxide, as a function of interlinear distance.

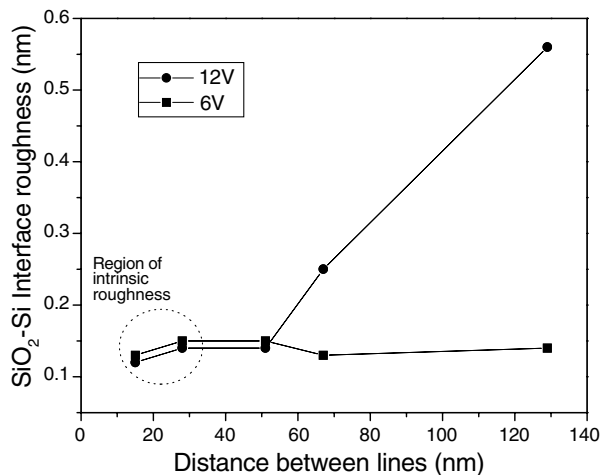


**Figure 5.** AFM image of thermally grown SiO<sub>2</sub>. It should be noted that the axes are scaled differently in figures 2 and 5.

oxides stabilizes around a minimum value of 0.1 nm. Scans over thermal SiO<sub>2</sub> under the same imaging conditions as for the AFM-grown oxide, yield a measured surface roughness value of 0.09 nm (see figure 5), very similar to results obtained for AFM-grown oxide. In addition, the SiO<sub>2</sub>-Si interface roughness reaches a minimum value of about 0.15 nm (see figure 6), which is 2–3 times greater than values reported for thermal oxidation [7].

The roughness of SiO<sub>2</sub> surface and SiO<sub>2</sub>-Si interface arises from two aspects: one due to the separation between the peaks and valleys of the oxide lines (extrinsic roughness), and the other from the smaller scale non-uniformity of the surface oxide (intrinsic roughness). It should be noted, however, that only roughness measurements for the structures with the smallest line separations belong to the intrinsic roughness region. In this region, the roughness does not vary with voltage. Here the lines are almost completely overlapped and so any extrinsic roughness is eliminated. Therefore, intrinsic roughness is independent of the voltage used to grow the oxide.

Outside the intrinsic region the roughness is voltage dependent. This is because for a fixed interlinear distance when the voltage increases the oxide line width remains virtually constant, but the height of the oxide peaks increases and therefore the difference between the heights of peaks and valleys also increases. i.e. the extrinsic roughness increases.



**Figure 6.** Interface roughness of the AFM oxide, as a function of interlinear distance.

#### 4. Conclusion

Thermal oxidation is performed under very strictly controlled conditions, whereas our SiO<sub>2</sub> is grown in ambient air. In view of this, the roughness of the two oxides are comparable. So, although further experiments must be done for electrical

characterization, these preliminary results point to AFM-grown SiO<sub>2</sub> on Si as a possible candidate for a gate oxide in nanoelectronic device applications.

#### Acknowledgments

The authors are grateful to the Dirección General de Investigación Científica y Técnica (project no PB96-1162), to the Dirección General de Investigación del MCyT (project no BFM2000-0343) and to Nanofab (contract no ERBFMRXCT970129) of the TMR programme of the EC for partially supporting this work.

#### References

- [1] Snow E S, Jernigan G G and Campbell P M 2000 *Appl. Phys. Lett.* **76** 1782–84
- [2] Campbell P M, Snow E S and McMarr P J 1995 *Appl. Phys. Lett.* **66** 1388–90
- [3] Porti M, Blasco X, Nafria M and Aymerich X 2000 *Proc. Trends in Nanotechnology 2000*
- [4] Calleja M and Garcia R 2000 *Appl. Phys. Lett.* **76** 3427–9
- [5] Martin A, O'Sullivan P and Mathewson A 1998 *Microelectron. Reliab.* **38** 37–79
- [6] Weir B E *et al* 1999 *IEDM* 437–40
- [7] Lopes M, dos Santos S, Hasenack C and Baranauskas V 1996 *J. Electrochem. Soc.* **143** 1021–5

# Ultra thin films of atomic force microscopy grown SiO<sub>2</sub> as gate oxide on MOS structures: conduction and breakdown behavior

Xavier Blasco \*, Montserrat Nafria, Xavier Aymerich

*Departament d'Enginyeria Electrònica i de Materials, Universitat Autònoma de Barcelona, Edifici Q, PC 08193 Bellaterra, Spain*

## Abstract

Electrical conduction modes and breakdown of atomic force microscopy (AFM) grown SiO<sub>2</sub> as gate oxide in metal–oxide–semiconductor (MOS) structures are studied, and the results are compared to those obtained from MOS capacitors with thermally grown SiO<sub>2</sub>. Gate current vs. gate voltage characteristics were obtained from standard electrical characterization techniques, i.e. wafer prober plus semiconductor parameter analyzer. To obtain suitable samples, AFM oxidation has been integrated in a CMOS microelectronic process. This characterization showed larger current levels and lower breakdown voltages for AFM grown gate oxides than for thermally grown gate oxides. On the other hand,  $I$ – $V$  curves collected at a nanometric range by means of a conductive-AFM show a closer behavior for both kinds of oxides.

© 2003 Elsevier Science B.V. All rights reserved.

*Keywords:* Atomic force microscopy; Dielectric phenomena; Electrical transport (conductivity, resistivity, mobility, etc.); Oxidation; Silicon oxides; Insulating films; Metal–oxide–semiconductor (MOS) structures

## 1. Introduction

Due to the continuous shrinking of electronic device dimensions, microelectronics has entered into the nanometric range, and predictions point at this size reduction trend to keep on for the next years [1]. To achieve the demanded dimensions, nanofabrication has evolved following mainly two strategies: on the one hand the standard photolithographic process resolution has been improved by using shorter wavelengths [2], whereas, on the

other, several new techniques as Nanoimprint [3] or atomic force microscopy (AFM) oxidation [4], based on working principles completely different than photolithography, have emerged.

Imaging and oxidation with lateral resolution of few nm, vertical resolution below the nm and ambient air operation has led AFM to become a very powerful nanofabrication tool. Although there has been much work on the fabrication of nanostructures or nanodevices where a part of the process has been performed by AFM oxidation, and in some of them AFM grown metal-oxides (such as TiO<sub>2</sub>) have been used as an active dielectric in tunnel junctions [5], the AFM grown SiO<sub>2</sub> has only been used as a mask for later processes [6], normally etchings, and not as an active

\* Corresponding author. Tel.: +34-935-813-526; fax: +34-935-812-600.

E-mail address: [xavier.blasco@uab.es](mailto:xavier.blasco@uab.es) (X. Blasco).

dielectric. Moreover, while thermally grown  $\text{SiO}_2$  degradation has been extensively studied [7], AFM grown gate oxides (AFM-GOX) electrical behavior remains still unknown.

In this paper, conduction modes of AFM-GOX are studied from measurements of their current–voltage ( $I$ – $V$ ) characteristics, and, in order to evaluate whether this oxide could be used as gate dielectric in micro and nanodevices, the results are compared to those obtained for thermally grown  $\text{SiO}_2$ , which is used as quality reference.

## 2. Experimental

AFM-GOX  $I$ – $V$  curves are measured by means of two techniques: standard electrical characterization tools, i.e. wafer prober plus semiconductor parameter analyzer, and conductive-AFM (C-AFM). For standard characterization, metal–oxide–semiconductor (MOS) capacitors with polysilicon deposited gate were used as test devices; its fabrication required integration of AFM oxidation in a CMOS microelectronic process. Qualitatively, the fabrication process consisted of (see Fig. 1): a field oxidation of the Si wafers (1a), opening of windows in the field oxide to reach the substrate (1b), then AFM oxidation was performed (1c), and as a last step the polysilicon gate was deposited (1d). It should be noted that window opening has been performed by means of a wet etching, in order to have a very smooth field oxide slope, and allow the tip to oxidize the whole Si area not covered by the field oxide. For reference, structures with thermally grown gate oxides (T-GOX) were also fabricated. The main characteristics of the MOS structures are: phosphorus doped ( $10^{15} \text{ cm}^{-3}$ ) n-type Si(100) wafers as substrate, field oxide thickness of  $1 \mu\text{m}$  (wet thermal oxidation at  $1100^\circ\text{C}$ ), T-GOX thickness of 3.5 and 4.5 nm (dry thermal oxidation at  $800^\circ\text{C}$ ) and n-doped poly-Si as gate electrode. The AFM-GOX consisted of an homogeneous, 4 nm thick, square oxidized area of  $3 \times 3 \mu\text{m}^2$  made from very close parallel lines of oxide; the thickness was determined from AFM images of the oxidized area before (measurement of oxide height) and after (measurement of oxide depth) etching away the oxide [8]. The oxidation

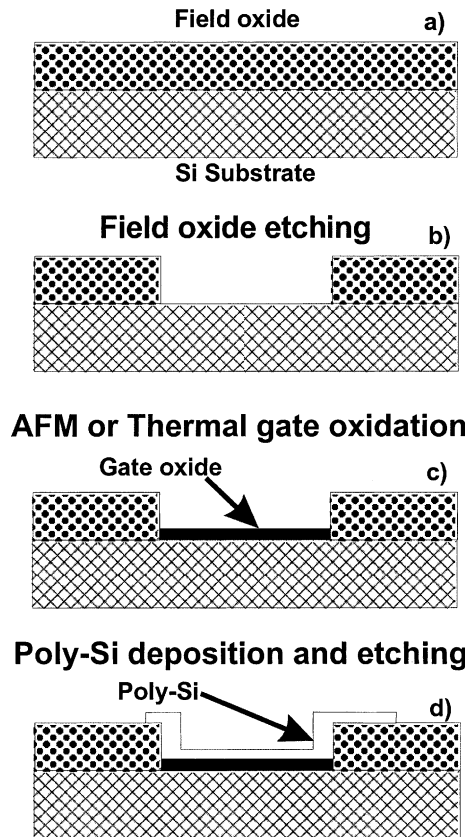


Fig. 1. Schematics of sample fabrication for standard electrical characterization: (a) field oxidation, (b) opening of windows to reach the substrate, (c) AFM or thermal gate oxidation and (d) finished sample after polysilicon deposition and etching. Although the transition from silicon to field oxide is smooth (window opening was done using a wet etch), vertical walls have been drawn for simplicity.

was performed using an AFM Ti-coated Si tip, at oxidation voltage of  $-12 \text{ V}$  (with respect to the sample) and oxidation speed of  $1 \mu\text{m/s}$ . Thermal oxidations, window opening and polysilicon deposition were made under clean room conditions, AFM oxidation and characterization experiments were performed in ambient air. The active area of the MOS structures, defined by the overlapped area of GOX and polysilicon, is of the order of  $1 \mu\text{m}^2$ .

Ramped voltage stress (RVS) [9] was chosen as the method to provoke gate oxide degradation and breakdown because is desired to study how the AFM-GOX conduction modes depend on gate voltage and to compare them to those of T-GOX.



The applied stresses consisted of 0–10 V RVS, for both types of oxides.

The standard electrical measurements are complemented with C-AFM, which has been demonstrated to be a very useful tool in gate oxide reliability characterization [10]. For C-AFM  $I$ – $V$  measurements, the metal coated AFM tip acts as gate terminal, so non-poly-Si gated structures are used. The starting point of the structures used for C-AFM characterization was a set of microelectronic MOS capacitors with n-type doped poly-Si deposited gate, 3 nm thick thermally grown  $\text{SiO}_2$  (dry thermal oxidation at 800 °C) as gate oxide and phosphorus doped ( $10^{19} \text{ cm}^{-3}$ ) n-type Si(100) as substrate (it should be noted that samples sets used for standard and C-AFM characterization are different). The poly-Si gate removing process consisted of: dipping the samples in 10% HF for 5 s, KOH ultrasonic bath during 20 min and followed by a rinse in de-ionized water. At this stage the thermal gate oxide was kept on some of the samples to use them as a measurement reference. The rest of the structures were dipped in 10% HF for 5 s to remove the thermal gate oxide and reach the Si surface. Several  $2 \times 2 \mu\text{m}^2$  and 3 nm thick structures of AFM oxide (measured from AFM images) were grown on the Si surface from oxide lines to be used as GOX layer. Oxidations were performed at tip voltage of  $-6 \text{ V}$  and oxidation speed of  $1 \mu\text{m/s}$ . Co/Cr coated Si tips were used for oxidation and  $I$ – $V$  measurements, due to the enhanced electrical properties of these tips with respect to Ti-coated Si tips. In order to measure the current through the gate oxide, voltage ramps from 0 V to various positive voltages were applied to AFM tip when in contact with the gate oxide. The C-AFM setup lets a current measurement range from 0.5 pA rms (minimum achievable electrical noise level) up to 30 pA. Despite of these low current levels, since the tip–surface contact area is of the order of  $300 \text{ nm}^2$  [11], the current density values are large enough to cause oxide degradation.

### 3. Results and discussion

Measurements performed using a semiconductor parameter analyzer on poly-Si gated capacitors

show that some test structures (for both thermally and AFM-GOX) presented an  $I$ – $V$  characteristic typical of an already broken down capacitor (large current levels even at low voltages). From fabrication parameters, the capacitance of these structures is estimated to be  $\sim 100 \text{ fF}$ , so we believe that ambient electrostatic charges can induce sometimes high enough voltages to cause the breakdown of MOS structures prior to the application of the RVS. However, in most of the structures, breakdown was provoked by the applied voltage ramps; typical  $I$ – $V$  characteristics are represented in Fig. 2.

Fig. 2 shows that dielectric breakdown happens around 6–8 V for thermal oxides. However, for AFM oxides a large current increase is measured at 2 V, which could be considered breakdown because the current reaches the broken down structure current levels. Moreover, the current level through AFM-GOX at voltages below the breakdown value ( $\sim 2 \text{ V}$ ) is several orders of magnitude larger than that measured at the same voltages for thermal oxides. Although AFM-GOX was expected to exhibit poorer dielectric behavior than T-GOX, the large difference in the low-voltage  $I$ – $V$  characteristics can be partially caused by aspects related to the growth of the AFM-GOX (such as non-desired deposition of metal particles from the AFM tip on the oxide), or problems with the integration of AFM oxidation in the CMOS process

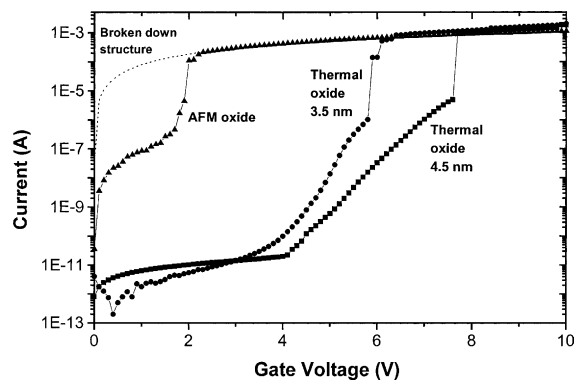


Fig. 2. Measured  $I$ – $V$  characteristics for RVS broken down MOS structures, with AFM grown gate oxide (triangles) and with thermally grown gate oxide (circles and squares). The structures had a poly-Si gate on top of the oxides, and were stressed using standard characterization techniques.

(effect of the boundary edges of the AFM oxidized area). So, although these extrinsic factors avoid the direct comparison of the intrinsic gate oxide properties, this experiment evidences the feasibility of AFM-GOX integration in CMOS devices. A direct comparison of the behavior of both kinds of oxides can be performed using C-AFM because the GOX is studied at a nanometric range and no CMOS process integration is needed.

The C-AFM measured  $I$ - $V$  curves (Fig. 3) exhibit Fowler–Nordheim (FN) behavior [12,13] for both kinds of oxides. A comparison between these  $I$ - $V$  characteristics, shows that the AFM-GOX curve is shifted  $\sim 0.5$ – $1$  V to lower voltages: i.e. larger currents are measured at the same voltage for AFM-GOX. The AFM-GOX current is roughly 20 times the T-GOX current, however this could be partially caused by small differences in the local thickness of the AFM and thermal GOX layers [14], due to the exponential FN dependence of gate current on oxide thickness. The local thickness differences can be caused by the intrinsic roughness of the dielectric layer [8], which are found even when analyzing different locations on the same T-GOX sample [11].

As expected, these preliminary results indicate that AFM-GOX dielectric behavior is worse than that of thermal oxide, which can be attributed to the generation of defects during the AFM oxidation process. These defects are likely to be partially eliminated, and the AFM-GOX quality improved,

by means of an annealing process after the oxide growth. It should be noted, however, that at a nanometric range the properties of both types of oxides appear to be closer.

#### 4. Conclusion

An step has been made towards the characterization of AFM  $\text{SiO}_2$  as gate dielectric for MOS nanodevices. To do so, integration of AFM oxidation in CMOS technology has been necessary. As expected, AFM grown oxide shows poorer dielectric quality than thermal oxide. Nevertheless, differences seem to be smaller when reducing the size of the test capacitors, i.e. nanometric scale C-AFM measurements, and moreover, an annealing process is likely to improve AFM-GOX dielectric properties.

#### Acknowledgements

The authors are grateful to the Dirección General de Investigación del MCyT (project no. BFM2000-0343) and to Nanofab (contract no. ERBFMRXCT970129) of TMR program of EC for partially supporting this work.

#### References

- [1] International Technology Roadmap for Semiconductors, 2001 edition. Available from <<http://public.itrs.net/Files/2001ITRS/ExecSum.pdf>>.
- [2] M. Sasago. Digest of Technical Papers of Symposium on VLSI Technology 1998, 1998, p. 6.
- [3] S. Zankovych, T. Hoffmann, J. Seekamp, J.-U. Bruch, C.M. Sotomayor, Nanotechnology 12 (2001) 91.
- [4] J.A. Dagata, J. Schneir, H.H. Harary, C.J. Evans, M.T. Postek, J. Bennett, Appl. Phys. Lett. 56 (1990) 2001.
- [5] K. Matsumoto, Y. Gotoh, T. Maeda, J. Dagata, J. Harris, Appl. Phys. Lett. 76 (2000) 240.
- [6] S. Minne, H. Soh, Ph. Flueckiger, C. Quate, Appl. Phys. Lett. 66 (1995) 703.
- [7] R. Rodríguez, E. Miranda, R. Pau, J. Suñé, M. Nafria, X. Aymerich, IEEE Electron. Device Lett. 21 (2000) 251.
- [8] X. Blasco, D. Hill, M. Porti, M. Nafria, X. Aymerich, Nanotechnology 12 (2001) 110.

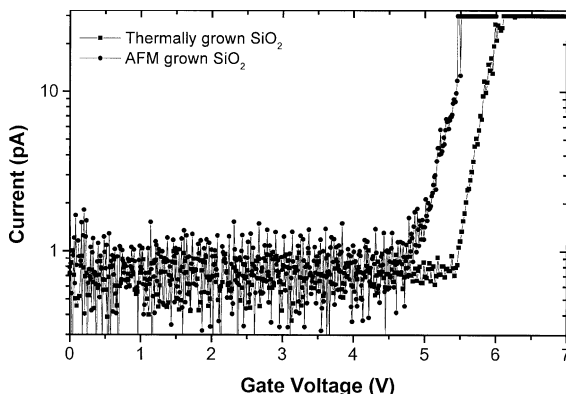


Fig. 3. C-AFM measured  $I$ - $V$  characteristics for MOS structures, with AFM grown gate oxide (circles) and with thermally grown gate oxide (squares).

- [9] A. Martin, P. O'Sullivan, A. Mathewson, *Microelectron. Reliab.* 38 (1998) 37.
- [10] M. Porti, M.C. Blüm, M. Nafriá, X. Aymerich. *Proc. IRPS* 2002, 2002, p. 380.
- [11] M. Porti, M. Nafriá, X. Aymerich, A. Olbrich, B. Ebersberger, *J. Appl. Phys.* 91 (2002) 2071.
- [12] R.H. Fowler, L. Nordheim, *Proc. Royal Soc. London, Ser. A* 119 (1928) 173.
- [13] D.J. DiMaria, E. Cartier, D. Arnold, *J. Appl. Phys.* 73 (1993) 3367.
- [14] A. Olbrich, B. Ebersberger, C. Boit, *Appl. Phys. Lett.* 73 (1998) 3114.



ELSEVIER

Available online at [www.sciencedirect.com](http://www.sciencedirect.com)

SCIENCE @ DIRECT®

Microelectronic Engineering 72 (2004) 191–196

MICROELECTRONIC  
ENGINEERING

[www.elsevier.com/locate/mee](http://www.elsevier.com/locate/mee)

# C-AFM characterization of the dependence of $\text{HfAlO}_x$ electrical behavior on post-deposition annealing temperature

X. Blasco<sup>a,\*</sup>, J. Pétry<sup>b</sup>, M. Nafria<sup>a</sup>, X. Aymerich<sup>a</sup>, O. Richard<sup>b</sup>,  
W. Vandervorst<sup>b</sup>

<sup>a</sup> *Departament d'Enginyeria Electrònica, Universitat Autònoma de Barcelona, Edifici Q, Bellaterra 08193, Spain*

<sup>b</sup> *IMEC, Kapeldreef 75, Leuven B-3001, Belgium*

## Abstract

The dependence of the electrical behavior of thin  $\text{HfAlO}_x$  layers (5 nm) on post-deposition annealing temperature ( $T_A$ ) has been studied at a nanometer scale using conductive atomic force microscopy (CAFM) and high resolution transmission electron microscopy (HR-TEM). Topography, current maps and current–voltage ( $I$ – $V$ ) characteristics have been collected by CAFM. Current maps show an increase in conduction inhomogeneity for samples exposed to  $T_A \geq 900$  °C: spots with current about one order of magnitude larger than the background region are present. The dielectric layer structure also becomes more inhomogeneous: HR-TEM images reveal that for  $T_A \geq 900$  °C  $\text{HfO}_2$  grains appear on the  $\text{HfAlO}_x$  layer, whereas for lower  $T_A$  the  $\text{HfAlO}_x$  layer is homogeneous. Moreover, for  $T_A \geq 900$  °C the high- $k$ /Si interface becomes rougher. Therefore, the increase in conduction inhomogeneity for samples annealed above 800 °C is believed to be caused by the material transition from an amorphous to a poly(nano)crystalline structure combined with the increase of the high- $k$ /SiO<sub>2</sub> interface roughness.

© 2004 Elsevier B.V. All rights reserved.

**Keywords:** Conductive atomic force microscopy; Electrical characterization; High- $k$  dielectrics; Mixed oxides;  $\text{HfAlO}_x$ ; Post-deposition annealing temperature; High resolution transmission electron microscopy

## 1. Introduction

The decrease of the gate SiO<sub>2</sub> thickness has become one of the main showstoppers of the transistor scaling down process, due to the dramatic increase of leakage currents and therefore, power consumption [1]. On the other hand, it is

necessary to further reduce the gate oxide thickness in order to accomplish the ever increasing demand of improved performance [2]. To do so, the use of an alternative material with a higher dielectric constant (high- $k$ ) has been proposed, as a replacement of the so far almost perfect SiO<sub>2</sub> for the gate dielectric of CMOS technology. High- $k$  materials will allow to reach the required equivalent oxide thickness (EOT), but with a larger physical oxide thickness, which reduces the leakage current drastically. However, replacing SiO<sub>2</sub> is not an easy task, because the substitute must

\* Corresponding author. Tel.: +34-935-813-526; fax: +34-935-812-600.

E-mail address: [xavier.blasco@uab.es](mailto:xavier.blasco@uab.es) (X. Blasco).

provide suitable values of dielectric constant and barrier height, and a high quality interface with the Si substrate. Moreover, it must be thermodynamically stable on Si and compatible with the gate material and the high temperature CMOS processes [3]. So far, the material that meets all the requirements simultaneously has not been determined, but there are several promising candidates such as  $\text{HfO}_2$  [4],  $\text{ZrO}_2$  [5], and Hf and Zr aluminates and silicates [6,7], which have attracted the attention of the scientific community. Aluminates and silicates offer more design flexibility, since being an alloy of two oxides, it is possible to combine the desirable properties from the two different oxides while eliminating the undesirable properties of each individual material [3].

Most of the knowledge about the electrical behavior of high- $k$  materials has been gained from measurements performed on macroscopic MOS capacitors or transistors [4,5,8] using standard electrical characterization methods at wafer level. This kind of tests, however, provides a spatially averaged information on the electrical properties of the material. On the contrary, conductive atomic force microscopy (CAFM), as demonstrated for  $\text{SiO}_2$  [9], is able to characterize the gate dielectric on a nanometer scale. In this work, CAFM is used to study at this scale the electrical behavior of  $\text{HfAlO}_x$  as a function of the post-deposition annealing temperature ( $T_A$ ). The electrical measurements are complemented with HR-TEM images for all the  $T_A$ . The study of thermal stability is of importance in order to evaluate the compatibility of this material with high temperature CMOS processes.

## 2. Experimental

The samples consisted of a gate stack of a 5-nm thick  $\text{HfAlO}_x$  layer grown by atomic layer chemical vapor deposition, on a 0.5-nm  $\text{SiO}_2$  interface layer (rapid thermal oxidation), to avoid uncontrolled reactions with the p-type silicon wafers ( $N_A \sim 10^{15} \text{ cm}^{-3}$ ) used as substrate. The EOT of the gate stack is  $\sim 1.9$  nm. The wafers were annealed in  $\text{N}_2$  for 1 min at different temperatures, ranging from 700 to 1000 °C. Some of the wafers

were not exposed to annealing, to keep them as reference.

Measurements have been performed with a Digital Instruments 3100 CAFM operated in ambient air and equipped with Diamond or PtIr-coated silicon tips. When working on the bare stack surface, the tip plays the role of the metal gate of a MOS structure, with an area mainly defined by the tip-sample contact region. This area has been experimentally determined to be few hundreds of  $\text{nm}^2$  (somewhat smaller for the PtIr-coated tips). For all the samples, topography maps (to study the surface morphology), spatially resolved leakage current (conductivity) maps (whereby the sample is scanned while applying a constant voltage to the sample) and current–voltage ( $I$ – $V$ ) characteristics on fixed sample locations (to evaluate the conductivity of the sample as a function of voltage) have been measured. These measurements allow to study the spatial distribution of current and its dependence on the applied voltage, for the different  $T_A$ . Current maps and  $I$ – $V$  curves have been measured when the substrate is negatively biased with respect to the grounded tip (i.e., injection from the Si– $\text{SiO}_2$  interface), so that the MOS structure is in inversion. Two  $I$ – $V$  curves are actually collected for each analyzed oxide location: one from a forward voltage ramp (applied voltage from 0 to  $\sim -7.5$  V) and another from a backward voltage ramp (applied voltage from  $\sim -7.5$  to 0 V). The current range is from  $\sim 30$  fA (determined from the electrical noise level) up to 100 pA. Cross-section HR-TEM images of samples annealed at the different  $T_A$ , and planar TEM images of the sample annealed at  $T_A = 900$  °C were obtained by a Jeol 200CX TEM, working with an accelerating voltage of 200 kV. Cross-section samples are prepared by conventional ion beam milling.

## 3. Results and discussion

From the topography maps, the  $\text{HfAlO}_x$  surface roughness, considered as the standard deviation of the heights distribution, was measured over several  $1 \times 1 \mu\text{m}^2$  areas. The obtained values were smaller than 0.1 nm for all the samples (annealed

and reference), what implies that the surface is very flat and that the changes that could be caused by the annealing in surface morphology are below the CAFM resolution. HR-TEM cross-section images lead to the same result: the  $\text{HfAlO}_x$  surface is very smooth for all  $T_A$ . HR-TEM cross-section images for the nonannealed sample and for the sample annealed at 900 °C are displayed in Fig. 1(a) and (b), respectively. It can be observed that the  $\text{HfAlO}_x$  surface and the Si/SiO<sub>2</sub> interface are very smooth for both cases. For  $T_A = 900$  °C (Fig. 1(b)) the  $\text{HfAlO}_x/\text{SiO}_2$  interface is rough and nanocrystallites are present (ellipses) in the high- $k$  layer.

The electrical properties of the material have been studied from the CAFM current maps and  $I$ - $V$  curves. The current images will provide information on the spatial distribution of the gate stack conductivity. Fig. 2 shows the current maps obtained for reference samples (not annealed) (a) and samples annealed at 800 °C (b), 900 °C (c) and

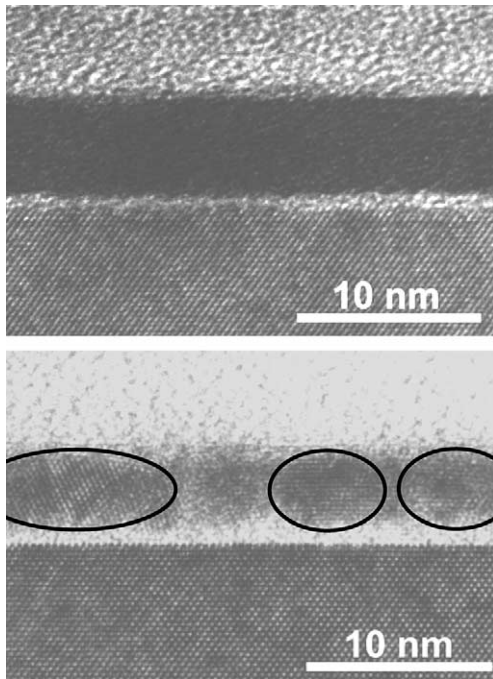


Fig. 1. Cross-sectional HR-TEM image of an as deposited sample (a) and a sample annealed at 900 °C (b). For  $T_A = 900$  °C, crystalline grains (ellipses) and a rougher high- $k$ /SiO<sub>2</sub> interface can be observed.

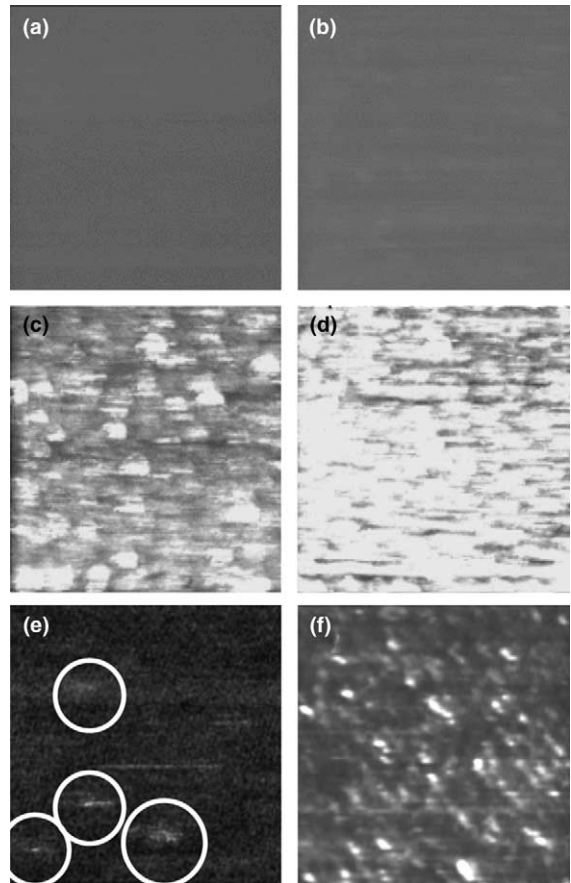


Fig. 2. Current maps of the gate stacks measured when applying a sample bias of  $-6$  V, for the different annealing temperatures (using a diamond-coated tip). (a) not annealed sample, (b)  $T_A = 800$  °C, (c)  $T_A = 900$  °C, (d)  $T_A = 1000$  °C. The area of the scanned region is  $2 \times 2 \mu\text{m}^2$ . The current ranges from 0 pA (black) to 20 pA (white). (e)  $1 \times 1 \mu\text{m}^2$  zoom of (a), showing weak (more conductive) spots, when the current scale is decreased from 0 pA (black) to 1 pA (white), (f) a  $0.3 \times 0.3 \mu\text{m}^2$  current image (obtained using a PtIr tip) of the sample exposed to  $T_A = 900$  °C. The current ranges from 0 pA (black) to 10 pA (white).

1000 °C (d), with an applied sample voltage of  $-6$  V in a  $2 \times 2 \mu\text{m}^2$  region. The same current scale has been used in these four images.

For  $T_A < 900$  °C and nonannealed samples, an average current of  $\sim 0.5$  pA (flowing through an area of few hundreds of nm<sup>2</sup>, defined by the tip-sample contact region) and an electrical roughness (standard deviation of the current distribution) of

0.1 pA is measured. A zoom of Fig. 2(a) (see Fig. 2(e)) reveals that conduction through the gate stack is not completely homogeneous, since weak spots with a larger conductivity than the average value are observed. The weak spot radius has been determined to be around  $\sim 15\text{--}25$  nm, when diamond-coated tips are used. For these samples HR-TEM cross-section images (Fig. 1(a)) evidence that not only that the  $\text{HfAlO}_x$  surface is very smooth but also both interfaces of the RTO oxide. Nevertheless, as for the case of thermally grown  $\text{SiO}_2$  ultra thin layers [10], neither the thickness of the stack nor its electrical properties are completely homogeneous. These small scale inhomogeneities can explain the observed weak spots.

For  $T_A \geq 900$  °C, CAFM current maps reveal that the electrical roughness is about 10 times larger. HR-TEM cross-section image for  $T_A = 900$  °C (Fig. 1(b)) shows that although the  $\text{SiO}_2/\text{Si}$  substrate interface and the surface of the high- $k$  layer are smooth, the high- $k/\text{SiO}_2$  interface is rough. Moreover, nanocrystallites are present in the high- $k$  layer. The crystals are homogeneously distributed in the whole layer thickness. The measured interplanar distances of these crystals are in good agreement with the interplanar distances characteristic of the  $\text{HfO}_2$  cubic crystallographic structure. Therefore, the increase in inhomogeneity is believed to be caused by the material transition from an amorphous to a poly(nano)crystalline structure combined with the increase of the high- $k/\text{SiO}_2$  interface roughness, for samples annealed above 800 °C.

For the sample annealed at 900 °C, the typical conductive spot radius (“electrical grain”) is  $\sim 25\text{--}40$  nm when using diamond-coated tips, which is almost one order of magnitude larger than TEM observations (see Fig. 1(b)) of the crystallographic grains (radius of  $\sim 5$  nm). However, these images were taken with a diamond tip with a large radius which overestimates the size of the conductive zones. Hence, part of the size difference is a consequence of the reduced spatial resolution that can be achieved using diamond-coated tips. Smaller electrical grain size values (radius of  $\sim 5\text{--}10$  nm) are measured using a PtIr tip (see Fig. 2(f)) because this kind of tips are sharper, and therefore, smaller features can be resolved. It should be noted that

those leaky spots can be a serious reliability problem even when reducing the device size, because their density (extracted from images obtained using PtIr tips) is roughly one spot per  $50 \times 50$  nm<sup>2</sup>. This figure agrees with the density of  $\text{HfO}_2$  grains extracted from planar TEM images of the sample annealed at 900 °C (Fig. 3), what could indicate that the formation of  $\text{HfO}_2$  grains in the  $\text{HfAlO}_x$  layer is the dominant factor in the electrical inhomogeneity increase for  $T_A \geq 900$  °C.

It seems reasonable to think that, in a polycrystalline material, the most conductive locations should be the grain boundaries, and therefore, the current maps should show conductive rings. However, even if conduction is really through grain boundaries, since the electrical grain size is close to the CAFM lateral resolution, conductive rings can not be resolved and, instead, the current maps show conductive spots. More work is needed to determine whether the conduction actually occurs through grain boundaries.

The conduction of the samples has been analyzed in more detail through the  $I\text{--}V$  curves measured on fixed locations. Fig. 4 shows individual forward and backward ramps for samples exposed to  $T_A < 900$  °C and  $T_A \geq 900$  °C. For  $T_A < 900$  °C, two regions can be observed in the backward curve. From a rough analysis of the band diagram of the gate stack, these two regions can be associated to two different conduction modes. For simplicity, no trapped charge in the gate stack has been considered. So, the voltage drop in each of the layers of the stack is determined by their thickness and dielectric constant [11]. The two

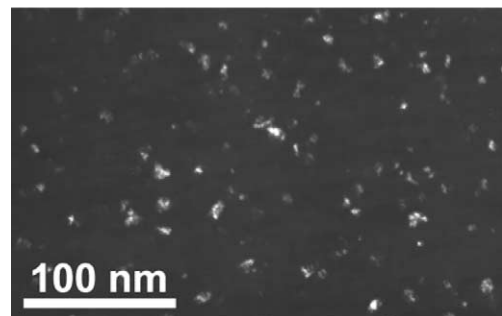


Fig. 3. Dark field planar TEM image of a sample annealed at 900 °C.  $\text{HfO}_2$  grains are observed in the  $\text{HfAlO}_x$  layer.

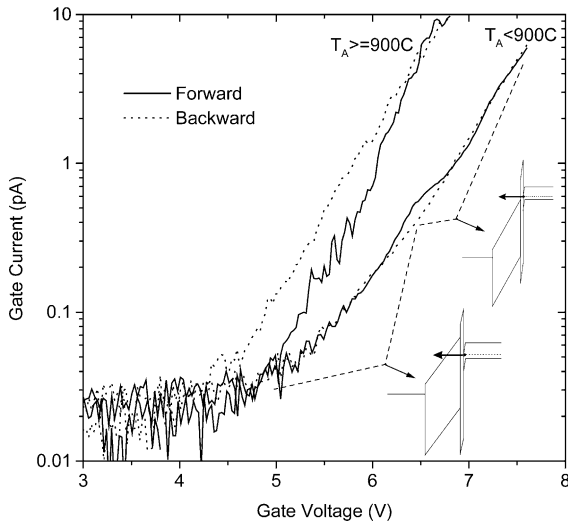


Fig. 4. Single forward (dot lines) and backward (solid lines) ramps for samples exposed to  $T_A < 900^\circ\text{C}$  and  $T_A \geq 900^\circ\text{C}$ .

regions can be associated to the transition from carrier injection through a triangular  $\text{HfAlO}_x$  barrier (and, of course, through the  $\text{SiO}_2$  barrier) to carrier injection at energies above the barrier of the  $\text{HfAlO}_x$  (see schematics inserted in Fig. 4). The transition between both modes occurs around a

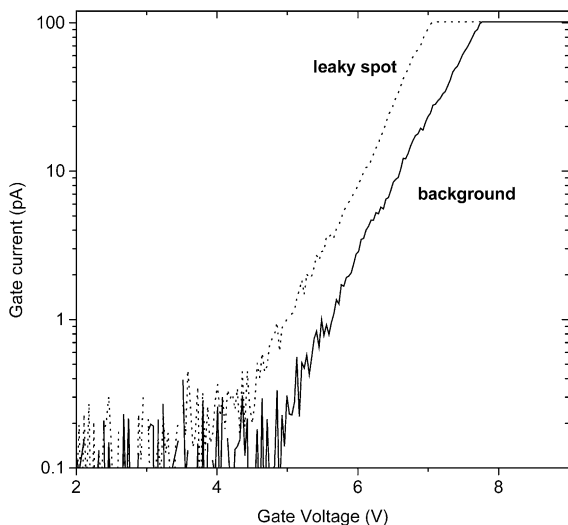


Fig. 5. Comparison of current–voltage characteristics measured on leaky (more conductive) spots and background region for samples exposed to  $T_A = 900^\circ\text{C}$ .

gate voltage of  $\sim 6.5$  V. Forward and backward curves are similar, and the only difference is a slightly larger current (which leads to a kink) for forward ramps at a gate voltage  $\sim 6.5$  V. The fact that the observed kink appears close to the transition voltage, and in a narrow gate voltage range, indicates that the kink can be probably caused by charge coming from states located at the  $\text{SiO}_2$ - $\text{HfAlO}_x$  interface.

For  $T_A \geq 900^\circ\text{C}$ , the curves are noisier, and different regions cannot clearly be distinguished. The difference between forward and backward ramps is larger than for samples exposed to  $T_A < 900^\circ\text{C}$ , which indicates an increase in trapped charge. Finally,  $I$ - $V$  characteristics have been measured on conductive spots and the background region (Fig. 5). It can be seen that both zones exhibit parallel slopes (same conduction mode), while the current in conductive spot is almost one order of magnitude larger than for background.

#### 4. Conclusion

The influence of the annealing temperature on the electrical behavior of thin  $\text{HfAlO}_x$  layers has been studied at a nanometer range using CAFM. No dependence of  $\text{HfAlO}_x$  surface topography on  $T_A$  has been observed. On the contrary, TEM images have revealed that the interface between the  $\text{HfAlO}_x$  and the  $\text{SiO}_2$  layer becomes rougher and CAFM current maps that conductivity is more inhomogeneous, for  $T_A \geq 900^\circ\text{C}$ . The increase in inhomogeneity is likely to be caused by the material transition from an amorphous to a polycrystalline structure, combined with the increase of the  $\text{HfAlO}_x/\text{SiO}_2$  interface roughness, observed from TEM images. The very leaky spots that appear when annealing the gate stack at  $T_A \geq 900^\circ\text{C}$  could cause a reliability problem, even for very small devices.

#### Acknowledgements

The authors are grateful to the Direcció General de Investigació del MCyT (project no. BFM2000-0343), DURSI (Generalitat Catalunya)



(2002SGR-00130) and to the Agència de Gestió d'Ajuts Universitaris i de Recerca (Generalitat Catalunya) (exp. no. 2002BEAI2000142) for partially supporting this work. X.B. is indebted to IMEC for financial support as part of the summer training program.

## References

- [1] M.L. Green, E.P. Gusev, R. Degraeve, E.L. Garfunkel, J. Appl. Phys. 90 (2001) 2057–2121.
- [2] International Technology Roadmap for Semiconductors (2002 update). Available from: <http://public.itrs.net/Files/2002Update/Home.pdf>.
- [3] G.D. Wilk, R.M. Wallace, J.M. Anthony, J. Appl. Phys. 89 (2001) 5243–5275.
- [4] W.J. Zhu, T.P. Ma, T. Tamagawa, J. Kim, Y. Di, IEEE Electron. Dev. Lett. 23 (2002) 97–99.
- [5] W.J. Qi, R. Nieh, B.H. Lee, L. Kang, Y. Jeon, J.C. Lee, Appl. Phys. Lett. 77 (2000) 3269–3271.
- [6] H.Y. Yu, M.F. Li, B.J. Cho, C.C. Yeo, M.S. Joo, D.L. Kwong, J.S. Pan, C.H. Ang, J.Z. Zheng, S. Ramanathan, Appl. Phys. Lett. 81 (2002) 376–378.
- [7] G.D. Wilk, R.M. Wallace, J.M. Anthony, J. Appl. Phys. 87 (2000) 484–492.
- [8] T. Kauerauf, R. Deagraeve, E. Cartier, B. Govoreanu, P. Blomme, L. Pantisano, A. Kerber, G. Groeseneken, IEDM 02 (2002) 521–524.
- [9] M. Porti, M. Nafria, X. Aymerich, A. Olbrich, B. Ebersberger, Appl. Phys. Lett. 78 (2001) 4181–4183.
- [10] M. Porti, M. Nafria, X. Aymerich, A. Olbrich, B. Ebersberger, J. Appl. Phys. 91 (2002) 2071–2079.
- [11] R. Degraeve, B. Kaczer, M. Houssa, G. Groeseneken, M. Heyns, J.S. Jeon, A. Halliyal, IEDM 99 (1999) 327–330.

# Enhanced electrical performance for conductive atomic force microscopy

Xavier Blasco, Montserrat Nafria,<sup>a)</sup> and Xavier Aymerich  
*Department of Enginyeria Electrònica, Edifici Q, Universitat Autònoma de Barcelona,  
 08193 Bellaterra, Spain*

(Received 17 June 2004; accepted 25 October 2004; published online 23 December 2004)

A new configuration of a conductive atomic force microscopy (CAFM) is presented, which provides enhanced electrical specs and performance while keeping the nanometer spatial resolution. This is achieved by integrating in the same measurement system a CAFM and a semiconductor parameter analyzer (SPA). The CAFM controls the tip position and scanning parameters, and the SPA is used for sample biasing and measurement. To test this set up, thin SiO<sub>2</sub> gate oxides of MOS devices have been characterized. For current measurements, the resulting dynamic range was from 1 pA up to 1 mA. The good performance of the conductive tip at such high currents is demonstrated. © 2005 American Institute of Physics. [DOI: 10.1063/1.1832579]

## I. INTRODUCTION

Atomic force microscope (AFM)<sup>1</sup> has become a very powerful tool in many diverse fields. Since its invention, AFM capabilities and performance have been improved significantly and several techniques based on the AFM working principle and set up, such as the conductive AFM (CAFM),<sup>2</sup> have appeared. This technique has been gaining interest in the field of metal-oxide-semiconductor (MOS) ultrathin gate dielectrics. Contrarily to standard microelectronics electrical characterization techniques [i.e., semiconductor parameter analyzer (SPA) + probe station] which must work with gated devices, and therefore the results are averaged over the whole gated area, when studying ultrathin gate dielectrics, the CAFM works on bare oxide surfaces. The conductive CAFM tip plays the role of the metal gate of a nanometer sized MOS capacitor of  $\sim 300 \text{ nm}^2$  (Ref. 3), defined by the tip-sample contact area. Hence, the topographical and electrical properties of the gate dielectric can be (simultaneously) collected at a nanometer scale.

CAFM has been already demonstrated to be very useful in the study of SiO<sub>2</sub> and high-*k* materials electrical properties.<sup>2-6</sup> However, sometimes, the electrical capabilities of CAFM are not enough. For example, when studying the degradation and dielectric breakdown (BD) of ultrathin gate dielectrics,<sup>7</sup> the limited current dynamic range of standard CAFM set up (typically 3 orders of magnitude) is a major inconvenience, because the whole current evolution cannot be collected in a unique measurement. Another limitation is the poor flexibility in the definition of the tests. Most CAFM only allow to apply ramped voltage stress (to measure *I-V* curves) or constant voltage stress (to measure current time evolution), and although important electrical parameters can be extracted from this kind of measurements, other relevant parameters need of other types of tests.<sup>8</sup>

In this work a solution to overcome those limitations is presented: a measurement system which results from the in-

tegration of a CAFM and a semiconductor parameter analyzer (SPA). The integration allows specs and performances that any commercial system can provide at present. The electrical characterization of ultra thin gate SiO<sub>2</sub> has been chosen for testing the new set up. Since all the measurements allowed by the SPA (which is extensively used in microelectronic device characterization) can be carried out at a nanometer scale, the new measurement configuration can be specially useful to the microelectronics community, who needs new metrology when entering the nanoelectronics era.

## II. IMPROVING A CAFM SET UP

The initial CAFM set up configuration (prior to the electrical performance improvements) was composed of a commercial AFM, an external module for current measurement, and a computer for measurement configuration and data display and processing. With this set up, and working in contact mode, the CAFM can measure current maps (when scanning a zone at a fixed voltage) and topography simultaneously. It can also obtain local current-voltage (*I-V*) characteristics (if the voltage is linearly ramped) and current-time (*I-t*) characteristics (if the voltage is kept constant) when the tip is fixed on a sample location. The tip-sample system is inside a Faraday box for electrical noise isolation. For this set-up, the dynamic range for current measurement is only 3 orders of magnitude. Other CAFM equipments can offer different measurement ranges but still with a 3 orders of magnitude limited dynamic range.<sup>9</sup>

In order to achieve a larger current measurement range and test generation flexibility, the means to bias the tip-sample system and to measure the current through the sample have been substituted by integrating a semiconductor parameter analyzer<sup>10</sup> in the CAFM (Fig. 1). For simplicity, we will refer to this new set up as ECAFM (from enhanced CAFM) for the rest of the paper. The core of the SPA are the source measurement units (SMU) which are able to apply voltage (current) and measure current (voltage) with automatic variable gain. In the new set up, these SMU are the responsible of sample biasing and measuring, while the

<sup>a)</sup> Author to whom correspondence should be addressed; electronic mail: Montse.Nafria@uab.es

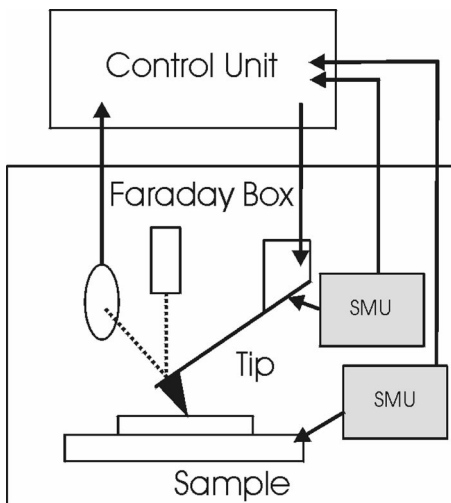


FIG. 1. Schematics of ECAFM set up. The SMU included in a SPA are used to bias the sample and measure the current through it, instead of the bias/measure CAFM standard hardware. The new measurement configuration allows us to reproduce standard microelectronics electrical tests with nanometer resolution.

CAFM electronics controls the tip position and scanning parameters. A software has been developed for the measurement and synchronization of both equipments. The current measurement range of the ECAFM is determined by the performance of the SMU, the electrical noise and the electrical properties of the tip. The inclusion of the SMU allows additional tests: ramped current stresses (RCS, to measure  $V$ - $I$  curves) and constant-current stresses (CCS, to record the temporal evolution of voltage, when a constant current is forced through the structure). Moreover, voltage maps can be recorded simultaneously to the topography when a constant current is forced through the sample while scanning.

### III. SYSTEM PERFORMANCE

A set of CMOS capacitors ( $n$ -type doped poly-Si deposited gate, 3.5 nm thick  $\text{SiO}_2$  gate oxide and  $n$ -type Si substrate) was used to show the ECAFM performance. The poly-Si gate was removed by means of a wet etching. The effective tip-sample contact area, which determines the size of the MOS structure under study, has been experimentally estimated to be  $\sim 300 \text{ nm}^2$ , for the PtIr coated Si tips used in this work.<sup>5</sup>

$I$ - $V$  characteristics have been chosen as example of the system performance.  $I$ - $V$  curves have been measured using the well known CAFM set up, in order to have reference data, and the ECAFM set up. Voltage ramps from 0 V up to  $-10$  V were applied to the sample (tip is grounded) and the current through the sample was simultaneously measured. For ECAFM set up, the  $I$ - $V$  measurements were performed with and without a 1 mA current compliance.

Figure 2 shows representative  $I$ - $V$  curves measured with the standard CAFM set up (solid line) and the ECAFM set up (symbol line). For CAFM set up 3 regions can be distinguished: (a) the noise region, with current  $\leq 1$  pA, (b) the tunneling current region, with current from  $\sim 1$  pA up to 300 pA, and (c) the saturation region (due to the measurement electronics), with current=300 pA. For ECAFM measure-

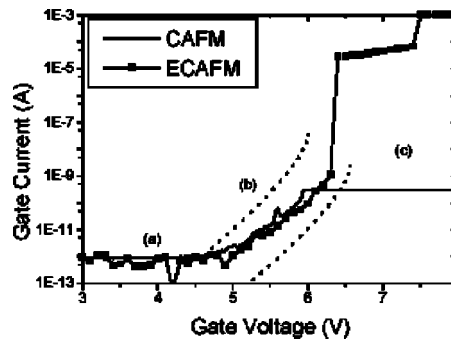


FIG. 2.  $I$ - $V$  curves measured with the standard CAFM set up (solid line) and the ECAFM set up (symbol line). For CAFM, 3 regions can be distinguished: (a) the noise region, with current  $\leq 1$  pA, (b) the tunneling current region, with current from  $\sim 1$  pA up to 300 pA, and (c) the saturation region, with current=300 pA. For ECAFM measurements, regions (a) and (b) are also present but the tunneling current does not saturate at 300 pA. At a certain  $V_{\text{gate}}$  the oxide layer breaks down, what causes a sudden current increase, and finally the 1 mA compliance is reached. The region between dotted lines corresponds to the  $I$ - $V$  dispersion range for both set ups.

ments, regions (a) and (b) are also present but the tunneling current does not saturate at 300 pA. At  $\sim 6$  V the oxide layer breaks down what causes a sudden current increase, and finally the 1 mA compliance is reached. It should be highlighted that with this set up the dynamic range in current (for both fixed position and map measurements) is 9 orders of magnitude: from the  $\sim 1$  pA electrical noise level up to the 1 mA compliance. The dispersion ranges of CAFM and ECAFM measured  $I$ - $V$  curves (region between dotted lines in Fig. 2) are overlapped, what ensures that ECAFM measurements reproduce the CAFM reference characteristics.

The electrical properties of the tip are critical, since the current densities are very large. In a standard CAFM a low level compliance is fixed (typically 10 or 100 pA), which prevents the tip from any damage due to those large current densities. Our experiments show that our tips can stand a current of 1 mA. So, a 1 mA compliance must be set during the measurements, otherwise, the larger currents can cause irreversible damage to the tip. In order to check if the measurement of the 1 mA limited  $I$ - $V$  curves cause a change in the electrical resolution (minimum area that the set up is able to electrically resolve), current maps were acquired using the CAFM set up before and after performing several 1 mA limited  $I$ - $V$  curves. The size of the locations with current above the noise level has been used to compare the tip-sample effective contact area before and after measuring the  $I$ - $V$  curves, being of approximately  $500 \text{ nm}^2$  for both cases. When the 1 mA compliance is used and the scanning parameters are set to minimize the tip mechanical wear out, the  $I$ - $V$  characteristics are repetitive and the tip-sample effective contact area does not get worse. The measurements performed on ultrathin  $\text{SiO}_2$  layers of MOS devices point out that the new measurement configuration is specially suited for nanoelectronic device characterization, by reproducing the standard electrical tests with nanometer resolution, but other disciplines can also benefit from ECAFM advantages.

## ACKNOWLEDGMENTS

The authors are grateful to the Direcció General de Investigació del MCyT (Project No. TIC2003-00452) and to the Generalitat de Catalunya (Referència 2002SGR-00130) for partially supporting this work.

<sup>1</sup>G. Binnig, C. F. Quate, and Ch. Gerber, *Phys. Rev. Lett.* **56**, 930 (1986).

<sup>2</sup>A. Olbrich, B. Ebersberger, and C. Boit, *Appl. Phys. Lett.* **73**, 3114 (1998).

<sup>3</sup>M. Porti, M. C. Blüm, M. Nafria, and X. Aymerich, *IEEE International Reliability Physics Symposium 2002*, p. 380.

<sup>4</sup>S. J. O'Shea, R. M. Atta, M. P. Murrell, and M. E. Welland, *J. Vac. Sci.*

*Technol. B* **12**, 1945 (1995).

<sup>5</sup>M. Porti, M. Nafria, X. Aymerich, A. Olbrich, and B. Ebersberger, *J. Appl. Phys.* **91**, 2071 (2002).

<sup>6</sup>X. Blasco, J. Pétry, M. Nafria, X. Aymerich, and W. Vandervorst, *Microelectron. Eng.* **72**, 191 (2004).

<sup>7</sup>J. Stathis, *IEEE International Reliability Physics Symposium 2001*, p. 132.

<sup>8</sup>A. Martin, P. O'Sullivan, and A. Mathewson, *Microelectron. Reliab.* **38**, 37 (1998).

<sup>9</sup>Veeco Group website:

[http://www.veeco.com/appnotes/DS52\\_AppModules.pdf](http://www.veeco.com/appnotes/DS52_AppModules.pdf)

<sup>10</sup>Detailed information about this instrument can be found at Agilent technologies website, entering 4156 in the Quick Search field. <http://www.agilent.com/>

# Breakdown spots of ultra-thin (EOT < 1.5 nm) HfO<sub>2</sub>/SiO<sub>2</sub> stacks observed with enhanced—CAFM

X. Blasco<sup>a</sup>, M. Nafria<sup>a,\*</sup>, X. Aymerich<sup>a</sup>, J. Pétry<sup>b</sup>, W. Vandervorst<sup>b</sup>

<sup>a</sup> Dept. d'Enginyeria Electrònica, Universitat Autònoma de Barcelona, Edifici Q, 08193, Bellaterra, Spain

<sup>b</sup> IMEC, Kapeldreef 75, B-3001, Leuven, Belgium

Received 28 June 2004; received in revised form 29 September 2004

Available online 29 December 2004

## Abstract

In this work, the (gate) current versus (gate) voltage ( $I$ – $V$ ) characteristics and the dielectric breakdown (BD) of an ultra-thin HfO<sub>2</sub>/SiO<sub>2</sub> stack is studied by enhanced conductive atomic force microscopy (ECAFM). The ECAFM is a CAFM with extended electrical performance. Using this new set up, different conduction modes have been observed before BD. The study of the BD spots has revealed that, as for SiO<sub>2</sub>, the BD of the stack leads to modifications in the topography images and high conductive spots in the current images. The height of the hillocks observed in the topography images has been considered an indicator of structural damage.

© 2004 Elsevier Ltd. All rights reserved.

## 1. Introduction

The progressive reduction of MOS gate oxide thickness has led to an increase of tunnel gate current up to unacceptable values. One of the proposed solutions is the replacement of the so far almost perfect SiO<sub>2</sub> by another material with a higher dielectric constant (high- $k$ ) [1]. High- $k$  materials will allow to reach the required equivalent oxide thickness (EOT), but with a larger physical oxide thickness, which reduces the leakage current drastically. Several candidates such as HfO<sub>2</sub> [2], ZrO<sub>2</sub> [3], Hf and Zr aluminates and silicates [4,5] have attracted the attention of the scientific community. However, before the effective substitution of SiO<sub>2</sub> in

commercial IC's, the electrical properties and reliability of these materials must be well characterized.

Most of the knowledge about the electrical behavior of high- $k$  materials has been gained from measurements performed on macroscopic MOS capacitors or transistors [2,3,6] using standard electrical characterization methods at wafer level. Although very important information have been obtained using these methods, this kind of tests provides a spatially averaged information on the electrical properties of the material. On the contrary, conductive atomic force microscopy (CAFM) allows to characterize topographically and electrically the gate dielectric with nanometer resolution. The CAFM works on bare gate dielectric surfaces. The conductive CAFM tip plays the role of the metal gate of a nanometer sized MOS capacitor with an area of  $\sim 300 \text{ nm}^2$  [7]. The CAFM has been already demonstrated to be very useful in the study of SiO<sub>2</sub> and high- $k$  materials electrical properties. It has been used to measure the dielectric strength of SiO<sub>2</sub> gate oxides [8],

\* Corresponding author. Tel.: +34 93 581 18 29; fax: +34 93 581 26 00.

E-mail address: [montse.nafria@uab.es](mailto:montse.nafria@uab.es) (M. Nafria).

local variations of the gate oxide thickness [9], the electrical degradation and breakdown of ultra thin SiO<sub>2</sub> gate oxide layers [10] and the electrical behavior of high-*k* dielectrics [11], providing new data that could not be obtained before, using standard electrical characterization techniques.

However, for some measurements, the electrical capabilities of CAFM are not enough. The limited current measurement range of standard CAFM set up (typically three orders of magnitude: fA up to pA, pA up to nA or nA up to  $\mu$ A, depending of the measurement hardware) is a major inconvenient, because the current evolution (as function of time or gate voltage) cannot be fully measured. To overcome standard CAFM set up limitations, a prototype of CAFM with enhanced electrical performance (ECAFM) has been used. With this new set up, explained in Section 2, the (gate) current versus (gate) voltage (*I*–*V*) characteristics and breakdown (BD) spots of a EOT < 1.5 nm HfO<sub>2</sub>/SiO<sub>2</sub> stack have been studied.

## 2. Experimental

The samples consisted of a gate stack of a 2.5 nm thick HfO<sub>2</sub> layer grown by atomic layer chemical vapor deposition, on a 0.6 nm SiO<sub>2</sub> interface layer (rapid thermal oxidation), to avoid uncontrolled reactions with the p-type Silicon wafers ( $N_A \sim 10^{15} \text{ cm}^{-3}$ ) used as substrate. The EOT of the gate stack is  $\sim 1.2$  nm.

As mentioned in the introduction, the electrical characterization technique utilized has been ECAFM (Fig. 1). The ECAFM can be understood as a CAFM, where the means to bias the tip-sample system and to measure

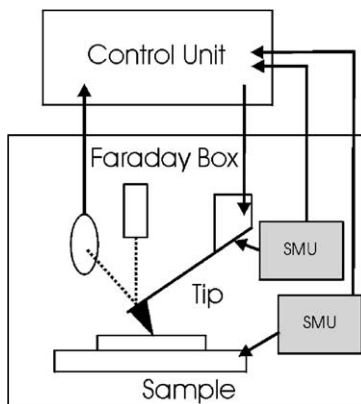


Fig. 1. Schematics of an ECAFM. Shaded modules (SMU) indicate the extra components with respect to a standard AFM. The SMUs replace the means for biasing the tip-sample system and to measure the current through the sample in a standard CAFM. A SMU allows to measure the gate current with an extended measurement range.

the current through the sample have been substituted by source monitor units (SMU). The current measurement range of the ECAFM is determined by the performance of the SMU, the electrical noise and the electrical characteristics of the ECAFM tip. In this work the ECAFM was equipped with CoCr coated Si tips. Tests performed on 3.5 nm SiO<sub>2</sub> layers (not shown) revealed that with our set up, currents from  $\sim 100$  fA up to  $\sim 1$  mA can be repetitively measured.

*I*–*V* characteristics were obtained from ramped voltage stresses [12] (RVS). For all measurements the tip was kept grounded while voltage ramps from 0 V up to several negative voltages ( $V_G$ ) were applied to the sample, i.e. MOS capacitor is in inversion. With this configuration electrons are injected from the Si–SiO<sub>2</sub> interface that is better known than the tip–HfO<sub>2</sub> contact, and moreover, additional anodic oxidation of the surface under study is prevented. The notation used for the applied RVS is RVS(#), where # is the maximum negative voltage, in volts, applied to the sample. Topography and current maps of the region where the *I*–*V*'s were measured have been acquired before and after RVS.

## 3. Results and discussion

*I*–*V* characteristics obtained from RVS(15) show different conduction regimes (Fig. 2) for  $V_G > \sim 2$  V (for lower  $V_G$ , measured current corresponds to the noise level). From the first ramp (square line) it can be distinguished: (a) a region where the current increases several orders of magnitude, (b) a plateau region and (c) a region where the current increases again, but now in a noisy way, until a current jump occurs. The different conduction regimes cannot be observed macroscopically, or at least not so clearly, due to the averaging effect of macroscopic measurements (semiconductor parameter analyzer + probe station on gated devices). Macroscopically, areas thousands (or more) larger than

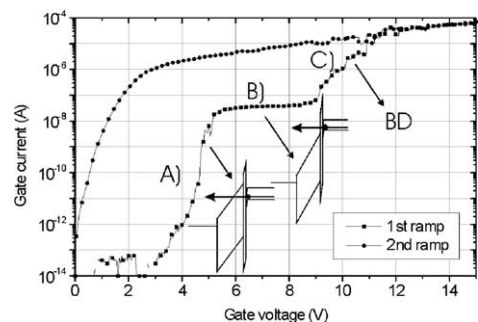


Fig. 2. Representative *I*–*V* characteristic of a 2.5 nm HfO<sub>2</sub>/0.6 nm SiO<sub>2</sub>, when a RVS(15) is applied. Different conduction regimes and BD can be observed.

the sites analyzed with CAFM/ECAFM are stressed in parallel. We have tried to reconstruct one of these macroscopic  $I$ - $V$ 's by adding the local ECAFM  $I$ - $V$ 's. Fig. 3. shows the gate current density resulting after adding  $\sim 200$  ECAFM  $I$ - $V$ . Note that the different conduction regimes have been masked. It is difficult to compare this plot to experimental results, because for the voltage range where current density is measurable, microelectronic sized test structures with the same EOT are normally broken. From the stack band diagram the regions (a) and (b) can be respectively associated to carrier injection through a triangular  $\text{HfO}_2$  barrier (and, of course, through the  $\text{SiO}_2$  barrier) and to carrier injection at energies above the barrier of the  $\text{HfO}_2$  (see schematics inserted in Fig. 2).

To determine whether region (c) is the stack breakdown, a second  $I$ - $V$  is performed at the same location (Fig. 2. circle line). This  $I$ - $V$  shows very much larger currents at low fields, confirming that BD has occurred. The same conclusion can be extracted from topography and current maps. To do so, after RVS, the region where the voltage ramps have been applied was topographically and electrically imaged. Low enough scan voltages were used, so that the electrical state of the stack is not modified during imaging. For the RVS(8), where the ramp ends at a voltage within the plateau region, neither changes in topography (Fig. 4a) nor in current maps (Fig. 4b) are observed, although a maximum current of approximately 10 nA (through an area of  $\sim 300 \text{ nm}^2$ ) was observed during the RVS. On the contrary, for RVS(15) (Fig. 5) topography (Fig. 5a and b) and current (Fig. 5c) maps exhibit modifications: at the RVS locations topography hillocks have appeared and their conductivity has dramatically increased, confirming again that the BD has occurred. This kind of behavior is analogous to that observed on  $\text{SiO}_2$  layers after their BD [13].

Topography hillocks were studied in more detail, revealing that hillock height is related to the voltage at which region (c) starts (Fig. 6), and referred as BD voltage. Statistically speaking, the larger the BD voltage the

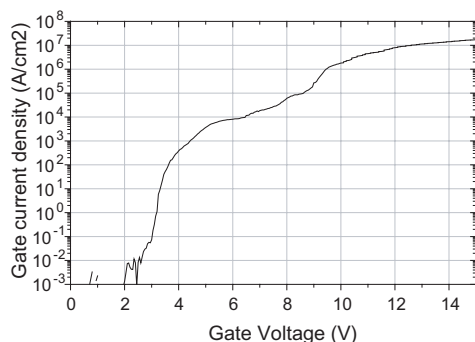


Fig. 3. Gate current density resulting by adding 200  $I$ - $V$ 's. The different conduction regimes are hidden.

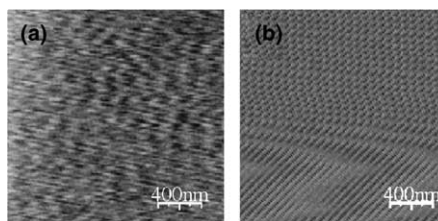


Fig. 4. (a) Topography and (b) current maps ( $V_{\text{gate}} = 3 \text{ V}$ ) of a zone where several RVS8 (0 V up to 8 V) have been performed. Height range is from 0 (black) up to 0.2 nm (white). Measured current corresponds to the noise level (100 fA).

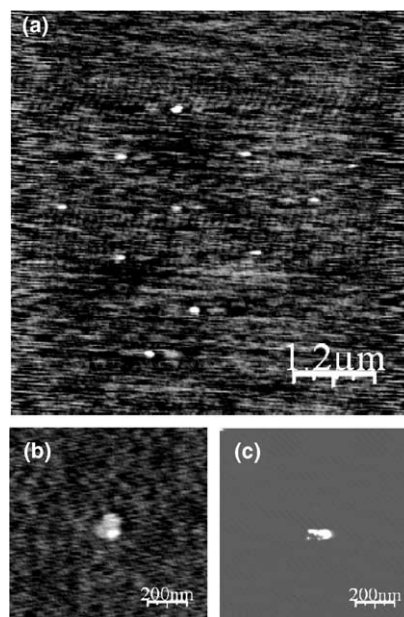


Fig. 5. (a) Topography map showing 10 hillocks measured at the locations where RVS15 (0 V up to 15 V) were previously applied. Hillock height ranges from 1 to 6 nm. (b) Topography and (c) current map ( $V_{\text{gate}} = 3 \text{ V}$ ) corresponding to a zoom of one of the hillocks observed in (a). Height range is from 0 (black) up to 6 nm (white). Current range is from 100 fA (noise level) (black) up to 300 pA (white).

higher the hillock height. As for  $\text{SiO}_2$  layers, the hillock height can be an indicator of BD damage caused to the stack [14]. The hillock height ranges from  $\sim 1 \text{ nm}$  up to  $\sim 6 \text{ nm}$  being the average 2.1 nm. The observed hillocks can probably be the result of a combination of real structural modifications of the stack plus an extra deflection of the CAFM tip due to charge generated during BD at the oxide BD location. Assuming, as for  $\text{SiO}_2$ , that the electrical deflection is the dominant factor, from the hillock height, since the thickness of the different layers of the stack and the force constant of the ECAFM cantilever are known, the amount of BD induced charge, related to the amount of structural damage, can be

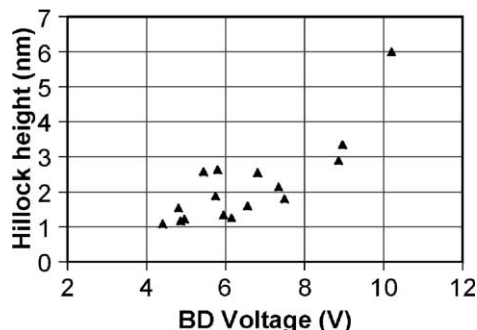


Fig. 6. Hillock height of BD locations as function of BD voltage.

estimated. Considering that the charge appears at the Si–SiO<sub>2</sub> interface, an average of 50 electrons trapped at the BD location is estimated, a value that is compatible with SiO<sub>2</sub> results [14].

#### 4. Conclusion

To sum up, BD spots in HfO<sub>2</sub>/SiO<sub>2</sub> (or in any other high-*k*) stacks have been observed for the first time using CAFM/ECAFM. As for SiO<sub>2</sub>, the BD of the stack leads to modifications in the topography images and high conductive spots in the current images. The height of the hillocks has been considered as an indicator of the BD induced structural damage. Moreover, the extended electrical capabilities of ECAFM with respect to standard CAFM has allowed to measure the *I*–*V* characteristics of the stack over a nine orders of magnitude current range with nanometer scale resolution. The *I*–*V* characteristics has revealed different conduction regions that cannot be observed by standard electrical characterization techniques on gated devices.

#### Acknowledgments

The authors are grateful to the Direcció General de Investigació del MCyT (project no. TIC2003-00452) and DURSI (Generalitat de Catalunya) (2002SGR-00130) for partially supporting this work.

#### References

- [1] Wilk GD, Wallace RM, Anthony JM. *J Appl Phys* 2001; 89:5243–75.
- [2] Zhu WJ, Ma TP, Tamagawa T, Kim J, Di Y. *IEEE Electron Dev Lett* 2002;23:97–9.
- [3] Qi WJ, Nieh R, Lee BH, Kang L, Jeon Y, Lee JC. *App Phys Lett* 2000;77:3269–71.
- [4] Yu HY, Li MF, Cho BJ, Yeo CC, Joo MS, Kwong DL, Pan JS, Ang CH, Zheng JZ, Ramanathan S. *Appl Phys Lett* 2002;81:376–8.
- [5] Wilk GD, Wallace RM, Anthony JM. *J Appl Phys* 2000; 87:484–92.
- [6] Kauerauf T, Degraeve R, Cartier E, Govoreanu B, Blomme P, Pantisano L, Kerber A, Groeseneken G. *IEDM* 2002;02:521–4.
- [7] Porti M, Blüm MC, Nafria M, Aymerich X. *Proc of IRPS* 2002;380–6.
- [8] O'Shea SJ, Atta RM, Murrell MP, Welland ME. *J Vac Sci Technol B* 1995;12:1945–52.
- [9] Olbrich A, Ebersberger B, Boit C. *Proc IRPS* 1998:163–8.
- [10] Porti M, Nafria M, Aymerich X, Olbrich A, Ebersberger B. *J Appl Phys* 2002;91:2071–9.
- [11] Blasco X, Pétry J, Nafria M, Aymerich X, Vandervorst W. *Microelectron Eng* 2004;72:191–6.
- [12] Martin A, O'Sullivan P, Mathewson A. *Microelectron Reliab* 1998;38:37–72.
- [13] Porti M, Nafria M, Aymerich X. *IEEE Trans Elec Dev* 2003;50:933–40.
- [14] Porti M, Nafria M, Blüm MC, Aymerich X, Sadewasser S. *Appl Phys Lett* 2002;81:3615–7.