

Arquitecturas y circuitos CMOS para el control, generación y procesamiento de señal de MEMS

Daniel Fernández Martínez

Tesis doctoral

Director: Jordi Madrenas Boadas

Noviembre de 2008

Grup d'Arquitectures Hardware Avançades
Departament d'Enginyeria Electrònica
Universitat Politècnica de Catalunya

3

Diseño translineal CMOS

Contenido

3.1. Introducción	74
3.2. Teoría de diseño translineal	74
3.2.1. El elemento translineal ideal	74
3.2.2. Lazos translineales. Definición, análisis y síntesis	75
3.2.3. Ejemplo de un circuito translineal	77
3.2.4. El elemento translineal BJT	78
3.2.5. El elemento translineal MOS	79
3.2.6. Introducción al filtrado <i>log-domain</i>	81
3.3. Elemento translineal MOS de alto ancho de banda (HBTE)	83
3.3.1. Introducción	83
3.3.2. Teoría de funcionamiento	83
3.3.3. Ajuste del circuito	87
3.3.4. Detalles de implementación	87
3.3.5. Resultados de simulación	90
3.3.6. Resultados experimentales	100
3.3.7. Características y limitaciones. Escalado del HBTE	106
3.4. Matriz Analógica Translineal Reconfigurable (FPAA)	107
3.4.1. Introducción	107
3.4.2. Elemento translineal MOS de alta precisión (HPTE)	108
3.4.3. Celda Translineal Reconfigurable (RTC)	113
3.4.4. Matriz Analógica Translineal Reconfigurable	116
3.5. Conclusiones y trabajo futuro	121
Referencias	121

3.1. Introducción

Los circuitos translineales, propuestos por Gilbert [1] en 1975, permiten implementar toda una familia de circuitos electrónicos (denominados translineales) que se utilizan en el procesado analógico de señal para realizar con precisión operaciones como amplificación (Gilbert [2]), productos (Gilbert [3]), divisiones, potencias y raíces en el dominio de la corriente. También se emplean en el filtrado de señales, donde reciben el nombre de filtros *log-domain*, propuestos por Adams [4] en 1979 y Seevinck [5] en 1990. También se ha reportado su uso en osciladores (Serdijn *et al.* [6] en 1998), detectores de fase y PLLs (Payne *et al.* [7] en 1998). La idea básica detrás de los circuitos translineales es trabajar con una tensión de señal comprimida logarítmicamente y realizar todo el proceso de señal en el dominio logarítmico, de forma que las excursiones de la misma son pequeñas, y proporcionando así, según Enz y Punzenberger [8], soluciones sencillas, compactas y muy adaptables, con un consumo energético extremadamente bajo y grandes márgenes dinámicos.

3.2. Teoría de diseño translineal

3.2.1. El elemento translineal ideal

El núcleo de proceso de los circuitos translineales es una primitiva denominada elemento translineal. En su forma ideal, éste suele representarse con el símbolo indicado en la figura 3.1, que será utilizado a lo largo de esta tesis para representar un elemento translineal arbitrario cuando no sea necesario entrar en detalles sobre su implementación. Otro símbolo de uso común para representar los elementos translineales ideales es el del diodo, pero se ha decidido utilizar el símbolo de la figura porque proporciona diagramas más próximos a los esquemas de circuitos translineales. Es necesario hacer notar, no obstante, que nunca deben confundirse los diagramas translineales, que simplemente representan la funcionalidad del sistema, con los esquemas, que representan una posible implementación del sistema.

Las características del elemento translineal ideal son un ancho de banda infinito, una corriente de puerta nula y una corriente de colector exponencial respecto a la diferencia de tensión entre la puerta y el emisor del elemento translineal, esto es,

$$I_C = \lambda I_0 e^{\eta \frac{V_{GE}}{u_T}} \quad (3.1)$$

donde I_0 es un parámetro de corriente residual unitaria para $V_{GE} = 0$, u_T el voltaje térmico, y los parámetros λ y η son magnitudes adimensionales que escalan, respectivamente, la corriente de colector y la diferencia de tensión entre la puerta y el emisor y dependen de la implementación concreta del elemento translineal.

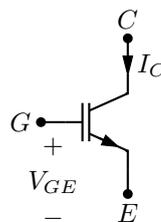


Figura 3.1: Símbolo circuital del elemento translineal utilizado en este texto. Por razones históricas y de similitud con los transistores bipolares y MOS, se denominan a sus terminales puerta (G), emisor (E) y colector (C). Se muestran, además, las variables eléctricas significativas, como la tensión puerta-emisor V_{GE} y la corriente de colector I_C .

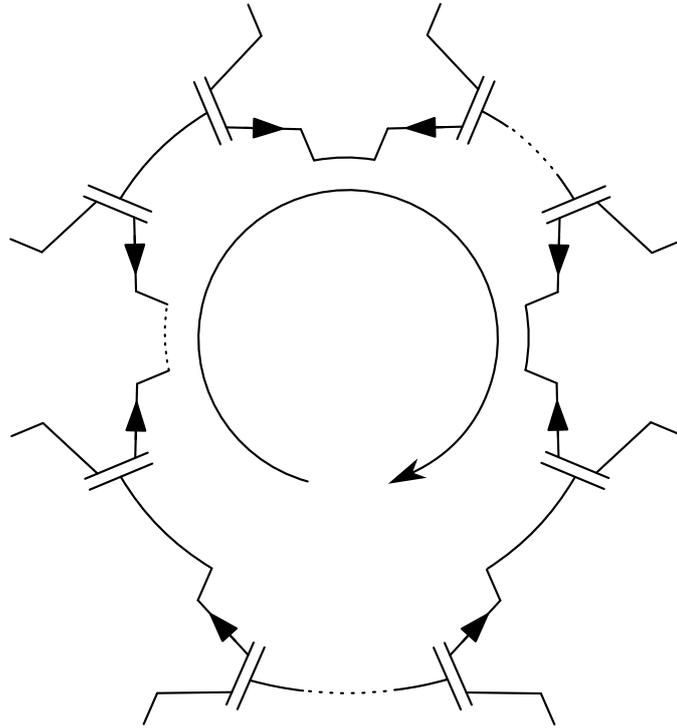


Figura 3.2: Representación de un lazo translineal genérico. Se muestran las distintas formas de conectar elementos translineales entre sí de manera que formen un lazo translineal. La flecha central define una orientación de los elementos del lazo. Denominaremos *elementos en sentido horario* a aquellos en los que la flecha central entre por la puerta, y *elementos en sentido antihorario* a aquellos en los que entre por el emisor.

Tomando la derivada de la expresión anterior respecto a la tensión V_{GE} obtenemos la *transconductancia* del elemento translineal ideal, que es

$$g_m = \frac{\partial I_C}{\partial V_{GE}} = \frac{\lambda \eta}{u_T} I_0 e^{\eta \frac{V_{GE}}{u_T}} = \frac{\eta}{u_T} I_C \quad (3.2)$$

Nótese que la transconductancia es lineal con la corriente de colector, de donde nace el término *translineal*.

3.2.2. Lazos translineales. Definición, análisis y síntesis

Un lazo translineal es un bucle cerrado de elementos translineales conectados entre sí por sus puertas, emisores o emisor con puerta, como se muestra en la representación genérica la figura 3.2. Para analizar el lazo podemos basarnos en el excelente reporte técnico de Minch [9] en el que se utiliza la ley de Kirchhoff para tensiones. En este caso, recorreremos el bucle en el sentido de la flecha y agrupamos las caídas de tensión V_{GE} de los elementos en sentido horario (H) y las igualamos a los incrementos de tensión de los elementos en sentido antihorario (AH).

$$\sum_{i \in H} V_{GEi} = \sum_{i \in AH} V_{GEi} \quad (3.3)$$

Despejando la tensión puerta emisor en la ecuación (3.1) y sustituyéndolo en la expresión anterior se obtiene

$$\sum_{i \in H} \frac{u_{Ti}}{\eta} \ln \frac{I_{Ci}}{\lambda_i I_0} = \sum_{i \in AH} \frac{u_{Ti}}{\eta} \ln \frac{I_{Ci}}{\lambda_i I_0} \quad (3.4)$$

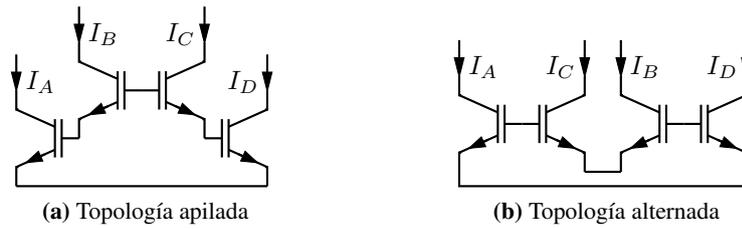


Figura 3.3: Topologías de lazos translineales. En (a) se muestra un ejemplo de topología *apilada*, en la que los elementos con la misma orientación se agrupan. En (b) se muestra un ejemplo de topología *alternada*, en la que se alternan elementos con una y otra orientación. En este ejemplo, ambas topologías implementan la misma ecuación de lazo.

Si todos los elementos translineales están a la misma temperatura y el factor de escala η es el mismo, podemos eliminar el término de fuera del logaritmo, resultando la expresión:

$$\sum_{i \in H} \ln \frac{I_{Ci}}{\lambda_i I_0} = \sum_{i \in AH} \ln \frac{I_{Ci}}{\lambda_i I_0} \quad (3.5)$$

Aplicando la propiedad de que la suma de logaritmos es el producto de sus argumentos tenemos

$$\ln \prod_{i \in H} \frac{I_{Ci}}{\lambda_i I_0} = \ln \prod_{i \in AH} \frac{I_{Ci}}{\lambda_i I_0} \quad (3.6)$$

Haciendo una exponencial a ambos lados de la igualdad podemos eliminar los logaritmos. Si, además, tenemos el mismo número de elementos translineales en un sentido y en otro y la corriente específica I_0 es la misma para todos los elementos, la expresión anterior queda simplificada en

$$\prod_{i \in H} \frac{I_{Ci}}{\lambda_i} = \prod_{i \in AH} \frac{I_{Ci}}{\lambda_i} \quad (3.7)$$

Si todos los elementos translineales tienen el mismo factor de escala λ entonces la expresión se reduce a

$$\prod_{i \in H} I_{Ci} = \prod_{i \in AH} I_{Ci} \quad (3.8)$$

Nótese que la ecuación anterior permite implementar un amplio rango de operaciones, tales como productos, divisiones, raíces, y en general, mediante combinaciones de lazos translineales, cualquier cociente de polinomios de una o más variables con exponentes fraccionarios constantes.

A la hora de realizar la síntesis del lazo translineal hay que tener en cuenta que existen numerosas topologías que proporcionan la misma ecuación de lazo. Es importante considerar dos de ellas, la topología apilada, mostrada en la figura 3.3a y la topología alternada, mostrada en la figura 3.3b. En la primera, los elementos translineales se conectan agrupando todos los que tienen la misma orientación, mientras que en la topología alternada siempre sigue a un elemento con orientación horaria uno con orientación antihoraria y viceversa. La principal ventaja de la topología apilada es que permite reutilizar, en ocasiones, la misma corriente de entrada cuando sea necesario utilizarla en más de un elemento translineal (véase Minch [9]). Para ello basta con apilar los elementos translineales para que circule por ellos la misma corriente, mientras que en la topología alternada es necesario proporcionar tantas copias de la corriente de entrada como elementos translineales requieran dicha corriente. Las principales ventajas de la topología alternada, por su parte, es que, por un lado, no requiere tensiones tan altas de funcionamiento como la apilada (ya que no tiene elementos translineales en serie), y por otro lado, presenta una inmunidad mayor a las no idealidades en la función de transferencia del elemento translineal (véanse Enz y Punzenberger [8] y Minch [9]). Ambas topologías, no obstante,

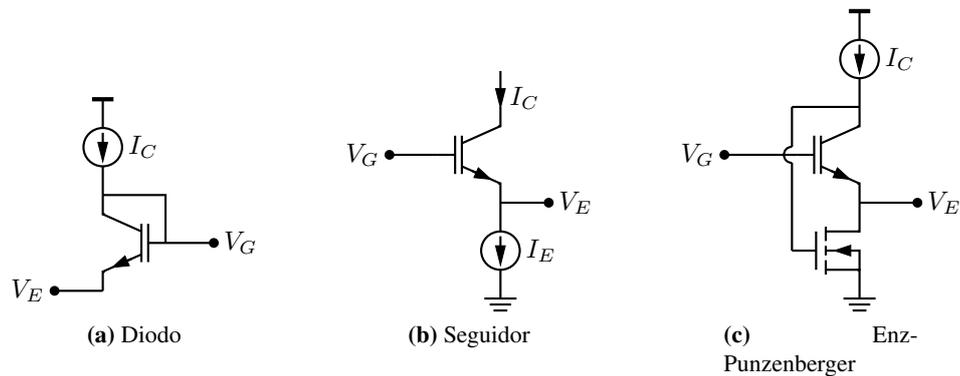


Figura 3.4: Esquema de las polarizaciones más habituales en lazos translineales. En (a) (diodo) se fuerza una corriente de colector ajustando la tensión de puerta. En (b) (seguidor) se fuerza una corriente de emisor ajustando la tensión de emisor. En (c) (Enz-Punzenberger o EP) se fuerza una corriente de colector ajustando la tensión de emisor.

siguen la misma ecuación de lazo, esto es, aplicando (3.8) tenemos que $I_A I_B = I_C I_D$. Tomando como entradas I_A e I_C y como salida I_D , tenemos la ecuación de un multiplicador/divisor, esto es

$$I_D = \frac{I_A I_B}{I_C} \quad (3.9)$$

y el valor de I_B pasa a representar la corriente de salida unitaria.

Una vez se dispone del diagrama translineal que implementa el cociente de polinomios deseado, es necesario añadir circuitería adicional para polarizar el elemento translineal y forzar la corriente o señal de entrada deseadas. Además, deben cumplirse los requerimientos eléctricos necesarios para mantenerlo funcionando en la región adecuada de trabajo para que éste implemente la función de transferencia de la ecuación (3.1). Generalmente son necesarios dos tipos de polarizaciones en cada lazo translineal, una para los elementos en sentido horario y otra para los que están en sentido antihorario. En una de las orientaciones se fuerza una tensión en la puerta para que el elemento drene la corriente especificada y la otra se fuerza en el emisor (naturalmente, en el elemento translineal de salida no debe forzarse ninguna corriente). Esto da lugar a dos subarquitecturas diferentes con la misma funcionalidad.

En la figura 3.4 se muestran tres implementaciones de las tres polarizaciones más habituales en circuitos translineales. En (a) se muestra el esquema de la polarización tipo diodo, que fuerza la tensión de puerta que sea necesaria para que el elemento drene la corriente de colector especificada. Las subfiguras (b) y (c), correspondientes a conexiones tipo seguidor y Enz-Punzenberger (EP), respectivamente, fuerzan la tensión de emisor que sea necesaria para drenar la corriente especificada. Nótese que la polarización tipo seguidor de la figura 3.4b supone que la corriente de emisor y colector son la misma o están relacionadas, puesto que fuerza la corriente de emisor en lugar de la de colector. Con este tipo de polarización es necesario compensar, en el caso de algunos elementos translineales reales, con una corriente de emisor diferente de la de colector (como en el caso de los transistores bipolares), la diferencia entre ambas para mantener la corriente de colector en el nivel requerido por la ecuación del lazo.

3.2.3. Ejemplo de un circuito translineal

En la figura 3.5 se muestra un ejemplo completo de un circuito multiplicador/divisor translineal de un cuadrante. Las corrientes de entrada $I_{1...3}$ y la de salida I_4 son directamente las corrientes de

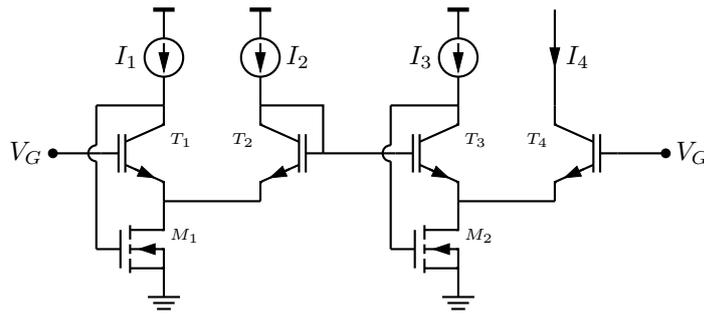


Figura 3.5: Esquema completo de un multiplicador/divisor translineal de un cuadrante. Las señales $I_{1...3}$ son entradas del circuito y la señal I_4 es la salida. El terminal V_G es una tensión constante de polarización.

colector de los elementos translineales $T_{1...4}$, por tanto, aplicando el resultado obtenido en la ecuación (3.8), obtenemos que la corriente de salida I_4 es

$$I_4 = \frac{I_1 I_3}{I_2} \quad (3.10)$$

Definiendo la flecha de orientación del lazo con el sentido hacia la derecha a través de los elementos translineales y hacia la izquierda para unir las polarizaciones en tensión V_G , podemos ver que se ha escogido que los elementos en sentido horario (T_1 y T_3) tengan una polarización tipo Enz-Punzenberger y el elemento en sentido antihorario (T_2) tenga una polarización tipo diodo. Dado que en el elemento translineal de salida no tiene sentido forzar ninguna corriente, a éste no se le asocia ninguna polarización.

3.2.4. El elemento translineal BJT

El transistor bipolar (BJT) se considera el elemento translineal por excelencia y es el que se ha venido utilizando desde los inicios del diseño translineal (Gilbert [2][3]). Sigue la ecuación (3.1) durante ocho décadas de corriente de colector, tomando λ como el área relativa de la unión base emisor, η como un valor próximo a la unidad y el terminal de puerta del elemento translineal ideal como el terminal de base del BJT. No obstante, cuando el transistor bipolar se utiliza como elemento translineal, ciertas de sus características, como la ganancia de corriente β finita o la resistencia de emisor, afectan negativamente a la respuesta del lazo translineal o limitan el margen de corriente utilizable.

La β finita, o la existencia de corriente de puerta (base en el caso de los BJT) no nula, es la principal causa de error en los circuitos translineales implementados con transistores bipolares. Dicha no idealidad implica un drenaje de corriente no previsto en el análisis que concluye con la ecuación genérica de lazo (3.8) y que, dependiendo de la implementación y del tipo de polarización que se utilice, se puede mitigar en parte aumentando ligeramente alguna de las polarizaciones, aunque esto no es siempre posible. En circuitos translineales dinámicos (filtros *log-domain*), Leung y Roberts [10] han publicado análisis que indican que la β finita afecta principalmente el factor de calidad Q de un filtro biquad implementado con integradores *log-domain*, debido a las pérdidas que estos últimos sufren. Se indica que las topologías alternadas tienden a presentar una menor sensibilidad a los efectos de la β finita. En implementaciones de filtros clase AB, donde aparecen picos importantes de corriente, también empeoran significativamente la distorsión del filtro y la intermodulación (véase Enz y Punzenberger [8]).

La resistencia de emisor supone un incremento en la tensión base-emisor del transistor bipolar, y por tanto, una desviación de la función de transferencia exponencial del elemento translineal, principalmente en la región de alta corriente. El efecto sobre lazos estáticos depende de sobre cuál de

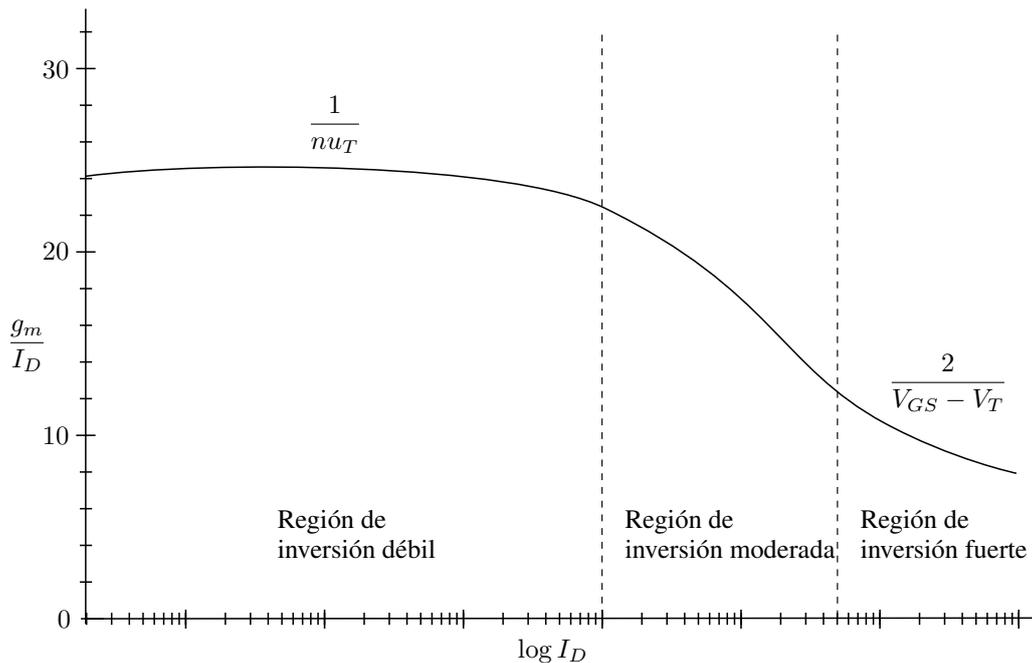


Figura 3.6: Curva típica de la transconductancia normalizada de un MOS en función de la corriente de drenador. Se separan, de forma aproximada, las tres zonas de funcionamiento del MOS, inversión débil, moderada y fuerte.

los elementos circule la alta corriente y de su tipo de polarización. En filtros *log-domain* su efecto es una alteración de la frecuencia de corte y la aparición de distorsión por intermodulación con altas amplitudes de señal y altas frecuencias (véase Leung y Roberts [10]). Para reducir estos efectos es necesario aumentar las dimensiones del transistor, a pesar de que ello aumente las capacidades parásitas y limite la operación a altas frecuencias (Enz y Punzenberger [8]).

3.2.5. El elemento translineal MOS

El bajo coste y gran disponibilidad de las tecnologías CMOS han hecho que se estudien profusamente las posibilidades del transistor MOS como elemento translineal. Desafortunadamente, la curva característica del MOS es muy compleja y no existe un único modelo analítico para todo el margen de conducción del dispositivo, por lo que, típicamente, se divide dicho margen de conducción en tres regiones, denominadas de inversión débil, moderada y fuerte, como se muestra en la figura 3.6. La zona de inversión débil tiene una transconductancia aproximadamente constante, esto es, sigue la expresión (3.1) con fidelidad y, por tanto, puede utilizarse en diseño translineal (véase Andreou y Boahen [11]), no obstante, la transconductancia cae y no se mantiene constante en las zonas de inversión moderada y fuerte. Esto hace que no sea posible hacer trabajar el MOS como elemento translineal en estas zonas de la misma forma que se podría hacer en inversión débil o con un BJT, aunque una extensión de la definición de lazo translineal, publicada por Seevinck y Wiegerink [12], permite utilizar la zona de inversión fuerte. La zona de inversión moderada, por su parte, es muy difícil de modelar y típicamente no se utiliza en diseño translineal.

El elemento translineal MOS en inversión débil

La zona de inversión débil del transistor MOS está situada, para la corriente de drenador, entre el nivel de ruido y típicamente por debajo de $500nA$ (hasta tres décadas) para un transistor de relación de aspecto de canal aproximadamente unitaria. En esta zona, si el transistor está en saturación, la

corriente sigue la expresión

$$I_D = I_0 e^{\frac{V_G}{n u_T}} e^{-\frac{V_S}{u_T}} \quad (3.11)$$

Donde I_0 es la corriente del transistor con $V_G = V_S = 0$, n es la pendiente del efecto sustrato y u_T el voltaje térmico. Nótese que si surtidor y sustrato están a la misma tensión, la corriente de drenador que circula a través de él sigue la expresión (3.1) tomando λ como la relación de aspecto W/L , η como la inversa de la pendiente del efecto sustrato y los terminales de emisor y colector del elemento translineal ideal como los terminales de surtidor y drenador del MOS, respectivamente. Si no están a la misma tensión, el término de la pendiente del efecto sustrato n aparece como un término de distorsión en topologías apiladas, no obstante, se cancela en topologías alternadas, por lo que estas últimas son las más adecuadas si el terminal de sustrato no está disponible, como ocurre en muchos procesos de fabricación CMOS donde uno de los dos tipos de transistor ocupan un pozo común (véase Minch [9]).

El sustrato del transistor MOS también puede utilizarse para diseño translineal, siendo entonces capaz un único transistor de implementar varios elementos translineales gracias a que la corriente de drenador pasa a depender de dos exponenciales, la que depende de la tensión de puerta y la que depende de la tensión de sustrato (véanse Mulder *et al.* [13] y Serrano-Gotarredona *et al.* [14]). No obstante, la fuerte capacidad parásita asociada típicamente a un pozo de transistor sólo permite que el este tipo de elemento funcione a frecuencias muy bajas.

Existen dos inconvenientes importantes en las soluciones translineales MOS en inversión débil. En primer lugar está el reducido margen dinámico con el que cuentan, que hace disminuir progresivamente la precisión de la respuesta conforme la corriente que circula a través de los elementos translineales aumenta y el transistor se acerca a la zona de inversión moderada. En esta zona la corriente que circula por el MOS no crece tan rápidamente como lo requerido por la ecuación (3.11), con lo que el MOS deja de comportarse como elemento translineal. Una solución parcial a este problema es maximizar la relación de aspecto W/L para que la zona de inversión débil se extienda a valores mayores de corriente. Esto agrava el segundo de los inconvenientes de las soluciones translineales MOS, y es el reducido ancho de banda con el que cuentan (típicamente inferior a 100 kHz), causado por tener que trabajar con corrientes muy bajas de drenador (para mantenerse dentro de la zona de inversión débil) y utilizar transistores con dimensiones muy grandes (para tener una precisión razonable) (véanse las páginas 19 a 20 de Enz y Punzenberger [8]). Otro inconveniente de la maximización de W/L es la disminución de la tensión de Early al reducirse la longitud del canal del transistor L al mínimo tecnológico, condición necesaria para ocupar áreas razonables, y manifestarse con ello los efectos de canal corto. Esto obliga en ocasiones a añadir un cascode al drenador del transistor del elemento translineal. Además, el cascode, dado que fija una tensión constante en su surtidor, conectado al drenador del elemento translineal, contribuye a reducir también la capacidad parásita aparente debida a la unión PN con el sustrato del drenador del transistor del elemento, sobre todo si éste tiene una anchura W grande.

Además de los problemas de margen dinámico y ancho de banda, las implementaciones MOS en inversión débil sufren de una especial sensibilidad al *mismatch* o desajuste del proceso de fabricación en comparación con las implementaciones bipolares. El origen del desajuste está principalmente en los errores en las tensiones umbral de los transistores, cosa que afecta muy especialmente a la distorsión de la salida tanto en funciones de transferencia estáticas como en filtros *log-domain* (véase la figura 15 (b) de Enz y Punzenberger [8]).

El elemento translineal MOS en inversión fuerte

El limitado ancho de banda de las soluciones translineales MOS en inversión débil son causadas por el reducido nivel de corriente con el que es necesario trabajar en dicha zona. En saturación, con el sustrato y el surtidor al mismo potencial y despreciando el efecto de la tensión Early, la corriente

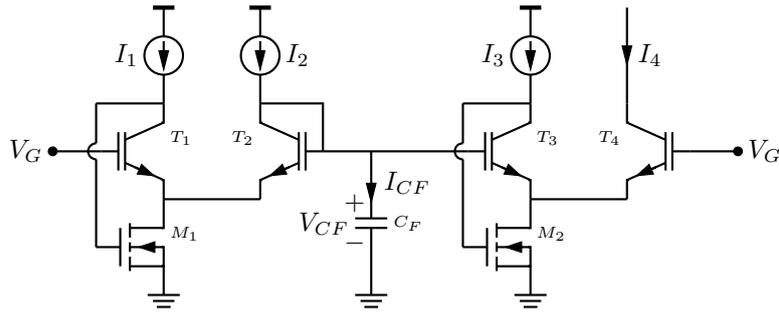


Figura 3.7: Esquema completo de un filtro paso bajo translineal. La corriente I_1 es la entrada se señal, I_2 e I_3 son corrientes constantes y la corriente I_4 es la salida. El terminal V_G es una tensión constante de polarización.

de drenador del transistor sigue la expresión clásica de primer orden

$$I_D = K (V_{GS} - V_T)^2 \quad (3.12)$$

Esta expresión no cumple la definición de elemento translineal de (3.1). No obstante, se han propuesto extensiones de la definición de translineal que modifican el concepto de transconductancia lineal con la corriente, explicada en la página 75, a transconductancia lineal con la tensión de puerta-emisor (véase Seevinck y Wiegerink [12]). Éstas reciben el nombre de cuadrático-translineal o MOS-translineal. Tomando la expresión (3.12) y derivando respecto a la tensión puerta-sustrato tenemos

$$\frac{\partial I_D}{\partial V_{GS}} = 2K (V_{GS} - V_T) \quad (3.13)$$

Utilizando topologías de lazo y desarrollos similares a los mostrados en la sección 3.2.2 puede obtenerse (Seevinck y Wiegerink [12])

$$\sum_{i \in H} \sqrt{\frac{I_{Di}}{\lambda_i}} = \sum_{i \in AH} \sqrt{\frac{I_{Di}}{\lambda_i}} \quad (3.14)$$

Compárese la expresión anterior con (3.8) para ver las diferencias entre las familias de funciones implementables con lazos translineales clásicos y las implementables con lazos cuadrático-translineales. Nótese que los primeros permiten implementar con naturalidad polinomios, productos y divisiones de un número arbitrario de variables, mientras que los segundos parecen más adecuada para series de potencias o funciones no lineales que puedan expresarse como sumas de raíces cuadradas.

Las limitaciones de los lazos cuadrático-translineales vienen por el reducido margen dinámico con el que cuentan, menor aún, en tecnologías submicrónicas, que los lazos implementados con MOS en inversión débil. Éste está limitado superiormente por la reducción de movilidad de los portadores e inferiormente por la zona de inversión moderada, no obstante, al poder trabajar con niveles elevados de corriente, el ancho de banda es notablemente mayor que utilizando elementos translineales MOS en inversión débil.

3.2.6. Introducción al filtrado *log-domain*

Los filtros *log-domain* se caracterizan por realizar una compresión logarítmica de la señal a la entrada del filtro y una expansión a su salida. De esta forma, en el interior del filtro ocurren sólo pequeñas excursiones en tensión de la señal, permitiendo así buenos anchos de banda, grandes márgenes dinámicos y una reducida generación de interferencias de sustrato. Este tipo de filtros fueron inventados inicialmente por Adams [4] en 1979, quien dio el nombre de filtros *log-domain* porque

estaban basados en la relación logarítmica entre voltajes y corrientes. Más tarde, en 1990, Seevinck [5] propuso la utilización de elementos translineales para realizar la implementación de este tipo de filtros y permitió a Frey [15] en 1993 utilizar la teoría existente sobre diseño translineal para crear una metodología de diseño de filtros translineales o *log-domain* de orden arbitrario.

Los filtros *log-domain* constan de dos partes: un lazo translineal que implementa, al menos, una función de compresión y expansión de la señal en el dominio logarítmico y uno o varios elementos que proporcionan memoria o respuesta temporal, típicamente condensadores. Éstos filtros, al igual que los filtros de capacidades conmutadas, raramente utilizan resistencias (o elementos funcionando como tales) en el camino de la señal, y, al contrario que éstos, su sintonía puede realizarse de forma sencilla.

En la figura 3.7 podemos ver un ejemplo clásico de filtro translineal de primer orden. El análisis de este filtro es sencillo partiendo de la teoría de lazos translineales explicada anteriormente. Con esto, encontramos que la ecuación de lazo sigue la expresión:

$$I_1 I_3 = (I_2 - I_{CF}) I_4 = \left(I_2 - C_F \frac{dV_{CF}}{dt} \right) I_4 \quad (3.15)$$

Donde I_{CF} y V_{CF} son, respectivamente, la corriente y tensión del condensador. Ahora, teniendo en cuenta la relación exponencial entre corrientes y tensiones en los elementos translineales, podemos aplicar la ley de Kirchoff para tensiones para reescribir la tensión del condensador como

$$V_{CF} = \frac{u_T}{\eta} \ln \left(\frac{I_3}{\lambda} \right) - \frac{u_T}{\eta} \ln \left(\frac{I_4}{\lambda} \right) + V_G = \frac{u_T}{\eta} \ln \left(\frac{I_3}{I_4} \right) + V_G \quad (3.16)$$

Debido a que tanto la corriente I_3 como la tensión V_G son constantes, la derivada temporal de la ecuación anterior puede sustituirse en (3.15), resultando

$$I_1 = \frac{I_2}{I_3} I_4 + C_F \frac{u_T}{\eta I_3} \frac{dI_4}{dt} \quad (3.17)$$

Nótese que la ecuación anterior corresponde a un filtro paso bajo de primer orden. Para verlo más claramente podemos hacer la transformada de Laplace, resultando la expresión

$$H(s) = \frac{I_4(s)}{I_1(s)} = \frac{1}{\frac{I_2}{I_3} + C_F \frac{u_T}{\eta I_3} s} = \frac{\frac{I_3}{I_2}}{1 + C_F \frac{u_T}{\eta I_2} s} \quad (3.18)$$

Esto es, un filtro paso bajo de ganancia I_3/I_2 y ancho de banda

$$BW = \frac{1}{C_F} \frac{\eta I_2}{2\pi u_T} \quad (3.19)$$

Nótese también que tanto el ajuste de ganancia como de ancho de banda pueden realizarse de una forma muy sencilla mediante las corrientes de polarización I_3 e I_4 .

El análisis y síntesis de filtros *log-domain* de orden elevado es un proceso notablemente más complejo que el expuesto aquí y queda fuera del propósito de esta introducción. Para una explicación de las diferentes técnicas de análisis y síntesis de filtros *log-domain*, puede consultarse el artículo-tutorial de Mulder *et al.* [16] publicado en 2000. Dentro de estas técnicas destacan dos contribuciones: los trabajos de Drakakis *et al.* [17] y Mulder *et al.* [18].

3.3. Elemento translineal MOS de alto ancho de banda (HBTE)

3.3.1. Introducción

El objetivo del circuito que aquí se propone [19, 20], denominado *High-Bandwidth Translinear Element* (HBTE), es encontrar un elemento translineal compatible con el proceso CMOS estándar capaz de superar las limitaciones del elemento translineal MOS en inversión débil, que pueden resumirse en reducidos anchos de banda y márgenes dinámicos y una alta susceptibilidad al *mismatch*. Se pretende reducir, en la medida de lo posible, estas limitaciones para que los elementos translineales MOS acerquen sus características a las de los elementos translineales BJT de forma que un mayor número de aplicaciones translineales no dependan en exclusiva de procesos de fabricación BiCMOS, mucho más caros que los procesos CMOS estándar. La importancia industrial de esta propuesta queda justificada, por tanto, por la reducción de costes que ofrece el elemento translineal aquí presentado.

En la literatura, el desarrollo de elementos translineales mejorados compatibles con el proceso CMOS se ha realizado principalmente desde dos frentes: la utilización de diodos integrados CMOS, originalmente propuesto por Haddad y Serdijn [21], y la utilización de bipolares parásitos CMOS, propuesto por Duerden *et al.* [22]. En sí mismo, el diodo no puede utilizarse como elemento translineal debido a que no se puede definir una transconductancia, ya que es un elemento de dos terminales (podríamos interpretar el diodo como un transistor con la puerta y el drenador cortocircuitados). Para obtener el tercer terminal (desacoplar la puerta y el drenador) se han propuesto dos soluciones: o bien utilizar seguidores de tensión, como se hace en el artículo de Haddad y Serdijn [21], o bien utilizar *current conveyors*, como se propone en el artículo de Dutta *et al.* [23]. Tras una revisión exhaustiva de la literatura no se han encontrado resultados experimentales para ninguna de las dos soluciones, probablemente debido a los problemas tecnológicos que tiene la implementación de diodos integrados en un proceso CMOS estándar (téngase en cuenta que en el proceso CMOS estándar todo diodo forma parte de, al menos, un transistor bipolar parásito que inyecta una parte significativa de las corrientes de ánodo o cátodo directamente en el sustrato, aumentando el riesgo de que aparezcan fenómenos como el *latch-up* o interferencias de sustrato). Por otro lado, la utilización de bipolares laterales tampoco proporciona unos buenos resultados, debido a que éstos presentan una β muy variable y además no tienen un rango dinámico significativamente superior al de un MOS de las mismas dimensiones (véase Vittoz [24]), especialmente en tecnologías submicrónicas, como puede comprobarse, por ejemplo, en la página 60 del manual de descripción del proceso de fabricación CMOS AMS C35 [25]. Además, al igual que el diodo integrado CMOS, el bipolar lateral también forma parte de un transistor bipolar parásito vertical que inyecta una parte significativa de la corriente de emisor directamente en el sustrato.

3.3.2. Teoría de funcionamiento

Como se ha mostrado en la página 79, el transistor MOS sólo sigue el principio translineal de la ecuación (3.1) en la zona de trabajo conocida como de inversión débil. Conforme aumenta la corriente de drenador, el transistor se acerca progresivamente a la zona de inversión moderada y fuerte, reduciéndose la transconductancia normalizada del transistor (véase la figura 3.6) y aumentando las desviaciones respecto al resultado teórico.

La idea básica detrás de la presente propuesta consiste en corregir la curva característica de un MOS de dimensiones razonables, evitando en todo momento las estrategias utilizadas frecuentemente en el diseño translineal CMOS como son implementar transistores de relación de aspecto W/L grande y cascos o polarizar con corrientes muy pequeñas para mantener el elemento translineal siempre en inversión débil. Como ya se ha comentado, estas estrategias proporcionan resultados mediocres (alto *mismatch*, importantes capacidades parásitas, bajos anchos de banda, etc.), por lo que

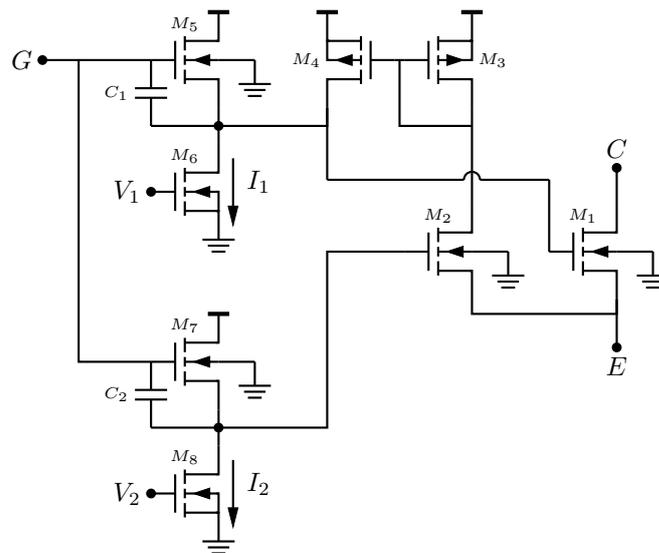


Figura 3.8: Esquema circuital del HBTE.

se decidió orientar los esfuerzos, en su lugar, en encontrar formas de compensar las variaciones de transconductancia del MOS a lo largo de sus tres regiones de trabajo.

Las ecuaciones del MOS en saturación muestran dependencias con tres variables: las tensiones de puerta, surtidor y sustrato. La compensación o predistorsión de la curva característica del transistor podría realizarse en cualquiera de los tres terminales, no obstante, si se desea obtener una solución con un buen ancho de banda es necesario descartar el sustrato por las fuertes capacidades parásitas que tiene. Si también se busca amplio margen dinámico, hay que tener presentes las importantes excursiones en corriente del terminal de surtidor (unas siete décadas) que dificultarían realizar cualquier tipo de compensador. El terminal de puerta, al contrario, no drena corriente, no presenta una fuerte capacidad parásita y su margen de excursión es razonable, por lo que se optó por concentrarse en él para proponer el circuito de compensación mostrado a continuación.

Análisis del circuito

En la figura 3.8 se muestra el esquema del HBTE. Pueden identificarse los terminales de puerta del elemento translineal (G), el terminal de emisor (E) y de colector (C). El transistor M_1 , al que también nos referiremos como transistor de salida, se encarga de fijar la corriente drenada por el elemento translineal. Conectado a la misma tensión de surtidor (terminal E) está un transistor de referencia (M_2) que se utiliza como sensor para realizar la predistorsión necesaria para corregir la curva característica del transistor MOS de salida. La tensión de puerta de M_2 sigue a la tensión de puerta del elemento translineal con una caída de tensión constante a causa del seguidor de tensión NMOS M_7 y la fuente de polarización asociada M_8 . La corriente drenada por el transistor de referencia M_2 se inyecta en el seguidor de tensión formado por M_5 y su fuente de corriente asociada M_6 a través de un espejo de corriente implementado por M_3 y M_4 . La tensión de salida del seguidor M_5 se utiliza para fijar la tensión de puerta del transistor de salida. La predistorsión buscada ocurre gracias a que la tensión de puerta del transistor de salida aumenta más rápidamente que la tensión de puerta del elemento translineal debido a que se reduce la corriente que circula a través del seguidor M_5 a causa de la inyección de corriente del transistor de referencia en la fuente M_6 a través del espejo de corriente.

El análisis de un circuito de este tipo es sumamente complejo al no existir modelos matemáticos tratables que cubran todo el margen de funcionamiento del transistor MOS (véanse los trabajos de Godfrey [26] y Vittoz [27] para obtener una perspectiva sobre los diferentes modelos establecidos

en la actualidad). El empleo de modelos continuos, como el de Oguey-Cseverny [28], dan lugar a ecuaciones muy complejas de las que es muy difícil sacar conclusiones de utilidad práctica. Es por esto que para realizar el análisis se ha preferido estudiar por separado las diferentes regiones de funcionamiento del transistor de salida utilizando modelos de inversión débil (3.20) y fuerte en saturación (3.21).

$$I_D = I_0 e^{\frac{V_G}{n u_T}} e^{\frac{-V_S}{u_T}} \quad (3.20)$$

$$I_D = \frac{\beta}{2n} (V_G - V_{T0} - nV_S)^2 \quad (3.21)$$

Donde I_0 es la corriente del transistor con $V_G = V_S = 0$, n es la pendiente del efecto sustrato, u_T el voltaje térmico, β el parámetro de transconductancia y V_{T0} la tensión umbral para $V_S = 0$. Estos modelos no permiten encontrar una expresión de la corriente de salida del elemento translineal en la zona de inversión moderada, no obstante, permitirán mostrar de qué forma cada uno de los parámetros de los diferentes transistores contribuyen a conformar la transconductancia o función de transferencia del HBTE y facilitar así el ajuste del circuito mediante simulación.

Supongamos que el transistor de salida está funcionando en la zona de inversión débil. En este caso, la corriente de colector del HBTE seguirá la expresión

$$I_C = I_{01} e^{\frac{V_{G1}}{n u_T}} e^{\frac{-V_E}{u_T}} \quad (3.22)$$

Las simulaciones muestran que, para un funcionamiento óptimo del circuito, la corriente de polarización I_1 debe ser suficiente como para poner el seguidor M_5 en el límite entre las regiones de inversión débil y moderada cuando la corriente inyectada por el espejo sea nula. Además, el dimensionado de los transistores debe ser el adecuado para que el seguidor entre en corte cerca de la región de inversión fuerte del transistor de salida. Aproximando el comportamiento del seguidor por la ecuación de inversión débil tenemos

$$I_{D5} = I_{05} e^{\frac{V_G}{n u_T}} e^{\frac{-V_{G1}}{u_T}} \quad (3.23)$$

La corriente I_{D5} drenada por el seguidor viene dada por la diferencia entre la corriente del transistor de referencia, tras ser reflejada en el espejo, y la generada por la fuente de polarización M_6 (I_1) según la expresión (3.24).

$$I_{D5} = I_1 - I_{D2} \quad (3.24)$$

Llegados a este punto, podemos combinar (3.23) con (3.24) para despejar la tensión de puerta del transistor de salida y así obtener la expresión

$$V_{G1} = u_T \ln \left(\frac{I_{05}}{I_1 - I_{D2}} \right) + \frac{V_G}{n} \quad (3.25)$$

Debido a que la corriente I_{D2} , al carecer de predistorsión, es siempre inferior a I_{D1} para dimensionados y corrientes de polarización semejantes, el transistor M_2 trabaja en la zona de inversión débil siempre que el transistor de salida también lo haga. Con esto, la tensión de puerta de M_2 sigue la expresión

$$V_{G2} = u_T \ln \left(\frac{I_{07}}{I_2} \right) + \frac{V_G}{n} \quad (3.26)$$

y su corriente de drenador

$$I_{D2} = I_{02} \sqrt[n]{\frac{I_{07}}{I_2}} e^{\frac{V_G}{n^2 u_T}} e^{\frac{-V_E}{u_T}} \quad (3.27)$$

Nótese que el término dentro de la raíz n -ésima es siempre constante, con lo que el transistor de referencia no altera significativamente su característica, a excepción de un factor de atenuación que

hace desplazar la curva característica del transistor hacia la derecha. Este resultado es previsible teniendo en cuenta que la tensión de puerta de M_2 se corresponde con la de puerta del elemento translineal con una caída de tensión a causa del seguidor M_7 .

Con las expresiones (3.25) y (3.22) se puede encontrar la corriente de salida del HBTE cuando el transistor de salida está saturado y funcionando en la zona de inversión débil:

$$I_C = I_{01} \sqrt[n]{\frac{I_{05}}{I_1 - I_{D2}}} e^{\frac{V_G}{n^2 u_T}} e^{\frac{-V_E}{u_T}} \quad (3.28)$$

Y sustituyendo el valor de I_{D2} de la expresión anterior con (3.27) obtenemos

$$I_C = I_{01} \sqrt[n]{\frac{I_{05}}{I_1 - I_{02} \sqrt[n]{\frac{I_{07}}{I_2}} e^{\frac{V_G}{n^2 u_T}} e^{\frac{-V_E}{u_T}}}} e^{\frac{V_G}{n^2 u_T}} e^{\frac{-V_E}{u_T}} \quad (3.29)$$

En la expresión (3.28) puede observarse el factor de predistorsión como una raíz n -ésima de la inversa de la diferencia de las corrientes I_1 y la del transistor de referencia I_{D2} . Para bajas corrientes de salida del HBTE (inversión débil en el transistor de salida), la corriente del transistor de referencia puede despreciarse en comparación con la corriente I_1 , con lo que el término de predistorsión se hace constante y el HBTE genera una corriente exponencial en función de la diferencia entre la tensión de puerta y de emisor, justo como un MOS en inversión débil. Conforme la corriente de salida va aumentando y el transistor de salida se acerca a la zona de inversión moderada, la corriente del transistor de referencia crece y toma valores no despreciables respecto a I_1 . En ese momento, el término de predistorsión crece rápidamente y, si el circuito está bien ajustado, la pérdida de transconductancia del transistor de salida queda compensada. De esta forma se puede hacer funcionar el HBTE en la región de inversión moderada sin un aumento importante de la distorsión.

Supongamos ahora que el transistor de salida está funcionando en la zona de inversión fuerte. En este caso, la corriente de colector seguirá la expresión

$$I_C = \frac{\beta}{2n} (V_{G1} - V_{TO} - nV_E)^2 \quad (3.30)$$

En inversión fuerte, la corriente I_1 debe ser inferior a la corriente del transistor de referencia, de forma que el seguidor M_5 esté en corte. En estas condiciones, la tensión de puerta del transistor de salida dependerá del comparador de corriente formado por M_4 y la fuente de corriente M_6 . Para hallar dicha tensión podemos utilizar un modelo linealizado en pequeña señal. En este caso, tenemos que la tensión de puerta del transistor de salida es

$$V_{G1} = r_0 (I_{D2} - I_1) \quad (3.31)$$

Donde r_0 es la resistencia equivalente de pequeña señal del paralelo entre las resistencias de M_4 y M_6 . Típicamente, y a no ser que el transistor de salida esté en el límite de conducción, el transistor de referencia M_2 trabaja en la zona de inversión moderada. Esto ocurre porque su tensión de puerta sigue a la tensión de puerta del HBTE, y ésta última no varía mucho durante todo el margen de funcionamiento del dispositivo. Si aproximamos la corriente que circula por el transistor de referencia por un modelo en pequeña señal (suficiente para ver las variables de ajuste en esa región de trabajo) podemos utilizar la expresión (3.27) para hallar la corriente de colector.

$$I_C = \frac{\beta}{2n} \left(r_0 I_{02} \sqrt[n]{\frac{I_{07}}{I_2}} e^{\frac{V_G}{n^2 u_T}} e^{\frac{-V_E}{u_T}} - r_0 I_1 - V_{TO} - nV_E \right)^2 \quad (3.32)$$

En la ecuación (3.32) podemos ver el término de predistorsión como una exponencial de la diferencia de tensiones entre la puerta y el emisor del HBTE. Además, aparecen términos de error, en forma de constantes y una dependencia adicional de la corriente de salida con la tensión de emisor.

Téngase en cuenta que, con el objetivo de obtener resultados interpretables, estas ecuaciones están basadas en hipótesis cuestionables y en modelos de transistor muy sencillos, por lo que los resultados mostrados tanto en la ecuación de inversión fuerte (3.32) como en la de inversión débil (3.29) no deben utilizarse como ecuaciones de diseño en circuitos desarrollados con el HBTE. Más bien deben utilizarse como herramientas de ayuda para calibrar y dimensionar correctamente los parámetros del circuito del elemento translineal a través de un proceso iterativo con el simulador, como ocurre con cualquier circuito razonablemente complejo en tecnologías submicrónicas.

3.3.3. Ajuste del circuito

Para conseguir un ajuste rápido del dimensionado y las polarizaciones del HBTE podemos observar las ecuaciones (3.29) y (3.32) para inferir el efecto de cada uno de los parámetros circuitales en la función de transferencia o curva característica. Estos efectos se encuentran recogidos en el cuadro 3.1 y representados en la figura 3.9. Esta figura resume el impacto de los parámetros circuitales del HBTE en su curva característica, permitiendo reducir y simplificar significativamente el ciclo de diseño del mismo.

Nótese que la falta de modelos tratables en la región moderada de conducción impiden determinar los parámetros de ajuste en dicha región, no obstante, es suficiente con extrapolar el compartamiento de la parte alta de la región de inversión débil y la parte baja de la de inversión fuerte para inferir el efecto de los parámetros. A modo de ejemplo, en el cuadro 3.2 se muestran los parámetros circuitales (dimensiones de los transistores y magnitud de las corrientes) obtenidos mediante simulación para el proceso CMOS AMIS *C035M-A* de $0,35\mu m$. Estos mismos parámetros se han simulado también en la tecnología CMOS AMS *C35* $0,35\mu m$, obteniéndose unos resultados satisfactorios a pesar de la diferencia del 30% en las tensiones umbrales de los transistores NMOS que existe entre ambas tecnologías.

Los condensadores C_1 y C_2 sirven para proporcionar estabilidad al circuito cuando éste se utiliza dentro de lazos translineales y aparecen caminos de realimentación cerrados, como, por ejemplo, cuando el elemento translineal se polariza como diodo o Enz-Punzenberger (véase la figura 3.4). El dimensionado de ambos condensadores es sencillo y puede hacerse mediante simulaciones AC en la zona de inversión moderada, alrededor de $I_C \approx 20 \mu A$ (donde el ancho de banda del HBTE es máximo). Tanto las simulaciones exhaustivas como las medidas experimentales que se han hecho del circuito indican que un margen de fase de unos 60° asegura una buena estabilidad con un mínimo sacrificio de ancho de banda. Téngase en cuenta que tanto el HBTE como los lazos translineales que se pueden implementar con él son circuitos por naturaleza muy alineales, y por tanto, la teoría de estabilidad de sistemas lineales no es aplicable directamente.

3.3.4. Detalles de implementación

El *layout* y una microfotografía del HBTE se muestran en la figura 3.10. El transistor de salida M_1 se dividió en dos transistores iguales y de las mismas dimensiones que el transistor de referencia M_2 para tener un buen apareamiento entre ellos. Con la misma intención, en el espejo de corriente M_3 y M_4 se utilizó una estructura de centroide común. Debido a los niveles de corriente que puede llegar a conducir el elemento translineal ($\approx 700 \mu A$) se tuvieron que utilizar líneas de señal en los terminales de colector y emisor de anchura suficiente para evitar fenómenos de electromigración. Los condensadores de estabilización se colocaron a un lado del *layout* para permitir un redimensionado sencillo atendiendo a los análisis de estabilidad de las simulaciones *post-layout*. El área final del elemento es de $48 \mu m \times 25 \mu m$. Pueden encontrarse más detalles de implementación en Riera [29].

Con el objetivo de verificar el correcto funcionamiento del HBTE en una aplicación realista se implementó un lazo translineal reconfigurable formado por cuatro de los elementos propuestos y un condensador. El esquema simplificado del lazo translineal puede verse en la figura 3.11. Para

Parámetro	Región de efecto	Efecto de un incremento en la curva característica
I_{01} o β	Todas	Desplazamiento hacia la izquierda (orden 1)
I_{02}	Inversión débil	Cambio en la derivada
	Inversión fuerte	Desplazamiento hacia la izquierda (orden 2)
I_{05}	Inversión débil	Desplazamiento hacia la izquierda (orden $1/n$)
I_{07}	Inversión débil	Cambio en la derivada
	Inversión fuerte	Desplazamiento hacia la izquierda (orden $2/n$)
I_1	Inversión débil	Desplazamiento hacia la derecha (orden $1/n$)
	Inversión moderada	Umbral entre el preénfasis de inversión fuerte y moderada
	Inversión fuerte	Cambio en la derivada
I_2	Inversión débil	Cambio en la derivada
	Inversión fuerte	Desplazamiento hacia la derecha (orden $2/n$)
r_0	Inversión fuerte	Desplazamiento hacia la izquierda (orden 2)
		Cambio en la derivada

Cuadro 3.1: Parámetros de ajuste del HBTE. Se señala el efecto sobre una representación semilogarítmica de la curva característica en la región indicada al incrementar cada uno de los parámetros de diseño.

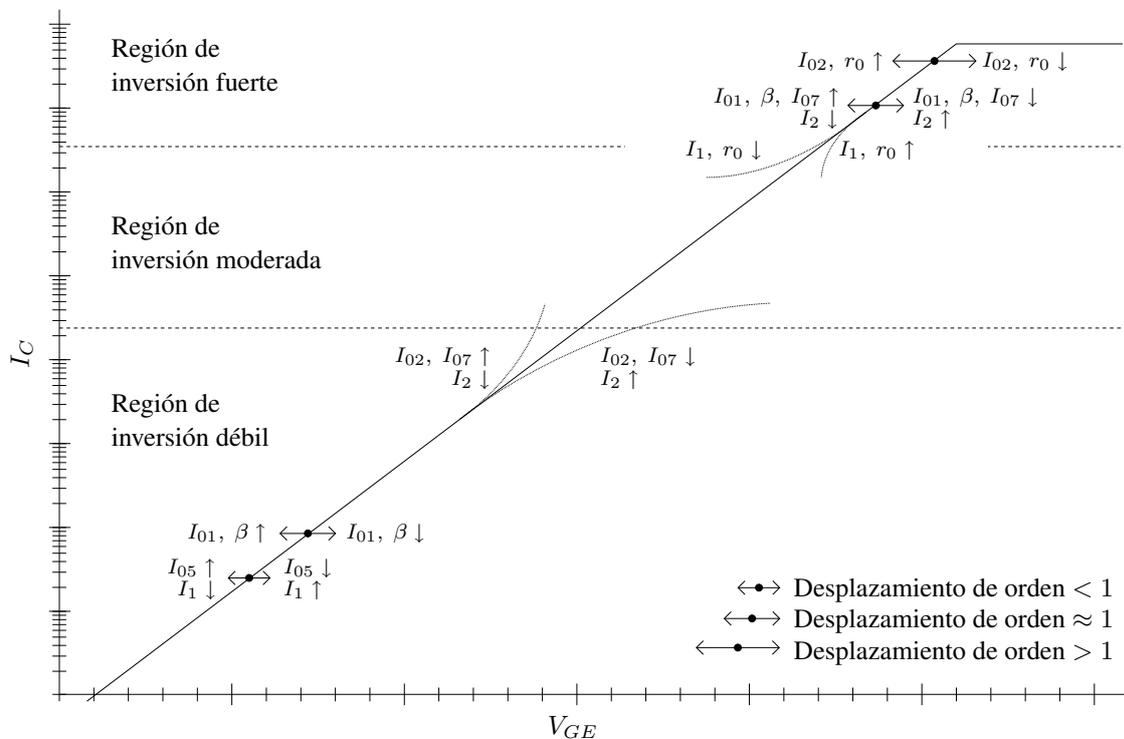


Figura 3.9: Plantilla de ajuste del HBTE. El gráfico indica el efecto de un incremento o decremento de los parámetros de ajuste sobre la curva característica. La representación está hecha en ejes semilogarítmicos, de forma que las exponenciales propias del elemento translineal ideal linealicen.

Parámetro	Valor	Parámetro	Valor
$W/L M_1$	$5/2 \mu m$	$W/L M_7$	$0,8/12 \mu m$
$W/L M_2$	$2,5/2 \mu m$	$W/L M_8$	$4/2 \mu m$
$W/L M_3$	$2/2 \mu m$	I_1	$4 \mu A$
$W/L M_4$	$2/2 \mu m$	I_2 <td $4 \mu A$	
$W/L M_5$	$0,8/12 \mu m$	C_1	$527 fF$
$W/L M_6$	$4/2 \mu m$	C_2	$22 fF$

Cuadro 3.2: Parámetros circuitales del HBTE hallados mediante simulación para el proceso CMOS AMIS C035M-A de $0,35 \mu m$. Con la ayuda del cuadro 3.1 y la gráfica 3.9 se pueden determinar rápidamente los parámetros que proporcionan un resultado óptimo para cada tecnología.

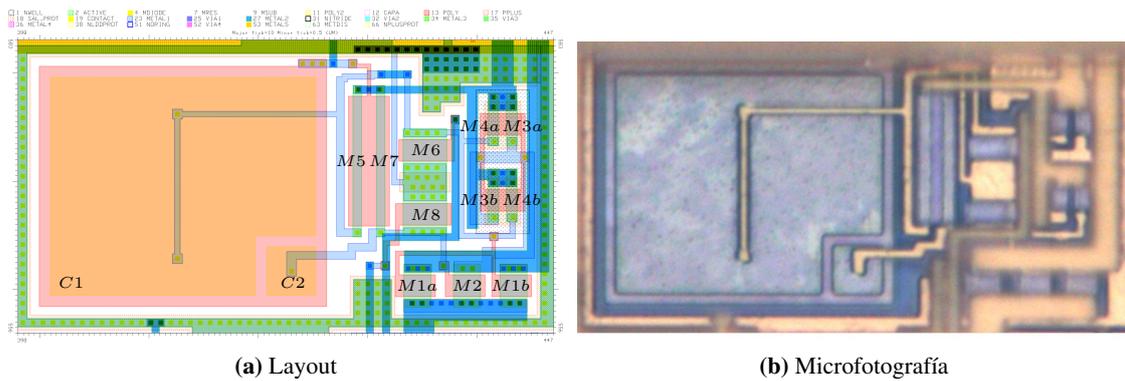


Figura 3.10: Layout (a) y microfotografía (b) del HBTE. El área del elemento es de $48 \mu m \times 25 \mu m$. Nótese que alrededor del 60 % del área está ocupada por el condensador de estabilización C_1 .

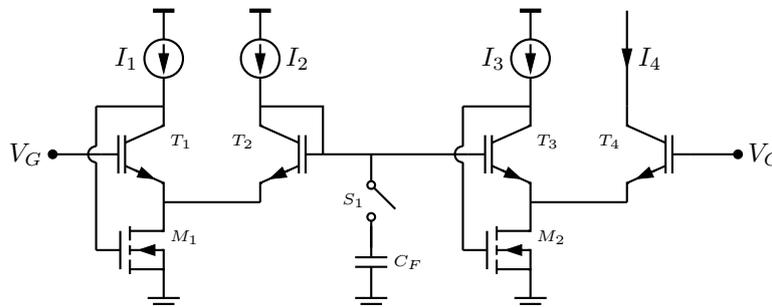


Figura 3.11: Esquema funcional del lazo translineal. Para permitir una mejor legibilidad del esquema se han omitido los dispositivos auxiliares de reconfiguración necesarios para calibrar y caracterizar los cuatro elementos translineales.

hacer el esquema más legible se han eliminado los interruptores y puertas de paso que implementan los modos de calibración y caracterización de los cuatro elementos translineales, así como los tres *buffers* 100 : 1 para que las corrientes I_1 , I_2 y I_3 sean cómodas de generar con el instrumental de laboratorio disponible. El circuito completo, cuya microfotografía se muestra en la figura 3.12, consta de los cuatro HBTE (en el centro), una capacidad de filtrado de 500 fF (en la parte inferior), los tres *buffers* de entrada (en la parte superior) y trece puertas de paso. Las puertas de paso permiten poner el HBTE en modo de calibración, en modo de caracterización, operar en modo de filtro de primer orden (interruptor S_1 cerrado) o multiplicador/divisor de un cuadrante (interruptor S_1 abierto) y en un modo extendido que permite construir filtros y sintetizar polinomios de orden arbitrarios mediante la interconexión de varios integrados.

La placa de circuito impreso desarrollada para probar el lazo translineal se muestra en la figura 3.13. Para permitir medidas en alta frecuencia, la placa incorpora, además de los elementos de configuración y polarización, tres convertidores tensión-corriente para las entradas I_1 , I_2 y I_3 y un convertidor corriente-tensión para la salida I_4 . Para esto se utilizaron amplificadores operacionales comerciales con un ancho de banda unitario de 450 MHz , en los que resultó crítico minimizar las capacidades parásitas en sus entradas para asegurar la estabilidad. El ancho de banda útil de los convertidores se encontró alrededor de los 10 MHz , siendo necesario caracterizar y compensar matemáticamente las anomalías de la ganancia de los convertidores en medidas por encima de esta frecuencia.

3.3.5. Resultados de simulación

En la figura 3.14 se muestra la simulación de la curva característica del HBTE y, a modo de comparación, la de un transistor con las mismas dimensiones del transistor de salida M_1 del elemento translineal. Las líneas punteadas indican la curva exponencial, obtenida mediante el método de mínimos cuadrados, que mejor se adapta a la característica del MOS en el margen 1 $pA \sim 10 nA$ y al HBTE en el margen 100 $pA \sim 10 \mu A$. El error relativo respecto a las aproximaciones en mínimos cuadrados se muestra en la figura 3.15. Como puede comprobarse, el HBTE es capaz de extender el margen dinámico unas tres décadas para el mismo nivel de error. Los errores aumentan tanto cerca del límite de conducción del dispositivo como para niveles muy bajos corriente.

Téngase en cuenta, no obstante, que las magnitudes de corriente en el margen de los pA , en las que el elemento translineal deja de seguir la función exponencial y pasa a mostrar una característica plana, están cerca del nivel de ruido y en el límite de precisión del simulador. Nótese, además, dos diferencias fundamentales entre las características del transistor MOS y del HBTE: el desplazamiento de la curva del HBTE hacia la derecha (lo que obliga a utilizar mayores tensiones de funcionamiento que en el caso de utilizar un transistor MOS) y la reducción de la pendiente (lo que confiere una menor compresión logarítmica de las tensiones). La necesidad de mayores tensiones de funcionamiento respecto a los lazos translineales MOS hace que el elemento translineal propuesto pierda la ventaja de las bajas tensiones de funcionamiento propias del diseño translineal, no obstante esta desventaja desaparece en procesos tecnológicos más avanzados que ofrecen transistores MOS con tensiones de corte nulas o incluso negativas (transistores de vaciamiento). Una sustitución de los transistores M_5 y M_7 por transistores de vaciamiento debería reducir notablemente la tensión mínima de funcionamiento del HBTE. Por otro lado, las simulaciones indican que la menor compresión logarítmica no afecta significativamente al ancho de banda de los lazos translineales implementados con este elemento, ya que el ancho de banda está limitado por el propio elemento en sí (a causa de las importantes excursiones de tensión en la puerta del transistor de salida M_1).

En la figura 3.16 se muestra la transconductancia normalizada en función de la corriente de colector para el HBTE y en función de la de drenador para el MOS. Nótese que en el HBTE la transconductancia se mantiene mucho más constante durante un mayor rango de corrientes que en el caso del transistor MOS.

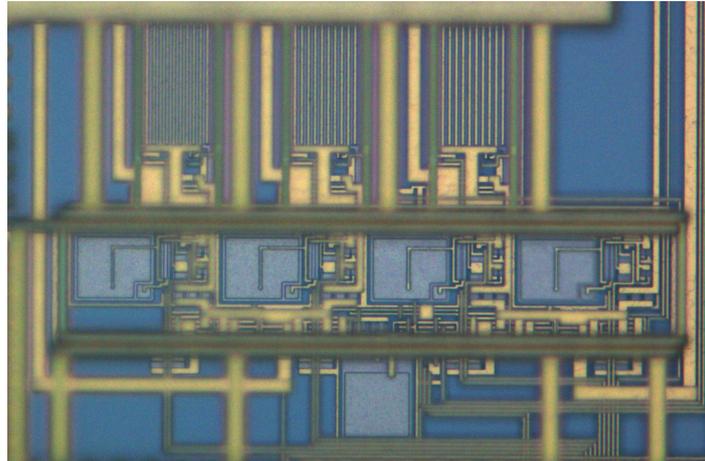


Figura 3.12: Microfotografía del lazo translineal reconfigurable. La imagen muestra los cuatro HBTE en el centro, los tres *buffers* de corriente de entrada en la parte superior y la capacidad de filtrado en la parte inferior. El resto de circuitería lo forman las puertas de paso, las polarizaciones y varios elementos auxiliares.

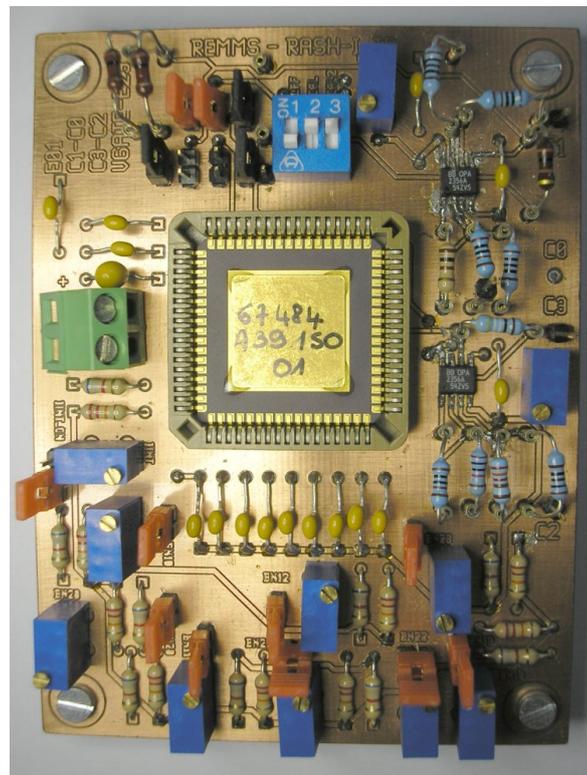


Figura 3.13: Fotografía de la placa utilizada para probar el lazo translineal. La placa incorpora las polarizaciones necesarias, los interruptores y *jumpers* de configuración, tres convertidores V/I y un convertidor I/V.

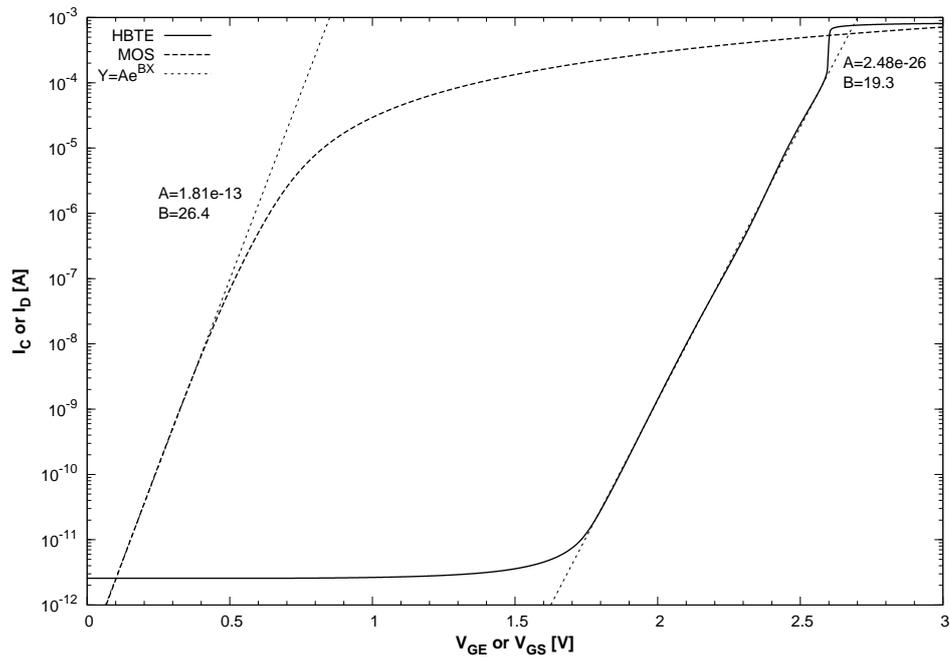


Figura 3.14: Simulación de la curva característica del HBTE y la de un MOS de las mismas dimensiones que el transistor de salida M_1 del elemento translineal. El eje vertical indica la corriente de colector (o drenador) y el horizontal la tensión puerta-emisor (o puerta-surtidor). Las rectas punteadas indican una aproximación, en mínimos cuadrados, de una función exponencial a las dos características.

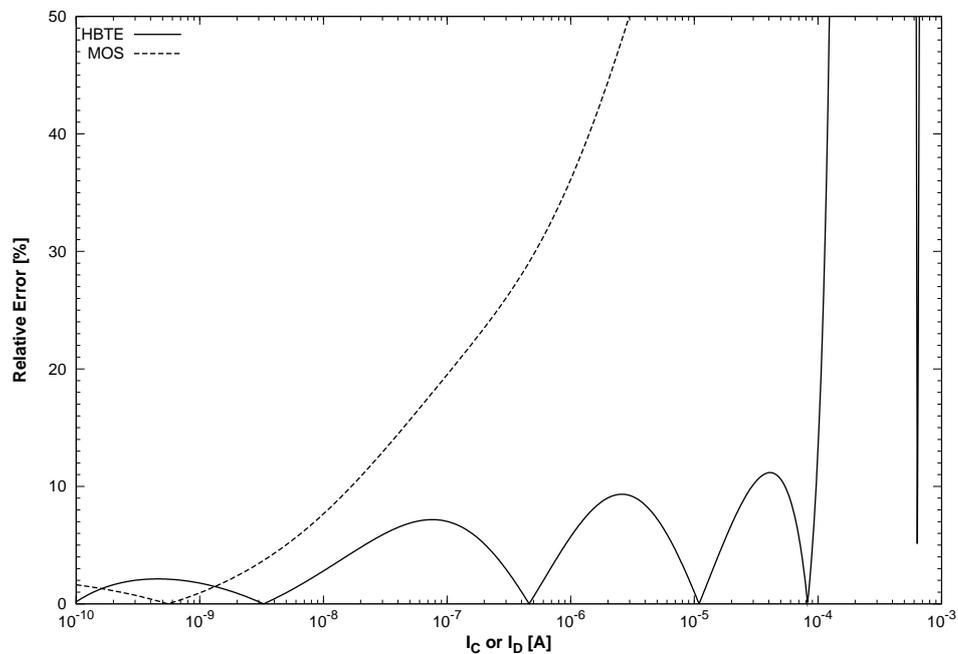


Figura 3.15: Simulación del error relativo del HBTE y la de un MOS de las mismas dimensiones que el transistor de salida M_1 respecto a la aproximación, en mínimos cuadrados, de una función exponencial a las dos características.

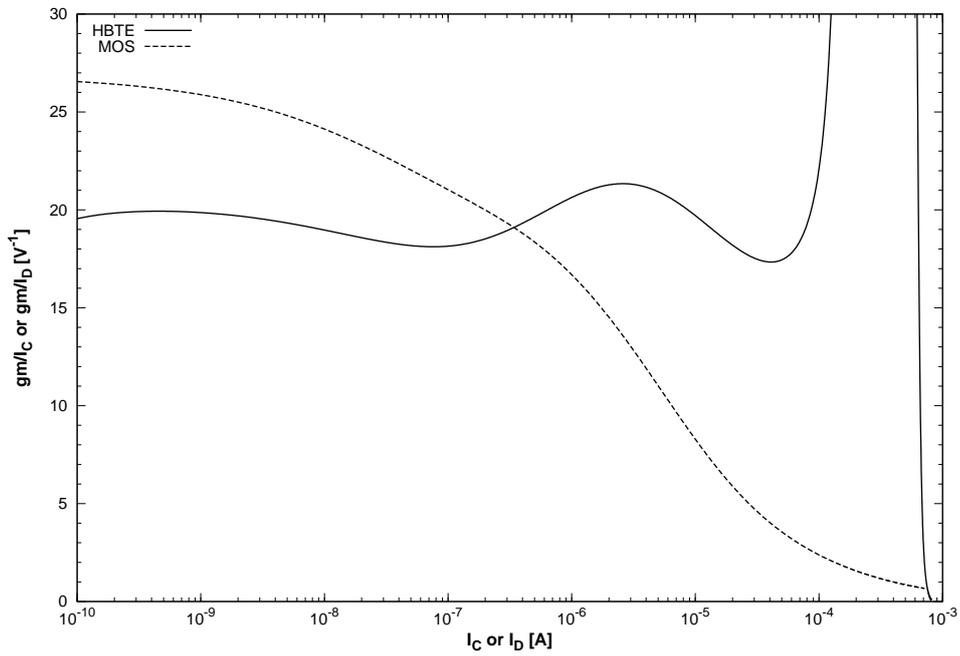


Figura 3.16: Simulación de la transconductancia normalizada del HBTE y la de un MOS de las mismas dimensiones que el transistor de salida M_1 en función de la corriente de colector (o drenador).

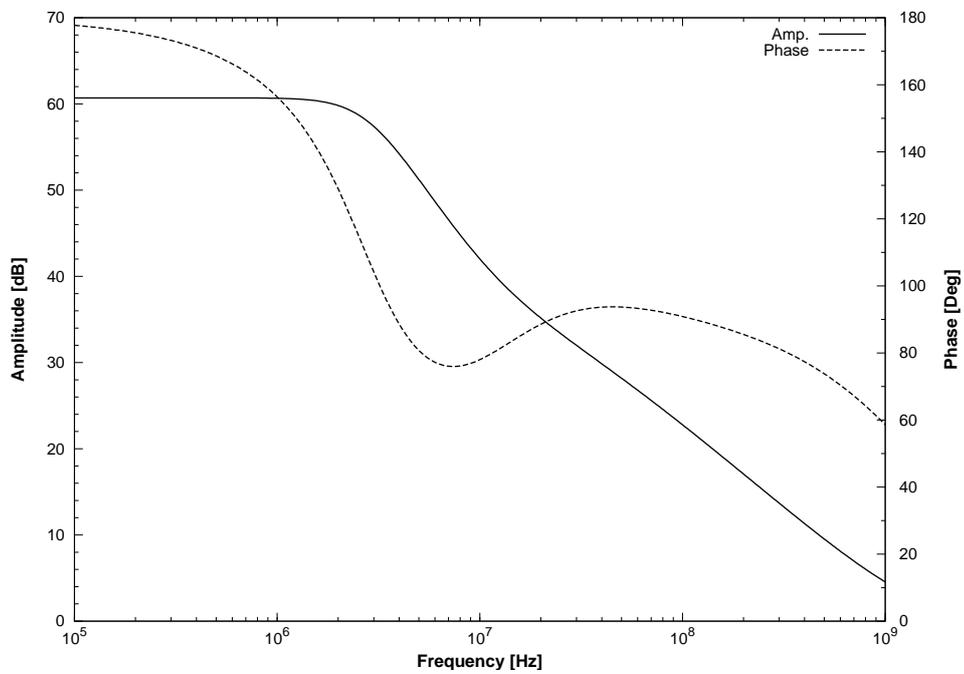


Figura 3.17: Diagrama de Bode de amplitud y fase del HBTE obtenido mediante simulación. La corriente de entrada tiene una componente en continua de $20\mu A$.

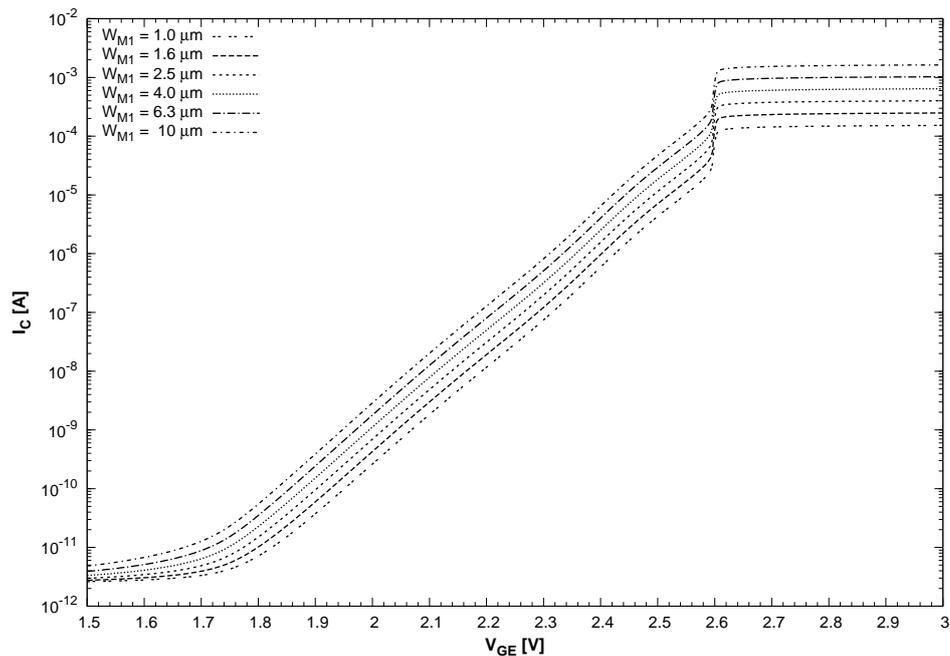


Figura 3.18: Simulación del efecto sobre la curva característica de una modificación en la anchura del transistor de salida M_1 . El límite de conducción del HBTE aumenta con la anchura del transistor de salida y la curva se desplaza hacia la izquierda.

La figura 3.17 muestra el diagrama de Bode de amplitud y fase del HBTE. Para encontrarlo se aplicó una tensión variable en la puerta del elemento y una corriente fija en su colector (comprobando que el punto de trabajo estuviera en una zona razonable). La corriente de colector se fijó en $I_C = 20 \mu A$, polarización con la que el elemento muestra un mayor ancho de banda y tendencia a la inestabilidad. Con esto, definimos la ganancia como la relación entre las tensiones de colector y puerta y la fase como la diferencia de fase entre ambas. Una simulación AC permitió encontrar el resultado mostrado, indicando un buen margen de fase con las capacidades seleccionadas.

Las figuras desde la 3.18 hasta la 3.26 muestran una serie de simulaciones paramétricas de los parámetros de ajuste más importantes del HBTE. En ellas se varían directamente algunos parámetros, como las corrientes de polarización o las capacidades de estabilización, e indirectamente otros, como las corrientes I_{0X} de los transistores (modificando su anchura o longitud de canal) o la resistencia r_0 (cambiando la longitud de canal de los dos transistores que forman el espejo de corriente).

La figura 3.18 muestra una simulación paramétrica de la curva característica del HBTE al variar la anchura del transistor M_1 . El efecto sobre las ecuaciones de un incremento en la anchura es equivalente a un incremento del mismo orden en los parámetros I_{01} o β . Como puede observarse en la figura, conforme aumenta la anchura la curva característica se desplaza hacia la izquierda y el límite de conducción del dispositivo aumenta.

La figura 3.19 muestra, por su parte, el mismo tipo de simulación pero variando la anchura del transistor M_2 . El efecto sobre las ecuaciones de un incremento en la anchura es equivalente a un incremento del mismo orden en el parámetro I_{02} . Según aparece en la simulación, el nivel de preénfasis aumenta con la anchura, esto es, se puede aumentar la transconductancia del HBTE en las zonas de inversión moderada y fuerte para compensar la caída propia del MOS aumentando la anchura de este transistor. Este comportamiento es de esperar al observar el esquema del circuito de la figura 3.8, en donde puede intuirse que la curva característica (desplazada por la caída de tensión en el seguidor) del MOS de salida M_1 se obtiene al hacer $W_{M2} \rightarrow 0$ o $L_{M2} \rightarrow \infty$, esto es, haciendo desaparecer el preénfasis. Nótese que el efecto sobre la parte baja de la zona de inversión débil no es apreciable.

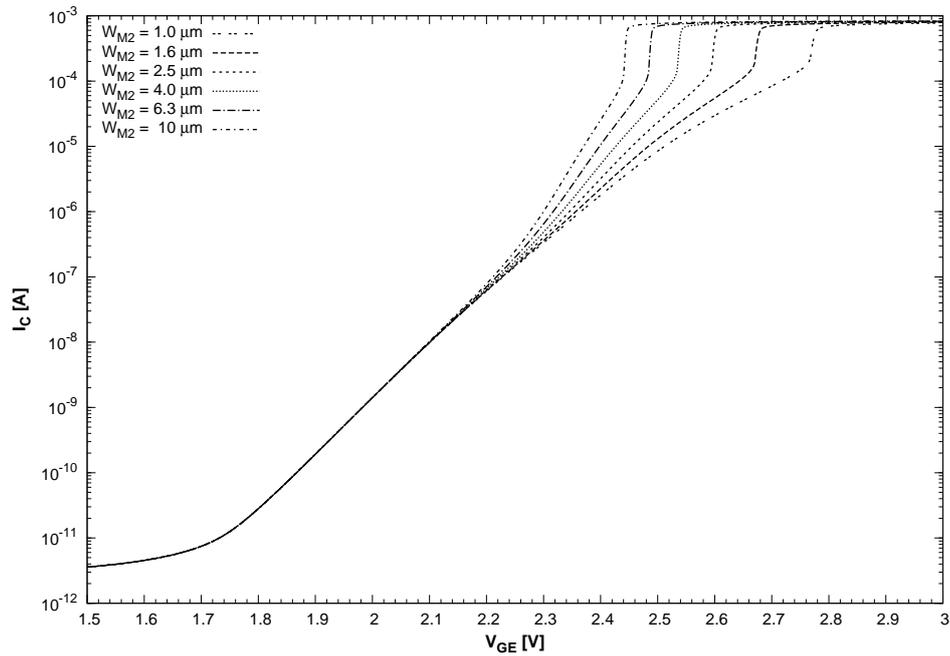


Figura 3.19: Simulación del efecto de una modificación en la anchura del transistor de referencia M_2 . El nivel de predistorsión o preénfasis aumenta con la anchura del transistor de referencia, lo que hace aumentar la transconductancia del HBTE en la región de inversión moderada.

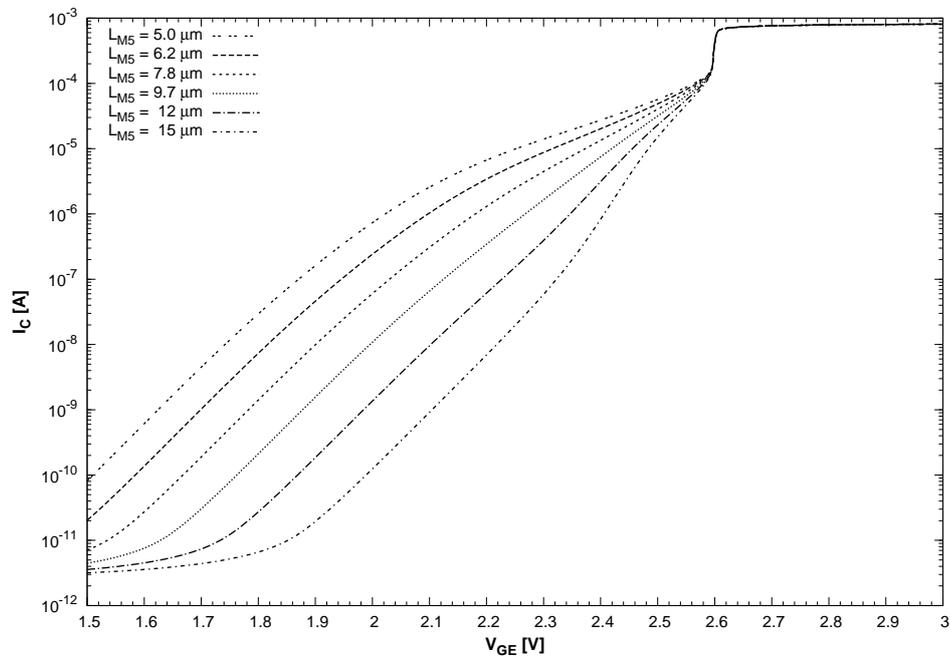


Figura 3.20: Simulación del efecto de una modificación en la longitud del seguidor M_5 . Las curvas se desplazan hacia la derecha con longitudes crecientes en la zona de inversión débil, pero este efecto se reduce conforme aumenta la corriente de colector.

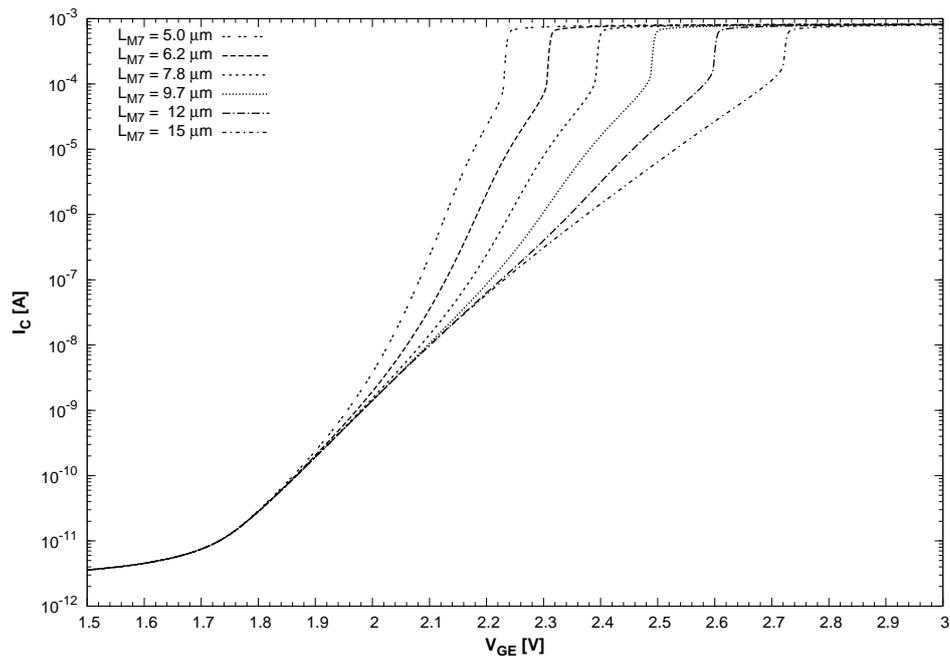


Figura 3.21: Simulación del efecto de una modificación en la longitud del seguidor M_7 . Este parámetro tiene un efecto sobre el nivel de predistorción similar al que ocurre cambiando los parámetros del transistor auxiliar M_2 (véase la figura 3.19).

La figura 3.20 muestra el efecto sobre la curva característica de variar la longitud del transistor M_5 . Según aparece en la simulación, el efecto es un desplazamiento de toda la región de inversión débil y un desplazamiento no uniforme de la región de inversión moderada, no teniendo ningún efecto importante en la zona de inversión fuerte. Por otro lado, la figura 3.21 muestra el efecto de variar la longitud del seguidor M_7 . Este parámetro tiene un efecto sobre el nivel de predistorción similar al que ocurre cambiando los parámetros del transistor auxiliar M_2 (figura 3.19), de forma que es posible ajustar el nivel de predistorción en un segundo punto de forma independiente, con lo que se puede obtener una mejor aproximación a la curva característica exponencial.

La figura 3.22 muestra el efecto de variar la corriente de polarización I_1 . En la región de inversión débil, con corrientes crecientes la curva se desplaza hacia la derecha y el umbral entre preénfasis de inversión débil y moderada hacia abajo. Nótese el ligero efecto sobre la transconductancia del HBTE en la región de inversión débil y el desplazamiento hacia la derecha de la curva en la zona de inversión fuerte. En la figura 3.23 se muestran simulaciones con corrientes de polarización I_2 diferentes. El efecto es comparable al que ocurre modificando las dimensiones de M_2 o M_7 , con lo que se dispone de un tercer punto de ajuste de la curva característica del HBTE en la región de inversión moderada.

En la figura 3.24 se muestra el efecto de variar la longitud de canal de los transistores del espejo de corriente M_3 y M_4 , lo que tiene efecto, principalmente, sobre el parámetro r_0 . Nótese como reduciendo la longitud de canal (reduciendo r_0) la curva característica se aplanan y la transconductancia se reduce en la región de inversión fuerte. Téngase en cuenta que para utilizar todo el margen de conducción del MOS son necesarios transistores de longitud mínima de canal, y esto puede llevar a problemas de *matching* o desapareamiento, e introducir errores importantes en las curvas características de los elementos translineales una vez implementados. En las simulaciones mostradas en las figuras 3.14 y 3.16 se ha preferido tolerar errores en la curva característica en la zona de inversión fuerte (nótese el aumento brusco de la transconductancia en la última década de conducción del HBTE), escogiendo una longitud de canal en los transistores del espejo bastante por encima del óptimo (véase el cuadro 3.2), antes que hacer un diseño susceptible al desapareamiento o *mismatch*.

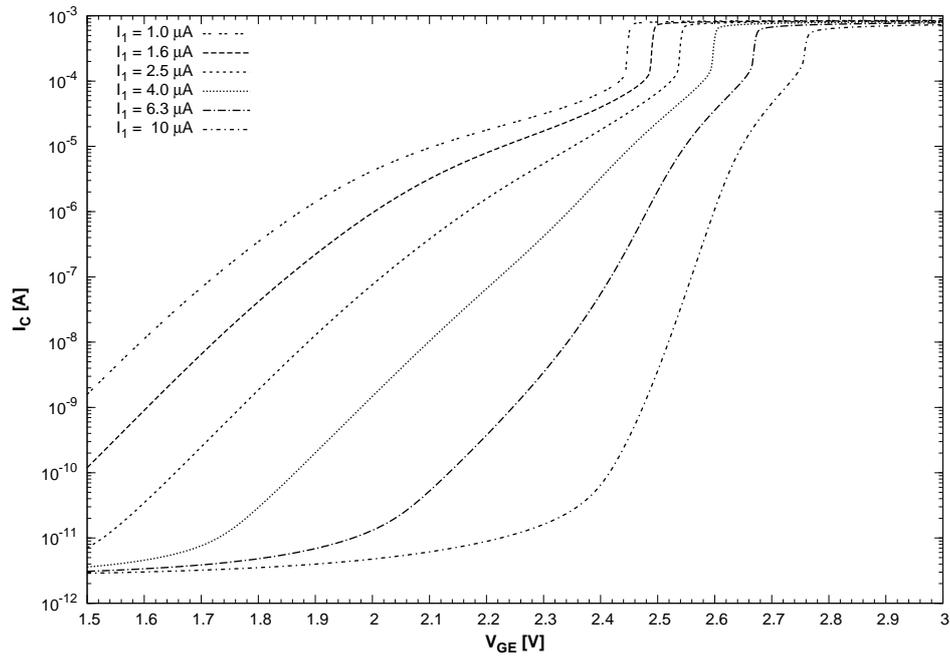


Figura 3.22: Simulación del efecto de una modificación en la polarización I_1 . En la región de inversión débil, con corrientes crecientes la curva se desplaza hacia la derecha y el umbral entre preénfasis de inversión débil y moderada hacia abajo. Nótese el ligero efecto sobre la transconductancia del HBTE en la región de inversión débil y el desplazamiento hacia la derecha en la zona de inversión fuerte.

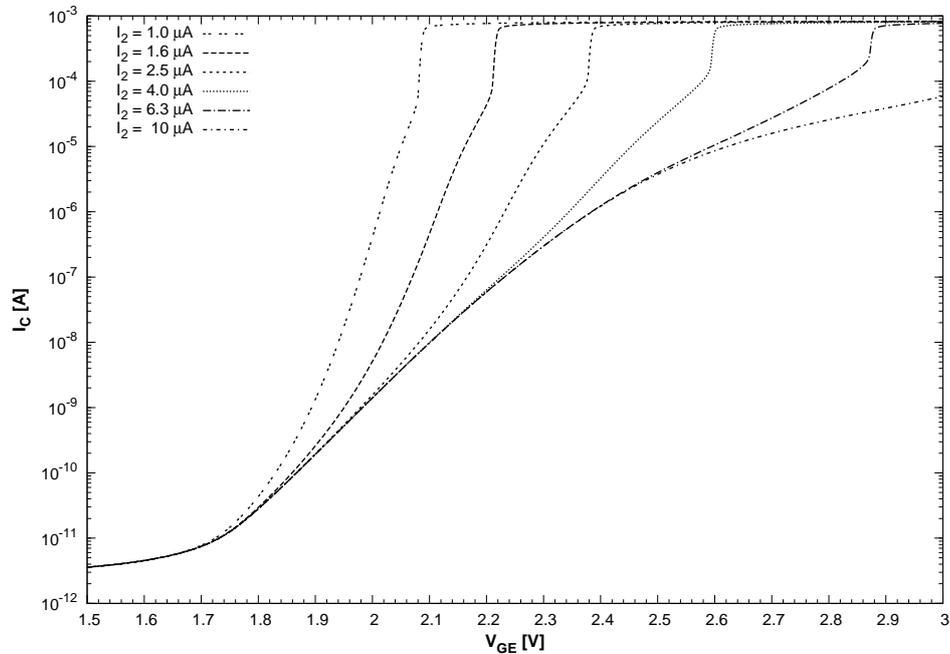


Figura 3.23: Simulación del efecto de una modificación en la polarización I_2 . El efecto es comparable al que ocurre modificando las dimensiones de M_2 o M_7 (véanse las figuras 3.19 y 3.21).

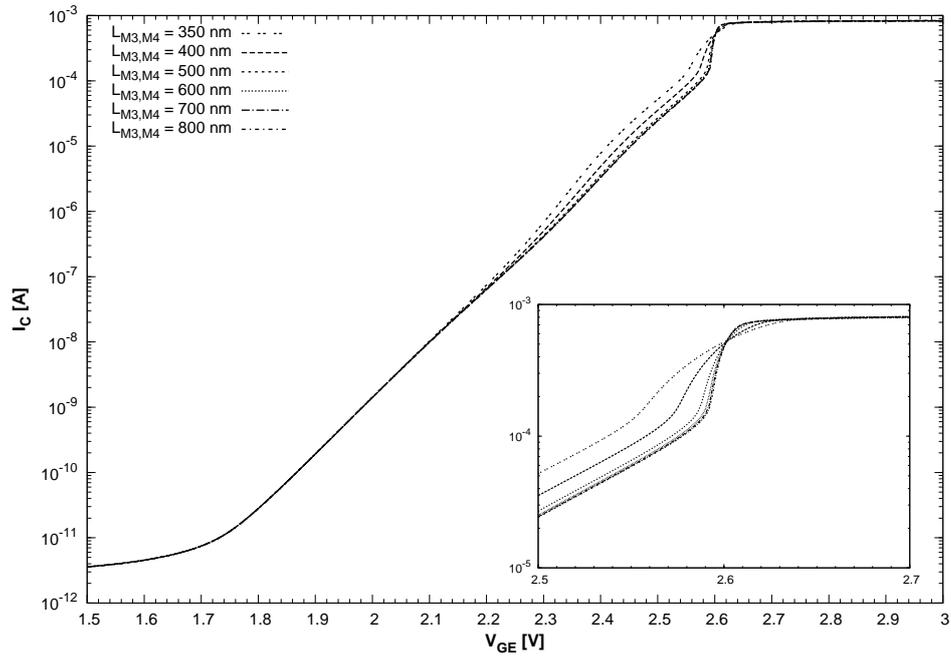


Figura 3.24: Simulación del efecto de una modificación en la longitud del canal de los transistores M_3 y M_4 que forman el espejo de corriente. En el recuadro inferior derecho se muestra una ampliación de la curva característica de las dos últimas décadas de conducción. Nótese como la curva característica se aplana en la región de inversión fuerte con longitudes de canal decrecientes.

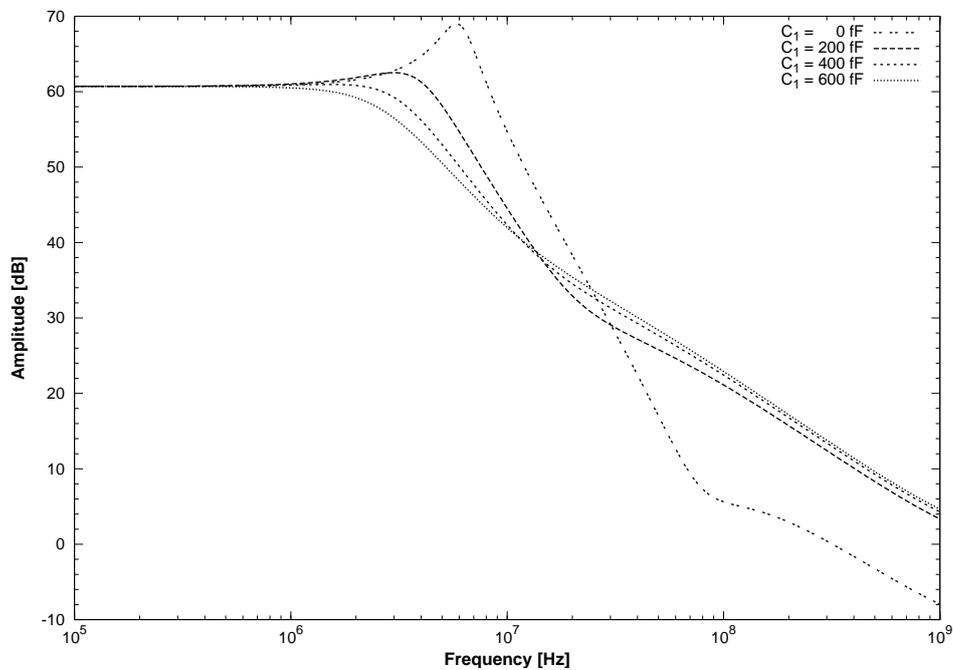


Figura 3.25: Simulación del efecto de una modificación en la capacidad C_1 sobre el diagrama de Bode de amplitud del HBTE. La corriente de entrada tiene una componente en continua de $20\mu A$ y una componente de señal de $200nA$.

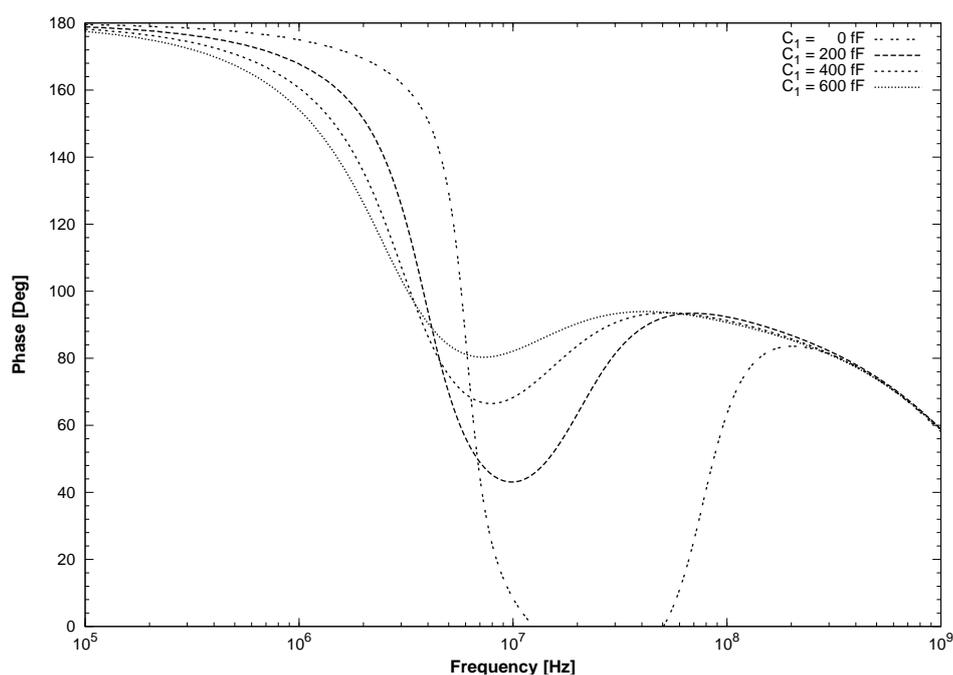


Figura 3.26: Simulación del efecto de una modificación en la capacidad C_1 sobre el diagrama de Bode de fase del HBTE. La corriente de entrada tiene una componente en continua de $20\mu A$ y una componente de señal de $200nA$.

Las figuras 3.25 y 3.26 muestran los diagramas de Bode de amplitud y fase obtenidos mediante una simulación AC *post-layout* del HBTE. El punto de trabajo se escogió en $I_C = 20\mu A$, lugar en el que el elemento muestra un mayor ancho de banda y tendencia a la inestabilidad. Nótese que el margen de fase mejora notablemente con la capacidad C_1 , pasando de ser negativo para $C_1 = 0$ a mayor que 80° para $C_1 = 600 fF$. La capacidad C_2 , por otro lado, también tiene un efecto de mejora sobre el margen de fase aunque no tan significativo.

Una característica muy atractiva de los lazos translineales es su buena inmunidad a variaciones de temperatura. En la figura 3.27 se muestra una simulación de la característica de transferencia de un multiplicador de un cuadrante implementado con cuatro HBTE para diferentes temperaturas de funcionamiento dentro del rango militar, tal y como muestra el esquema de la figura 3.11. Puede comprobarse que el elemento respeta en buena medida la inmunidad a temperatura propia de los lazos translineales.

El ajuste sobre la zona de inversión moderada puede realizarse de forma muy precisa gracias a la disponibilidad de tres puntos independientes de ajuste de la predistorsión de inversión moderada (M_2 , M_7 e I_2), de forma que es posible extender varias décadas el margen de funcionamiento del HBTE para el mismo nivel de error. En inversión fuerte sólo es posible ajustar la pendiente en un punto mediante el parámetro r_0 , aunque ajustando únicamente el desplazamiento hacia la derecha e izquierda de cada una de las zonas es más que suficiente para utilizar buena parte del margen de conducción del dispositivo. Tal y como han indicado las simulaciones, el circuito propuesto, a pesar de tener muchos parámetros de ajuste, es razonablemente rápido y fácil de calibrar debido a que muchos de los parámetros tienen un efecto muy concreto en cada región de funcionamiento (véase el cuadro 3.1 y la figura 3.9).

Al utilizar el elemento dentro de un lazo translineal pueden aparecer otros parámetros de ajuste que pueden ayudar a mejorar aún más la característica exponencial del HBTE. Es importante destacar uno, la resistencia de emisor, que puede servir para reducir la transconductancia en la zona de inversión fuerte. En los BJT y en los MOS este parámetro tiene efectos negativos sobre la caracterís-

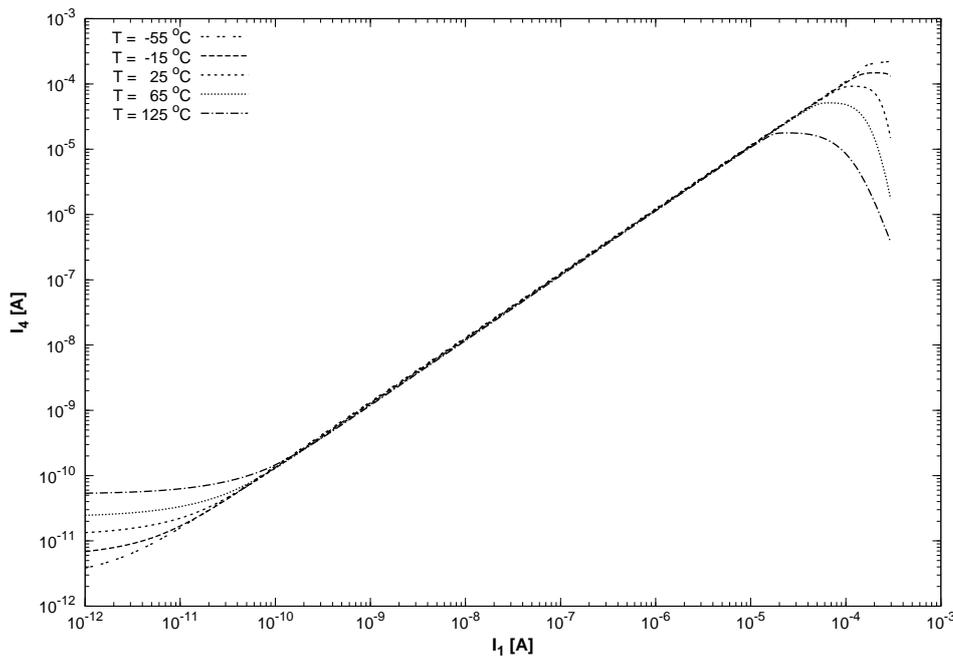


Figura 3.27: Simulación del efecto de las variaciones de temperatura sobre la característica de un multiplicador de un cuadrante implementado con cuatro HBTE, según muestra el esquema de la figura 3.11. Las corrientes de entrada I_2 y I_3 se fijaron a $1 \mu A$.

tica exponencial al reducir la transconductancia conforme aumenta la corriente, pero con el elemento translineal propuesto, sobre todo si la longitud de los transistores que forman el espejo de corriente está sobredimensionada, una resistencia de emisor ayuda notablemente a mejorar la característica. De hecho, en la implementación descrita en la sección anterior se escogió una conductancia en las puertas de paso y en interruptores conectados al emisor que optimizaba la característica exponencial del HBTE. Donde sea aplicable, esto puede añadir un segundo grado de libertad para el ajuste de la región de inversión fuerte.

3.3.6. Resultados experimentales

La figura 3.28 muestra una medida experimental de la curva característica del HBTE con las polarizaciones nominales. Nótese que debido a la resistencia de conducción de las puertas de paso en el emisor del HBTE, necesarias para activar y desactivar el modo de caracterización del lazo translineal descrito en la sección 3.3.4, la característica del elemento en inversión fuerte es sensiblemente mejor a la mostrada en la simulación de la figura 3.14. La corriente residual para bajas tensiones de puerta ($\approx 2,6 pA$), pese a coincidir de forma precisa con las simulaciones, se cree que es mucho menor en el elemento translineal aislado, ya que la medida tiene contribuciones de las fugas de los diodos de protección de los *pads*, las puertas de paso y los drenadores de los transistores de los *buffers* de salida.

Por otro lado, la figura 3.29 muestra la dispersión típica de la corriente de colector normalizada. La normalización a la corriente de colector se hizo con el propósito de obtener valores comparables directamente entre diferentes valores de corriente. A modo de referencia, también se muestra la dispersión en la corriente de drenador de un transistor de las mismas dimensiones que el transistor de salida M_1 posicionados a la misma distancia entre ellos que los elementos translineales. La población estadística consistió en un total de 75 HBTE y 74 transistores MOS pertenecientes ambos, muy probablemente, a diferentes obleas. Los resultados indican que, en inversión moderada y débil, el HBTE es cuatro veces más susceptible al *mismatch* o desapareamiento que un único transistor. En inversión

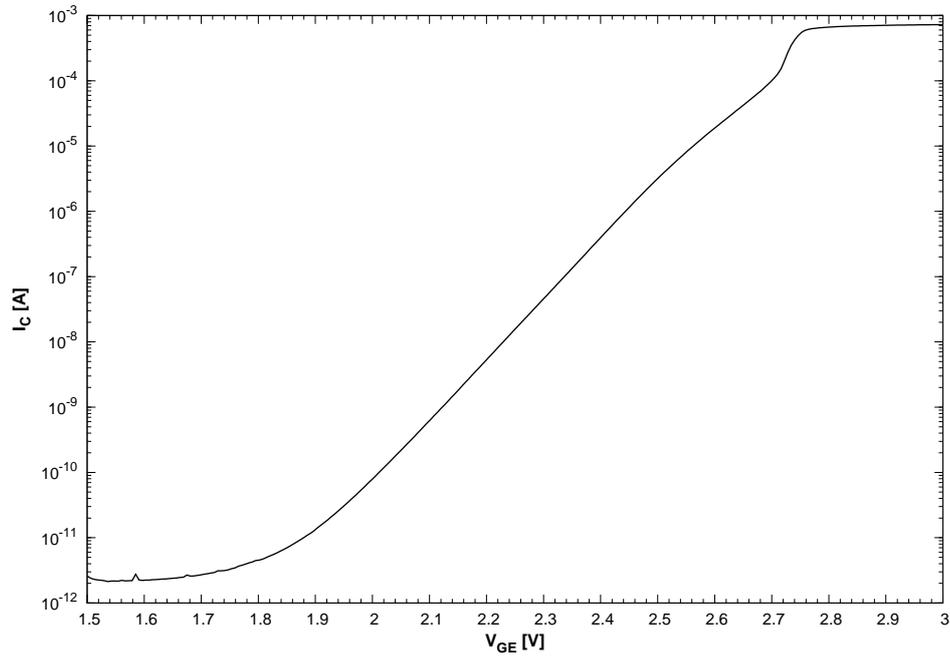


Figura 3.28: Medida de la curva característica del HBTE. Nótese que la respuesta en la zona de inversión fuerte es mejor que la mostrada en la figura 3.14, gracias a la resistencia de conducción de la puerta de paso conectada al emisor del HBTE en el circuito de prueba.

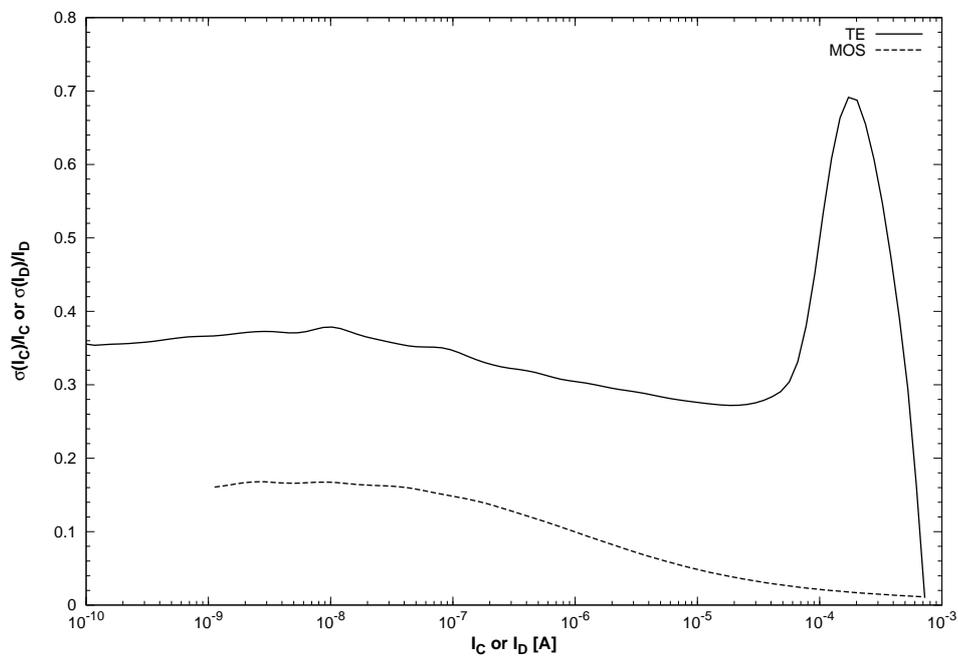


Figura 3.29: Análisis estadístico del *mismatch* o desapareamiento del HBTE y de un transistor MOS de las mismas dimensiones que el transistor de salida M_1 . El análisis se ha realizado midiendo la curva característica sin calibrar de los 75 dispositivos disponibles. Se muestra la dispersión típica normalizada de las corrientes de colector o drenador en función de las corrientes de colector o drenador.

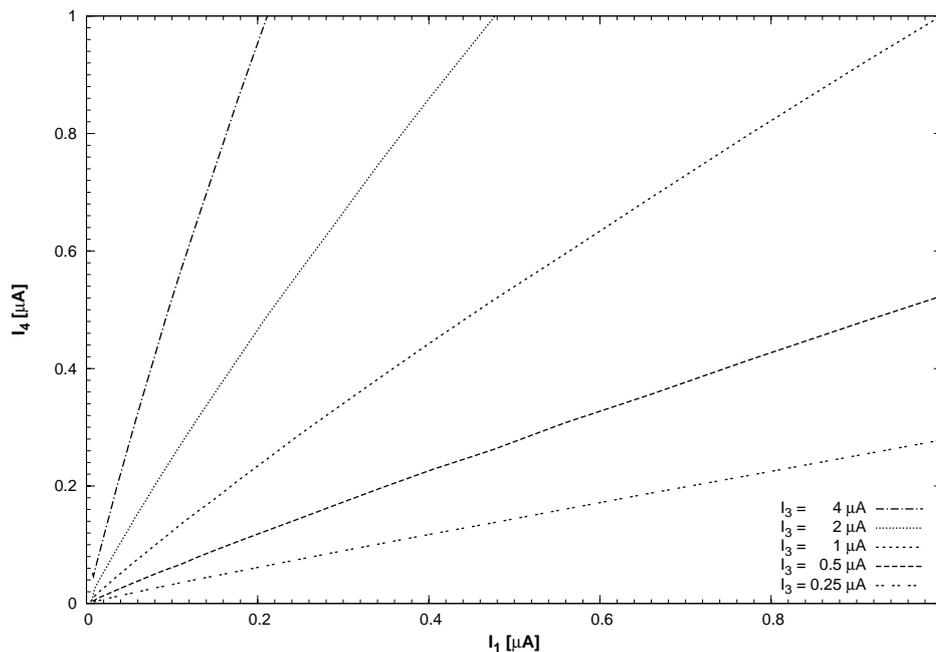


Figura 3.30: Medida del multiplicador translineal de un cuadrante implementado con cuatro HBTE. La corriente de entrada I_2 se fijó a $1 \mu A$ y la tensión de polarización V_G a $2,7 V$.

fuerte el desapareamiento aumenta notablemente debido a que en dicha región de trabajo la tensión de puerta del transistor de salida está gobernada por el comparador de corriente formado por M_6 y M_4 , y los comparadores de corriente son estructuras conocidas por su susceptibilidad al desapareamiento.

La figura 3.30 muestra la medida experimental del multiplicador de la figura 3.11. Para apreciar mejor el comportamiento con mayores variaciones de corriente se muestra la misma medida representada en ejes logarítmicos en la figura 3.31. En esta última, se muestra también, con trazo gris, una simulación de la respuesta del multiplicador implementado con transistores MOS de las mismas dimensiones que M_1 . Como puede comprobarse, la respuesta del mismo es notablemente inferior a la del multiplicador implementado con el HBTE, mostrando tanto errores en la pendiente, indicadores de fuertes alinealidades, como un rango dinámico mucho más limitado. Las anomalías que se observan en la medida por debajo de $I_1 < 10 pA$ son debidas a los *buffers* de corriente de entrada y no aparecen en las simulaciones realizadas sin ellos. No obstante, la integración de los *buffers* fue imprescindible para poder realizar mediciones en alta frecuencia.

La figura 3.32 muestra la medida experimental del mismo circuito operando como divisor. También se muestra, al igual que en la figura anterior, la respuesta del circuito implementado con transistores MOS. En este caso, la diferencia entre el HBTE y los transistores MOS es aún más evidente, mostrando éstos últimos fuertes alinealidades en la característica del divisor. Nótese que, como la representación está hecha sobre ejes logarítmicos, el divisor ideal consiste en una recta de pendiente -1 .

La respuesta dinámica del multiplicador puede verse en la figura 3.33, que muestra la corriente de salida para unas entradas consistentes en una senoidal de $10 MHz$ con $5 \mu A$ de amplitud y $10 \mu A$ de continua y una triangular de $1 MHz$ desde $2,5 \mu A$ hasta $25 \mu A$, dejando la corriente unitaria I_3 a $10 \mu A$. Puede comprobarse que la corriente de salida es, efectivamente, el producto de las entradas, excepto por un error de fase debido probablemente a la longitud de los cables de medida y un pequeño error de ganancia debido a anomalías en la función de transferencia, desapareamiento de los *buffers* de salida o a tolerancias de los convertidores I/V y V/I . También se verificó la respuesta del circuito como generador de funciones inversas (figura 3.34), aplicando una señal triangular de $1 MHz$ desde $2,5 \mu A$

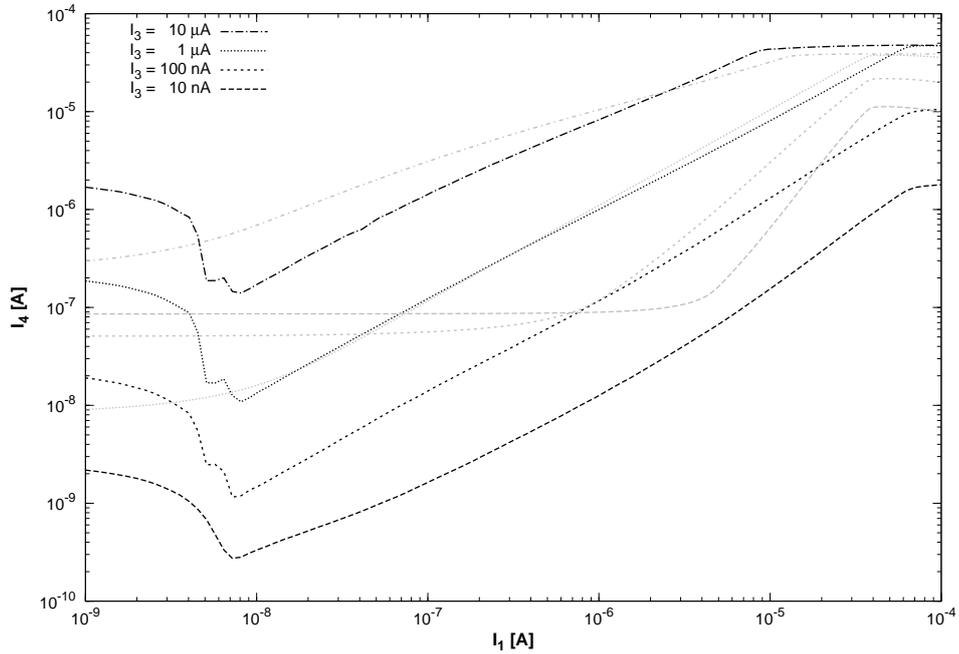


Figura 3.31: Medida del multiplicador translineal de un cuadrante implementado con cuatro HBTE (en negro) y simulación con transistores MOS (en gris). La corriente de entrada I_2 se fijó a $1 \mu A$.

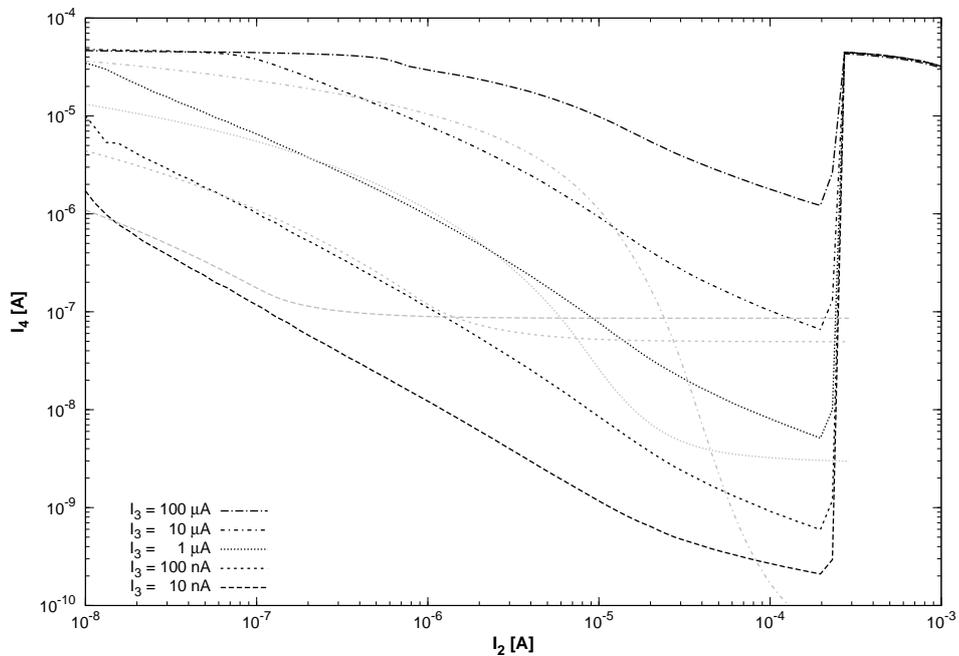


Figura 3.32: Medida del divisor translineal de un cuadrante implementado con cuatro HBTE (en negro) y simulación con transistores MOS (en gris). La corriente de entrada I_1 se fijó a $1 \mu A$.

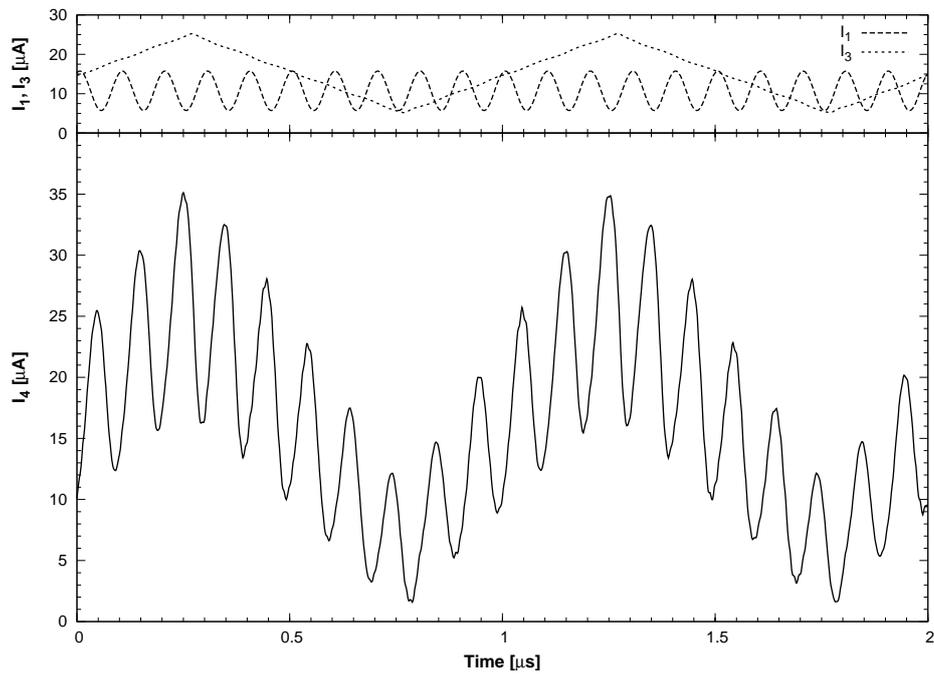


Figura 3.33: Medida dinámica del multiplicador translineal. La corriente I_1 es un tono de 10 MHz con $5\ \mu\text{A}$ de amplitud y $10\ \mu\text{A}$ de continua, I_3 es una señal triangular de 1 MHz desde $2,5\ \mu\text{A}$ hasta $25\ \mu\text{A}$ e I_3 se mantiene constante a $10\ \mu\text{A}$.

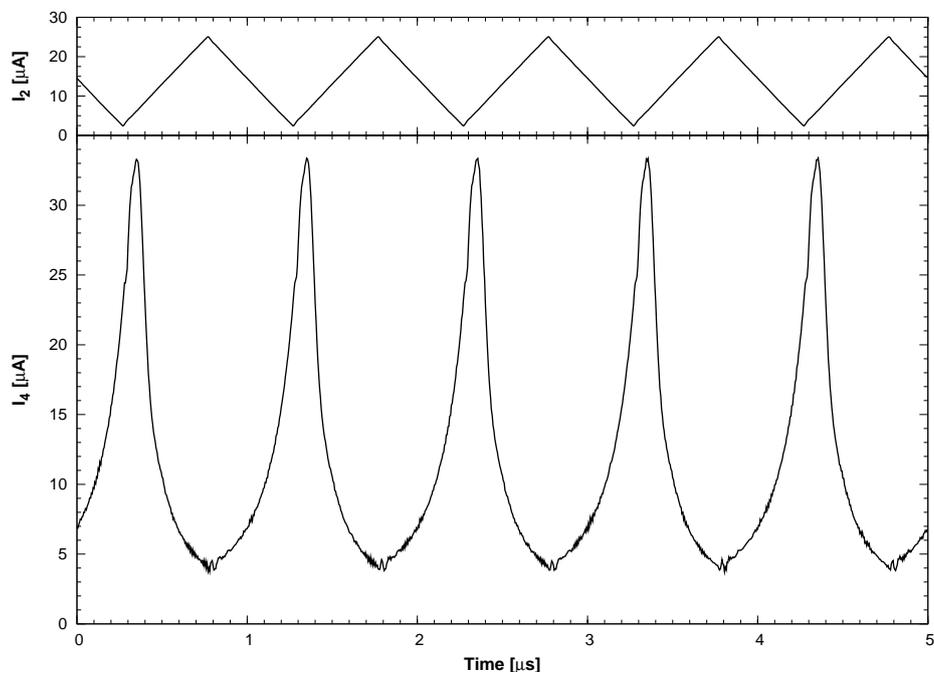


Figura 3.34: Medida dinámica del divisor translineal funcionando como generador de funciones inversas. La corriente I_2 es una señal triangular de 1 MHz desde $2,5\ \mu\text{A}$ hasta $25\ \mu\text{A}$. Las corrientes de entrada I_1 e I_3 se fijaron a $10\ \mu\text{A}$.

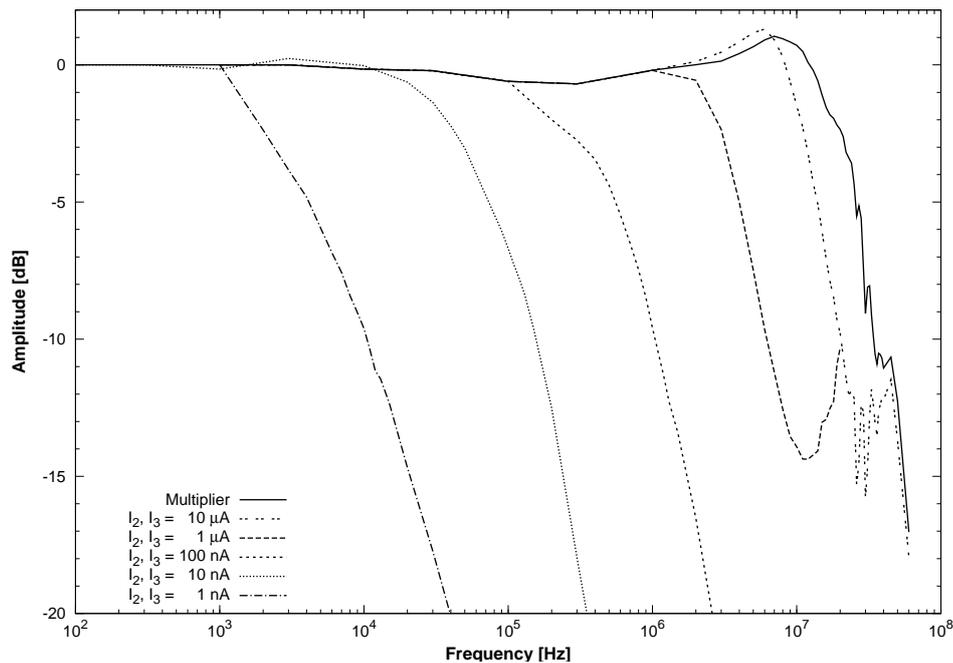


Figura 3.35: Diagrama de Bode de amplitud del multiplicador y el filtro paso-bajo. La corriente de entrada es una senoidal de $1 \mu A$ con $10 \mu A$ de offset. Se muestra la respuesta del multiplicador en modo seguidor de corriente ($I_2 = I_3 = 10 \mu A$) y en modo paso-bajo para diferentes valores de corriente $I_2 = I_3$.

hasta $25 \mu A$ mientras se mantenían fijas las corrientes I_1 e I_3 a $10 \mu A$. Como puede comprobarse en la figura el circuito responde correctamente, generando funciones $1/x$ a tramos. Como en el caso del multiplicador, puede observarse un retardo de fase (el máximo de la salida está ligeramente retrasado respecto al mínimo de la entrada) y también aparece un ligero error de ganancia.

La figura 3.35 muestra la medida del diagrama de Bode de amplitud del lazo translineal operando como multiplicador (con el interruptor S_1 de la figura 3.11 abierto) y operando como filtro paso-bajo (con el interruptor S_1 de la figura 3.11 cerrado). Las corrientes I_2 e I_3 se movieron a la par para poder ajustar el ancho de banda mientras se mantenía constante la ganancia, de acuerdo con las ecuaciones 3.17 y 3.19. Desafortunadamente, debido a las limitaciones del equipo de medida, no se pudieron medir señales por debajo de -20 dB a causa de las dificultades del manejo de corrientes tan pequeñas en alta frecuencia. La anomalía observada en la curva de $I_2 = I_3 = 1 \mu A$ es conocida en filtros translineales (véase la Fig.6 de Punzenberger y Enz [30]) y se desconoce su causa. Como puede comprobarse, el ancho de banda del multiplicador alcanza los 22 MHz , superando notablemente los anchos de banda reportados con elementos translineales MOS y siendo comparable a la de muchas de las implementaciones bipolares (véase el cuadro comparativo del cuadro II del mismo artículo). No obstante, nótese que ni la característica del filtro paso-bajo corresponde estrictamente a la de un filtro de primer orden, ni el ancho de banda corresponde con el previsto en la ecuación 3.19. Esto es debido a la presencia de capacidades parásitas en el lazo del mismo orden de magnitud que la capacidad de filtrado C_F (incluyendo las capacidades propias C_1 y C_2 del HBTE). Estos fenómenos pueden mitigarse utilizando capacidades de filtrado mayores.

En caso de utilizar el multiplicador como modulador, es importante conocer la distorsión armónica a su salida para determinar su linealidad. Para encontrar la distorsión armónica, se polarizó el multiplicador en modo seguidor de corriente con $I_2 = I_3 = 10 \mu A$ y en I_1 se inyectó una senoide de 100 kHz con $5 \mu A$ de amplitud y $10 \mu A$ de offset. Con esto, la distorsión armónica total del multiplicador (THD) puede aproximarse por la relación de potencias entre la señal principal y la suma de potencias del segundo y tercer armónicos (estrictamente habría que sumar la potencia de todos los

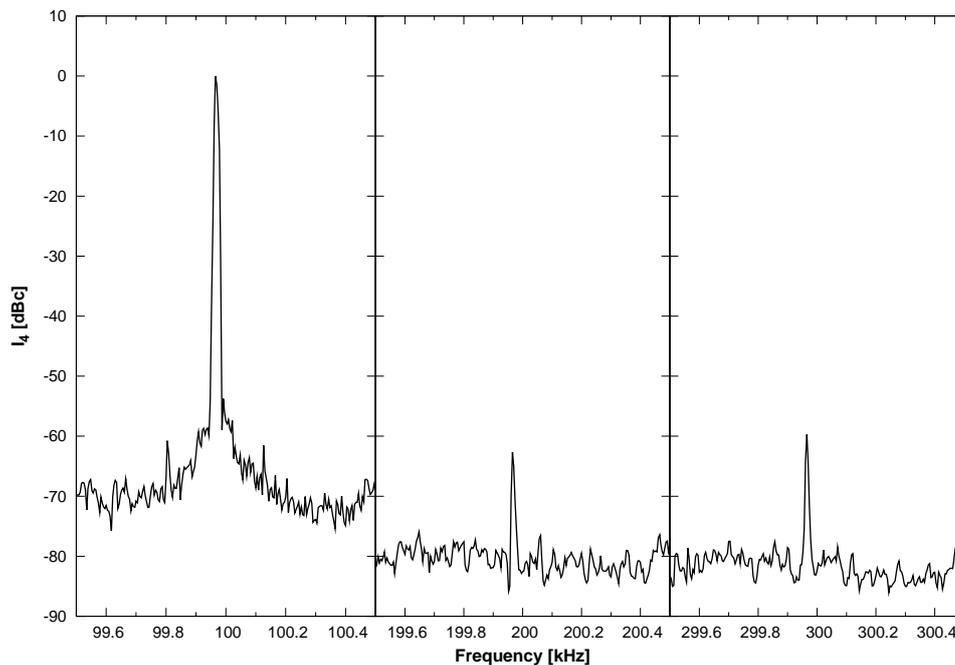


Figura 3.36: Espectro de salida del multiplicador en modo seguidor de corriente. Las entradas I_2 e I_3 se fijaron a $10\mu A$, mientras que en I_1 se inyectó una senoidal de 100 kHz con $5\mu A$ de amplitud y $10\mu A$ de offset. Puede verse el espectro alrededor de la señal principal y alrededor del segundo y tercer armónicos.

armónicos). La figura 3.36 muestra el espectro de salida alrededor de la señal principal y alrededor del segundo y tercer armónicos con las potencias normalizadas a la señal principal o primer armónico. Como puede comprobarse, la THD está alrededor de los -60 dB . A la hora de realizar comparaciones con otros circuitos translineales téngase en cuenta que, debido a limitaciones en los instrumentos, esta medida tuvo que hacerse en gran señal (las polarizaciones del multiplicador tienen solamente el doble de amplitud que la senoide de entrada), y aún así, los resultados son comparables o mejores a muchos lazos translineales implementados con transistores bipolares (véase la Fig. 7 de Punzenberger y Enz [30]). Para elementos translineales sin calibrar la THD aumenta sensiblemente y está típicamente por encima de los -50 dB . De hecho, la clave de la reducida THD de este circuito está, además de en su buen seguimiento de la característica exponencial, en la posibilidad de poner disponer de calibración, cosa que no ocurre con lazos translineales implementados con dispositivos simples (ya sean transistores MOS o bipolares), en los que el desapareamiento no se puede compensar.

3.3.7. Características y limitaciones. Escalado del HBTE

Una característica muy importante del HBTE es que las corrientes de emisor y colector son diferentes, al igual que ocurre con los elementos translineales BJT. Básicamente, esto tiene dos consecuencias prácticas:

- No pueden utilizarse polarizaciones tipo seguidor (véase la figura 3.4), al no existir una relación sencilla entre la corriente de emisor que fuerza la conexión tipo seguidor y la corriente de colector que implementa la función translineal.
- No pueden conectarse condensadores a los emisores de los elementos translineales para implementar filtros *log-domain*. En su lugar, deben conectarse a las puertas.

Además, es recomendable utilizar topologías alternadas en lugar de las apiladas para tener una buena inmunidad al efecto sustrato, como ocurre con todos los elementos translineales CMOS.

Como ya se ha explicado, una ventaja de este elemento translineal, al contrario que ocurre con los BJT y MOS, es que la resistencia de emisor o drenador puede ayudar a mejorar su función de transferencia. La transconductancia del elemento en la zona de inversión fuerte del transistor de salida no se mantiene constante y crece, tal y como se muestra en la figura 3.16. La resistencia de emisor, no obstante, causará un pequeño incremento de la tensión de emisor que reducirá, a su vez, la corriente de colector conforme aumente la propia corriente, cosa que ayudará a corregir la curva de transferencia en la región de inversión fuerte sin afectar prácticamente al resto de regiones.

Por otro lado, la necesidad de utilizar tensiones de funcionamiento superiores a las que serían estrictamente necesarias con lazos translineales MOS supone una desventaja en tecnologías de fabricación de $0,35\mu m$, pero no así en tecnologías más avanzadas en las que es muy común incluir en el proceso transistores MOS de vaciamiento (con tensiones umbral nulas o negativas). En este caso, como ya se ha comentado anteriormente, una sustitución de los transistores M_5 y M_7 , por MOS de vaciamiento neutralizaría esta desventaja.

En circuitos translineales existen dos limitaciones para el ancho banda. Una es a nivel de lazo, que viene determinada por la relación entre las corrientes que circulan por el lazo y las capacidades parásitas de las conexiones entre los diferentes elementos translineales que lo integran, y otra es a nivel de elemento, que viene determinada por el ancho de banda del elemento en sí. Para el transistor MOS en inversión débil la limitación del ancho de banda de lazo es muy importante, ya que los lazos translineales pueden tener conexiones enrutadas por todo el circuito integrado (y, por tanto, muy cargadas capacitivamente) y las corrientes de lazo son pequeñas para poder mantener los elementos en inversión débil. En el caso de transistores MOS en inversión fuerte, pese a trabajar con corrientes mayores, presentan también limitaciones debido a que se pierde la compresión exponencial de las tensiones del circuito y, por tanto, éstas se vuelven mucho más sensibles a capacidades parásitas.

En caso del HBTE, el principal límite no está en el ancho de banda del lazo, dado que se puede trabajar con corrientes elevadas y las tensiones están comprimidas logarítmicamente, sino en el elemento translineal en sí, cuyo ancho de banda lo determinan las dos corrientes de polarización I_1 e I_2 y las capacidades parásitas del propio elemento. Por suerte, estas capacidades parásitas corresponden a conexiones puramente locales que pueden hacerse muy cortas (véase la figura 3.10), con lo que el HBTE siempre muestra un ancho de banda muy superior al reportado hasta la fecha en lazos translineales implementados con transistores MOS.

En todo caso, si se buscara aumentar el ancho de banda del dispositivo no bastaría con aumentar las corrientes, ya que la anchura de los transistores M_1 y M_2 tendría que escalarse en la misma proporción para mantener la magnitud de la predistorsión en la misma región de trabajo, sino que sería necesario disminuir la longitud del canal del transistor de salida. De esta forma se podría aumentar la corriente de lazo a la misma vez que se reduce la capacidad parásita, resultando una mejora notable del ancho de banda. Para evitar el inconveniente de los efectos de canal corto podrían utilizarse técnicas de cascodo tanto en el transistor de salida como en el de referencia, siendo entonces posible, teóricamente, trabajar con unos transistores de salida y referencia con el mínimo tecnológico de longitud de canal y sacando provecho de las posibilidades de calibración que ofrece el elemento propuesto para reducir el impacto del desapareamiento o *mismatch* que tendrían unos transistores de longitud mínima. Utilizando esta técnica, el ancho de banda del elemento translineal podría aumentar notablemente con cada generación tecnológica.

3.4. Matriz Analógica Translineal Reconfigurable (FPAA)

3.4.1. Introducción

El objetivo de esta sección es mostrar una versión optimizada del elemento translineal propuesto dentro de una aplicación compleja y exigente como una *Field-Programmable Analog Array* (FPAA).

Las FPAA son circuitos integrados que por su naturaleza reconfigurable son capaces de implementar un gran número de funciones del procesado analógico de señal. Las FPAA nacieron con el mismo objetivo que las FPGA digitales: reducir los ciclos de diseño para permitir el prototipado rápido de los circuitos. No obstante, mientras que las FPGA han supuesto una revolución en la industria y un éxito de mercado, la utilización de las FPAA es todavía moderada y actualmente sólo un número muy bajo de fabricantes las comercializan.

El éxito de las FPGA está en la alta estandarización de que goza el diseño digital, cosa que permite que exista un gran número de herramientas de automatización del diseño y se reduzcan notablemente los ciclos de diseño de los productos. De hecho, actualmente se puede completar todo el flujo de diseño digital con una mínima intervención humana y partiendo simplemente de una descripción del comportamiento del circuito. Esta estandarización no se da en el dominio analógico, en el que existe una gran variabilidad, tanto entre las magnitudes a tratar (corriente, tensión, frecuencia, etc.), como entre las primitivas necesarias (multiplicación, amplificación, *Sample & Hold*, etc.). Con esto presente, las FPAA no puede compararse, en absoluto, en potencia y adaptabilidad a las FPGA. De hecho, existen varios tipos de FPAA, y cada uno de ellos podrá ser utilizado sólo para implementar un cierto número de funciones en aplicaciones concretas.

Las FPAA pueden clasificarse en de tiempo discreto o de tiempo continuo. Las FPAA de tiempo discreto son las basadas en técnicas de capacidades conmutadas (Kutuk y Kang [31], Koneru *et al.* [32], Bratt [33]), corrientes conmutadas (Chang *et al.* [34]) o en convertir la señal en una PWM (Vallancourt y Tsvividis [35], Papathanasiou y Hamilton [36]). Tienen severas limitaciones en su ancho de banda y además son muy susceptibles al ruido debido a la naturaleza conmutada de las señales. Las FPAA de tiempo continuo se basan en la utilización de amplificadores operacionales (Looby y Lyden [37]), en técnicas $g_m - C$ (Lee y Gulak [38; 39]), *current conveyors* (Gaudet y Gulak [40], Premont *et al.* [41]) o en lazos translineales (Abramson *et al.* [42]). Éstas gozan de mayores anchos de banda que las de tiempo discreto, no obstante, es bastante más complicado dotarlas de programabilidad sobre grandes márgenes dinámicos. Puede consultarse una bibliografía más detallada en el trabajo de D’Mello y Gulak [43].

En todo caso, las prestaciones de las FPAA están limitadas por la precisión obtenible (que depende del desapareamiento en el caso de soluciones de tiempo continuo o del número de bits en soluciones de tiempo discreto) y por el ancho de banda, típicamente inferior a 1 MHz a causa de la elevada carga capacitiva de los líneas de señal (afectada por las grandes dimensiones de las FPAA y la circuitería auxiliar de conmutación o enrutamiento). Resulta evidente que el HBTE, propuesto en la sección 3.3, muestra claras ventajas en ambos aspectos. La precisión obtenible es muy competitiva en comparación con otras propuestas que están limitadas bien por el nivel de ruido (soluciones de tiempo discreto) o bien por el rango dinámico y desapareamiento (tiempo continuo). Además, el ancho de banda del HBTE, debido a poder utilizar corrientes de lazo elevadas y, sobre todo, al hecho de trabajar con tensiones comprimidas logarítmicamente (por naturaleza mucho más inmunes a parásitos de tipo capacitivo) hace que el elemento translineal sea un candidato excelente para ser utilizado en una FPAA.

3.4.2. Elemento translineal MOS de alta precisión (HPTE)

Introducción

El núcleo de proceso de la FPAA lo constituye un elemento translineal compatible con el proceso CMOS. El *High-Bandwidth Translinear Element* (HBTE) puede utilizarse para este fin, no obstante, ese elemento translineal se diseñó con el objetivo de mantener un buen ancho de banda para poder utilizarlo como multiplicador o filtro *log-domain* de alta frecuencia. Al utilizarlo dentro de un circuito con amplias posibilidades de reconfiguración este ancho de banda se desperdicia debido a las fuertes capacidades parásitas inherentes tanto al enrutado complejo que requiere cualquier tipo de dispositivo

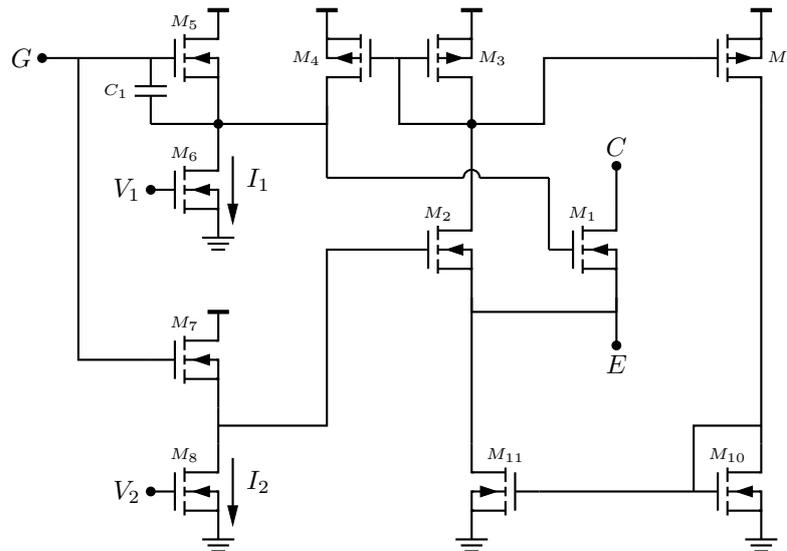


Figura 3.37: Esquema circuital del HPTE. Al contrario que en la propuesta de la figura 3.8, este elemento conecta el sustrato de los transistores a los surtidores y tiene corrientes de emisor y colector iguales.

reconfigurable como al hecho de conectar en las líneas de señal grandes matrices de interconexión. Estas capacidades son inevitables, y pese a la gran ventaja de trabajar con voltajes comprimidos logarítmicamente, mucho menos sensibles a capacidades parásitas, los anchos de banda utilizables quedan limitados. Por este motivo, se rediseñó el elemento translineal de alto ancho de banda con un nuevo criterio, obtener circuitos con una mayor precisión que la mostrada con el anterior elemento.

Debido al buen comportamiento mostrado por la anterior propuesta, se buscó la manera de introducir mejoras en lugar de apostar por cambios radicales de estrategia. Se valoraron diferentes alternativas, recogidas en Kapusta [44], hasta encontrar un elemento translineal que fuera un candidato adecuado para implementarlo como núcleo de proceso de la FPAA. En los siguientes subapartados se recogen el esquema y la teoría de funcionamiento del nuevo elemento translineal, denominado *High-Precision Translinear Element* (HPTE) [20, 45], los detalles de implementación y los resultados de esta nueva propuesta.

Análisis del circuito e implementación

La idea detrás del elemento translineal de alta precisión es modificar el elemento translineal existente para adecuarlo, tanto como sea posible, a las características de un circuito altamente reconfigurable como una FPAA. En el análisis de los requerimientos típicos de una FPAA se tuvieron en cuenta diversas de sus características, como la alta reconfigurabilidad que se exige a sus elementos, el limitado ancho de banda con el que cuentan y la sensibilidad al desapareamiento.

Con esto, el elemento presentado en la sección 3.3 se rediseñó bajo los criterios de precisión y reconfigurabilidad en lugar del criterio de alto ancho de banda. El esquema final puede verse en la figura 3.37, en el que destacan dos cambios importantes respecto a la propuesta original:

- El sustrato de los transistores M_1 y M_2 está conectado a los surtidores en lugar de a masa. Este cambio permite aumentar significativamente la precisión del circuito, no obstante degrada su respuesta en frecuencia debido a que los sustratos presentan una elevada carga capacitiva.
- Las corrientes de colector y emisor son iguales. Esto se consigue gracias a la inclusión de los transistores M_9 , M_{10} y M_{11} , que permiten sustraer del emisor el exceso de corriente inyectado por el transistor de referencia M_2 . Esto incrementa el área del elemento translineal, no obstante,

umenta significativamente su versatilidad, siendo ahora utilizable en un mayor número de lazos translineales, como en los basados en topologías apiladas, los que contengan polarizaciones tipo seguidor o los lazos implementados con celdas de Bernoulli [46].

El análisis del circuito podría hacerse de forma muy similar al del anterior elemento translineal, no obstante, a continuación se muestra una forma más elegante de análisis del circuito haciendo uso del principio translineal en sí mismo: Nótese que cuando los transistores trabajan en inversión débil, el circuito propuesto implementa un lazo translineal con topología apilada formado por los transistores M_5 , M_1 , M_2 y M_7 . La corriente de colector del elemento translineal corresponde con la corriente I_1 , de forma que ésta puede escribirse como

$$I_C = I_1 = \alpha \frac{I_{D7} I_{D2}}{I_{D5}} = \alpha \frac{I_2 I_{D2}}{I_1 - I_{D2}} \quad (3.33)$$

Donde α es un término que depende de la relación de aspecto entre los transistores del lazo y es igual a $\alpha = (I_{05} I_{01}) / (I_{02} I_{07})$. Debido a que la corriente del transistor de referencia I_{D2} está relacionada con las tensiones de puerta G y emisor E del elemento por

$$I_{D2} = I_{02} \frac{I_{07}}{I_2} e^{\frac{V_{GE}}{n u_T}} \quad (3.34)$$

La ecuación (3.33) puede reescribirse como

$$I_C = I_{01} \frac{I_{05}}{I_1 - I_{02} \frac{I_{07}}{I_2} e^{\frac{V_{GE}}{n u_T}}} e^{\frac{V_{GE}}{n u_T}} \quad (3.35)$$

Si la ecuación anterior se compara con la del elemento translineal de gran ancho de banda (3.27), puede verse que los exponentes de las funciones exponenciales de la ecuación (3.27) están divididos por n^2 en lugar de n , y los factores multiplicativos están afectados por raíces n -ésimas, mientras que en (3.35) no. La consecuencia de la primera diferencia es que la pendiente de la exponencial del HPTE en ejes semilogarítmicos es mayor que en el antiguo e igual a la de un transistor MOS, lo que le confiere una mayor compresión logarítmica y menor excursión de tensiones, mientras que la consecuencia de la segunda es un desplazamiento de la curva característica hacia la izquierda, lo que permite trabajar con tensiones de alimentación más reducidas. Estas consecuencias también son fácilmente deducibles de los cambios de la topología del circuito, en el que los transistores están libres del efecto sustrato y por tanto no sufren degradación de su transconductancia ni aumentos en su tensión umbral.

En inversión fuerte, la función de transferencia del circuito puede obtenerse de forma similar a la ecuación (3.32), resultando,

$$I_C = \frac{\beta}{2n} \left(r_0 \frac{I_{02} I_{07}}{I_2} e^{\frac{V_{GE}}{n u_T}} - r_0 I_1 - V_{TO} \right)^2 \quad (3.36)$$

Donde, una vez más, desaparecen los términos n^2 en las exponenciales y los factores multiplicativos dejan de estar afectados por raíces n -ésimas.

Debido a las similitudes en la topología, el ajuste de este circuito es bastante similar al del elemento translineal de gran ancho de banda. Es por esto que no se entrará en detalles de ajuste y se remite al lector a las secciones 3.3.3 y 3.3.5 para encontrar, aproximadamente, el efecto de cada uno de los parámetros sobre la curva del circuito.

El cuadro 3.3 muestra los parámetros del circuito hallados mediante simulación para un proceso AMIS CO35U-A de 0,35 μm . Este proceso de fabricación es diferente del proceso con el que se fabricó el anterior elemento translineal y permite trabajar con pozos P a diferente potencial, con lo

Parámetro	Valor	Parámetro	Valor
$W/L M_1$	$6/2 \mu m$	$W/L M_8$	$3/3 \mu m$
$W/L M_2$	$4/2 \mu m$	$W/L M_9$	$3/3 \mu m$
$W/L M_3$	$3/3 \mu m$	$W/L M_{10}$	$3/3 \mu m$
$W/L M_4$	$3/3 \mu m$	$W/L M_{11}$	$3/3 \mu m$
$W/L M_5$	$3/3 \mu m$	I_1	$4 \mu A$
$W/L M_6$	$3/3 \mu m$	I_2	$5 \mu A$
$W/L M_7$	$4/2 \mu m$	C_1	$630 fF$

Cuadro 3.3: Parámetros circuitales del HPTE hallados mediante simulación para el proceso CMOS AMIS C035U-A de $0,35 \mu m$.

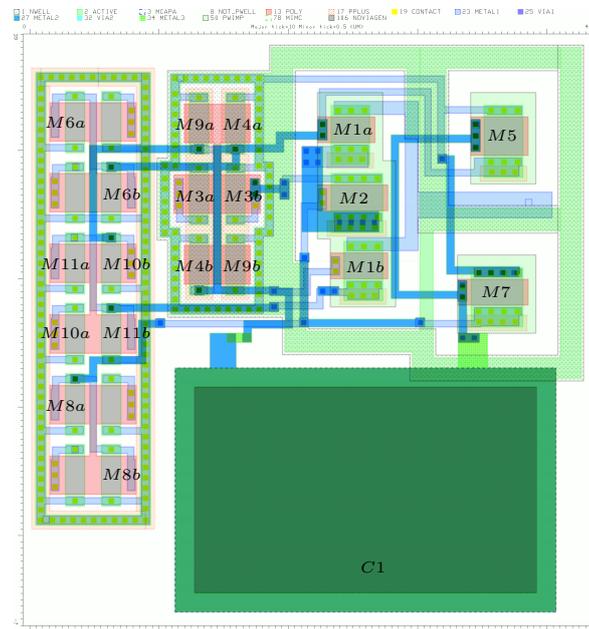


Figura 3.38: Layout del HPTE. El elemento está inscrito en un rectángulo de $44,5 \mu m \times 43 \mu m$. Los transistores sin etiquetar son diodos de carga para polarizar V_1 y V_2 con corriente.

que se pueden tener transistores NMOS operando con múltiples tensiones de sustrato. En cualquier caso, para tecnologías de pozo N, mucho más comunes, una versión complementaria del elemento propuesto se diseñó y simuló con resultados satisfactorios [44].

Al igual que en el caso del anterior elemento, el valor adecuado del condensador C_1 se encontró realizando una batería de simulaciones AC *post-layout* para determinar la relación entre el margen de fase y la capacidad. Como puede comprobarse en el esquema, en este elemento sólo se utilizó una capacidad de estabilización en lugar de las dos del anterior elemento. A pesar de ello, el margen de fase es adecuado y no se han observado inestabilidades ni transitorios anómalos durante las pruebas.

Este elemento translineal se integró directamente como parte de la *Reconfigurable Translinear Cell* (RTC) mostrada en la sección 3.4.3. El layout del elemento puede verse en la figura 3.38, donde se indican los diferentes componentes que aparecen en el esquema. El área total es de $44,5 \mu m \times 43 \mu m$ y, como puede comprobarse, se hace un uso intensivo de estructuras con centroide común para mitigar el impacto del desapareamiento. Por este motivo, y por el hecho que la capacidad por área de los condensadores de esta tecnología es un 50 % mayor que en la tecnología C035M-A con la se

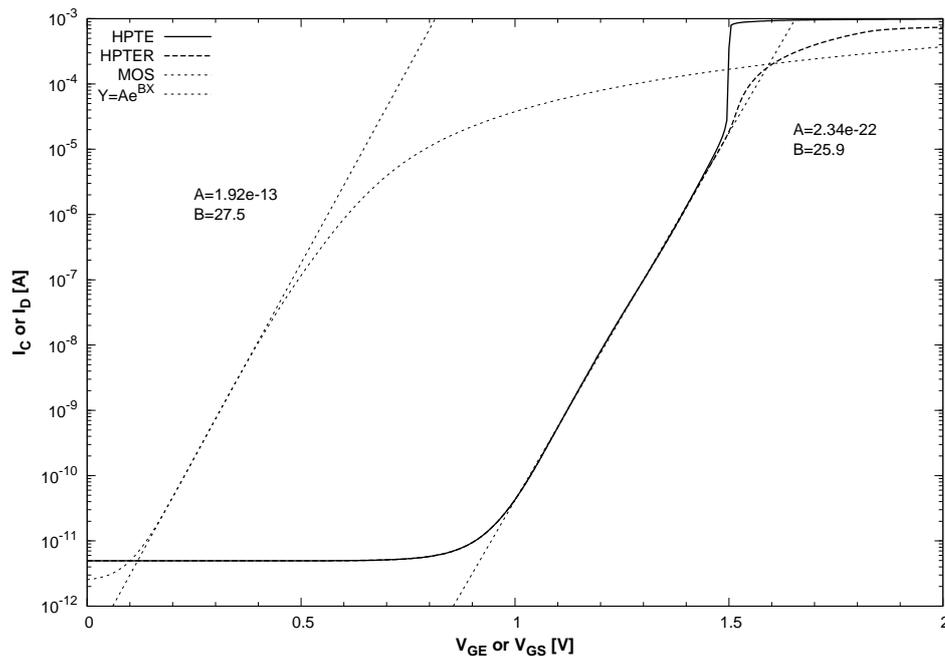


Figura 3.39: Simulación de la curva característica del elemento translineal propuesto (HPTE), del mismo pero con degeneración de emisor (HPTER) y la de un MOS (MOS) de las mismas dimensiones que el transistor de salida M_1 del elemento translineal. El eje vertical indica la corriente de colector (o drenador) y el horizontal la tensión puerta-emisor (o puerta-surtidor). Las rectas punteadas indican una aproximación, en mínimos cuadrados, de una función exponencial a las dos características.

fabricó el anterior elemento, el área relativa del condensador respecto a la del elemento translineal es significativamente inferior.

Resultados de simulación

La figura 3.39 muestra la característica de la nueva propuesta de elemento translineal, la del mismo pero añadiendo una resistencia de emisor y a modo de ejemplo, la de un transistor MOS con las mismas dimensiones que el transistor de salida M_1 . Si comparamos esta gráfica con la equivalente del elemento de gran ancho de banda (figura 3.14), podemos ver diferencias importantes, algunas de ellas predichas por las ecuaciones (3.35) y (3.36):

- Las tensiones de alimentación pueden ser menores (nótese que para las mismas corrientes de salida este elemento requiere tensiones puerta-emisor significativamente inferiores), lo que constituye una ventaja en aplicaciones de bajo consumo.
- La transconductancia es mayor (nótese que la pendiente de la exponencial en ejes semilogarítmicos es mayor), lo que proporciona una mayor compresión logarítmica y una menor excursión de tensiones, resultando en una menor susceptibilidad a capacidades parásitas.
- La zona de gran transconductancia, en la parte superior de la curva característica, es mayor. Esto limita la región de operación con altas corrientes, no obstante, téngase en cuenta que la resistencia de conducción de las matrices de conmutación que forman parte de cualquier FPAA para enrutar las señales ayudarán a reducir notablemente la transconductancia con altas corrientes.

Para tener en cuenta el efecto de la resistencia de conducción de las matrices de conmutación, se muestra, en la misma gráfica, la curva característica del elemento translineal con una resistencia de emisor

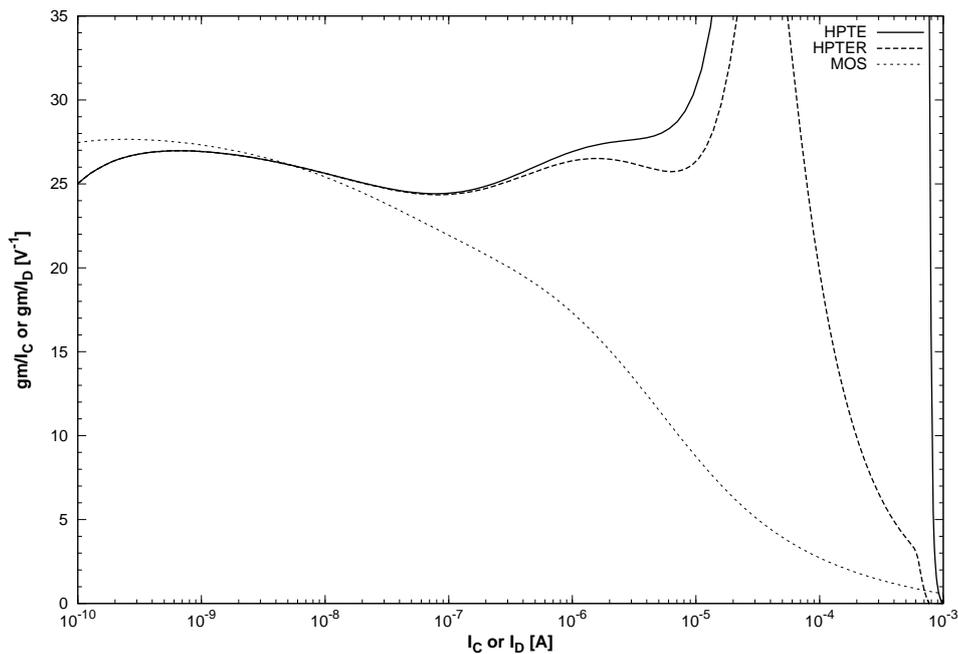


Figura 3.40: Transconductancia normalizada del elemento translineal propuesto (HPTE), del mismo pero con degeneración de emisor (HPTEr) y la de un MOS de las mismas dimensiones que el transistor de salida M_1 en función de la corriente de colector (o drenador).

de 500Ω . Este valor se escogió mediante simulación y permite extender la característica exponencial útil del elemento en más de una década. Esta técnica es conocida bajo el nombre de degeneración de emisor y viene utilizándose desde hace tiempo con otros propósitos en amplificadores sencillos. En el momento de realizar la implementación del circuito, se buscó el tamaño adecuado en las puertas de paso de las matrices de conmutación que proporcionaban dicho valor de resistencia.

La figura 3.40 muestra una simulación de la transconductancia normalizada del elemento sin degeneración de emisor, con degeneración y la de un transistor con las mismas dimensiones que M_1 . Como puede comprobarse, la transconductancia es mucho más constante en el elemento translineal que en el transistor MOS, y al contrario que con el elemento translineal de gran ancho de banda, es de la misma magnitud.

La figura 3.41 muestra una simulación *post-layout* del diagrama de Bode de amplitud y fase del elemento translineal con una corriente de colector $I_C = 20 \mu A$. Este diagrama se encontró igual que el del anterior elemento translineal, esto es, fijando la corriente de colector y aplicando una tensión de estímulo a la puerta. La ganancia se define igual que con el anterior elemento (véase la página 94), esto es, como el cociente entre las tensiones de colector y puerta y la fase como su diferencia de fases. Es muy importante asegurar un margen de fase razonable en el elemento translineal o los lazos translineales pueden mostrar tendencias oscilatorias o transitorios anormalmente largos. De hecho, algunas otras topologías de elemento translineal tuvieron que ser descartadas por no poder asegurar un margen de fase razonable (véase [44]). Con la capacidad mostrada en el cuadro 3.3, este elemento muestra un margen de fase de unos 80° .

3.4.3. Celda Translineal Reconfigurable (RTC)

Introducción

La *Reconfigurable Translinear Cell* (RTC) [47] tiene por objetivo implementar, en una única celda, todos los elementos necesarios para dotar al HPTE de la circuitería auxiliar necesaria para

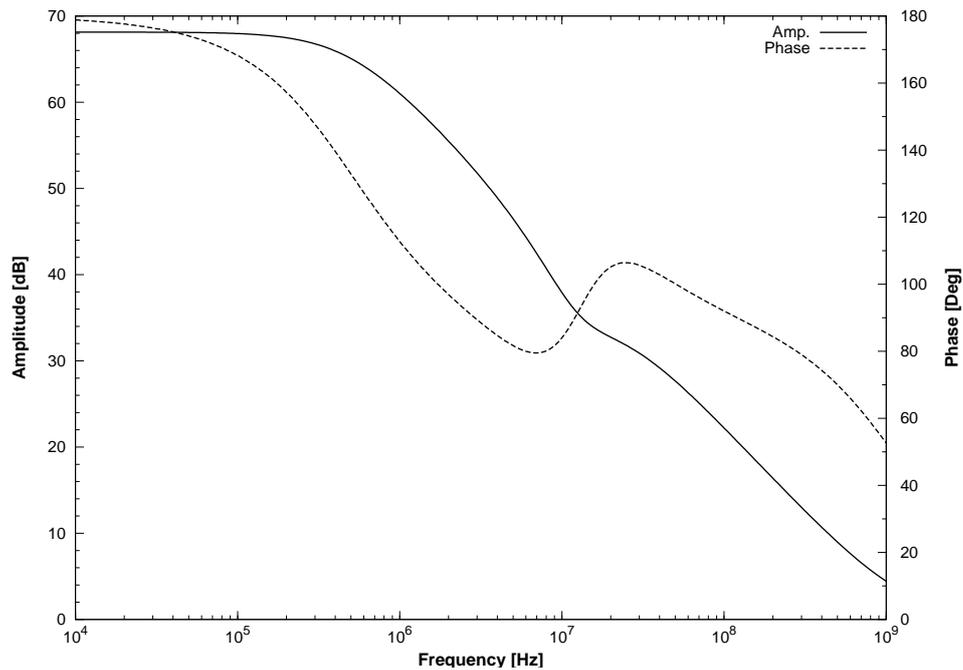


Figura 3.41: Diagrama de Bode de amplitud y fase del HPTE. La corriente de entrada tiene una componente en continua de $20\mu A$.

implementar lazos translineales y filtros *log-domain* sin necesidad, al contrario que otras muchas propuestas, de componentes externos o celdas adicionales. El tener una única celda permite construir una FPAA con una estructura extremadamente regular, rápida de diseñar e implementar. Esto implica que la RTC debe ser capaz de implementar, por sí misma, todos los bloques necesarios para realizar las operaciones del procesado analógico de señal en el dominio logarítmico.

La decisión de utilizar una arquitectura en la que todos los elementos estén integrados está respaldada por varias razones, como la necesidad de proporcionar corrientes de polarización ajustables al HPTE (lo que obliga de hecho a tener fuentes de corriente programables en cada RTC) y el pequeño tipo de bloques funcionales auxiliares requeridos en el diseño translineal (fuentes, espejos de corriente y condensadores). La primera razón ya supone colocar fuentes de corriente programables (y la memoria para controlarlas) en cada celda, con lo que el coste de añadir el resto de elementos auxiliares no es muy alto. Además, esta filosofía tiene algunas ventajas, como poder construir fácilmente circuitos menos dispersos, con conexiones locales, y con ello reducir la susceptibilidad a interferencias y parásitos. El inconveniente, no obstante, está en la eficiencia de los recursos. Tener una única celda reconfigurable impide optimizar las densidades relativas de cada una de los bloques en función de su probabilidad de utilización.

Arquitectura

La arquitectura de la RTC puede verse en la figura 3.42. La celda se diseñó para ser colocada en una matriz regular direccionada por filas/columnas, al igual que las memorias digitales. Cada celda incorpora siete registros de configuración (REG) que almacenan el estado de los interruptores y puertas de paso que dotan a la celda de la posibilidad de reconfiguración. Para permitir la programación de cada uno de estos registros de forma individual es necesario cargar los datos a programar en el bus *data bus*, seleccionar un registro dentro de la celda mediante el bus *regsel bus* y entonces seleccionar una celda en concreto mediante la activación de las señales de direccionamiento *x* e *y*. Los buses *data bus* y *regsel bus* son comunes a todas las RTC, mientras que las señales de direccionamiento *x* e *y* se

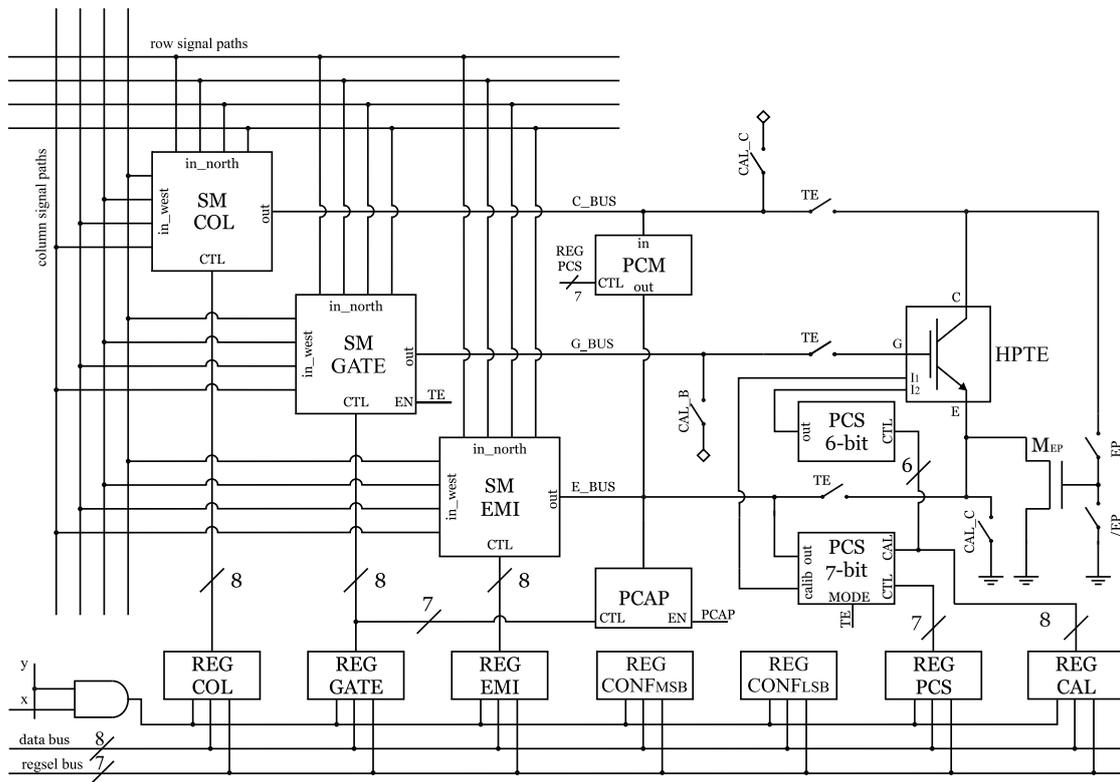


Figura 3.42: Arquitectura de la *Reconfigurable Translinear Cell* (RTC). La figura muestra los bloques principales de la RTC, como el elemento translineal (HPTE), tres matrices de conmutación (SM), una capacidad programable (PCAP), un espejo de corriente programable (PCM), dos fuentes de corriente programables (PCS), varios registros de configuración (REG) y varios elementos auxiliares.

comparten, respectivamente, por todas las celdas pertenecientes a la misma fila / columna. Por otra parte, el bus de señal, encargado de conectar las señales analógicas de entrada y salida de las diferentes celdas entre sí, consta de cuatro líneas de señal horizontales y cuatro verticales, compartidas también por las RTC pertenecientes a la misma fila / columna, respectivamente. El resto de líneas de señal y polarizaciones auxiliares se comparten por todas las RTC de la FPAA. Esta arquitectura es adecuada para FPAA de tamaño pequeño o mediano, pero para FPAA de grandes dimensiones puede llegar a ser necesario algún tipo de enrutado multinivel como el que se utiliza habitualmente en las FPGA.

Los principales bloques de la FPAA son seis:

- El elemento translineal (HPTE), explicado en la sección 3.4.2. Éste se encarga de realizar la compresión / expansión logarítmica / exponencial.
- Las dos fuentes de corriente programables (PCS). Una de ellas se encarga, en exclusiva, de generar la corriente de polarización I_2 del elemento translineal, mientras que la otra puede utilizarse para generar I_1 o como fuente de corriente NMOS / PMOS de propósito general. La programabilidad de ambas fuentes permiten calibrar de forma eficiente el despareamiento entre los elementos translineales para obtener así circuitos de baja distorsión.
- El espejo de corriente programable (PCM). Éste permite copiar y / o cambiar el sentido de la corriente a su entrada. Puede tener corrientes en cualquier sentido a su entrada y, independientemente, puede generar corrientes de cualquier sentido a su salida. Además, permite seleccionar entre varios factores fijos de amplificación de corriente.

- La capacidad programable (PCAP). Ésta es una capacidad ajustable con 7 bits de precisión que puede utilizarse para implementar funciones dinámicas, como filtros *log-domain*.
- Las tres matrices de conmutación (SM). Éstas permiten conectar los terminales de emisor, puerta y colector del elemento translineal y de los otros bloques analógicos en una multitud de combinaciones, así como servir para re-enrutar líneas de señal hacia otras filas o columnas en caso de congestión.
- Registros de configuración (REG), utilizados para almacenar la configuración de los diferentes bloques que componen la RTC. Están compuestos por celdas de memoria *full-custom* SRAM *write-only* de cinco transistores.

La celda también consta de un buen número de componentes auxiliares, como puertas de paso que ayudan a simplificar la calibración del elemento translineal, o un transistor específico para permitir implementar polarizaciones tipo *Enz-Punzenberger* (véase la figura 3.4). Además, con el objetivo de reducir el área ocupada por los registros de configuración, la funcionalidad de muchos de ellos está compartida entre diferentes bloques, de forma que no todos los bloques pueden utilizarse simultáneamente. Las siguientes combinaciones son posibles: PCM / PCAP y PCS / PCAP. Se escogieron estas combinaciones porque son muy comunes en topologías de lazos translineales. Las matrices de conmutación de emisor y colector constan de registros independientes y pueden utilizarse en todo momento. Para más información sobre el mapeado concreto de cada uno de los registros de configuración puede consultarse el trabajo de Michalik [48].

Detalles de implementación

Los detalles de implementación de la RTC están recogidos extensamente en [44, 48], así como las simulaciones de cada uno de los bloques que la componen. A pesar de la complejidad de la RTC y la sofisticación de los bloques, ninguno de ellos por sí mismo, a excepción del elemento translineal, constituye un trabajo nuevo u original y por tanto, no cabe dentro de esta tesis. En este apartado sólo se recogen las características que se han considerado más relevantes o destacables de la RTC con el propósito de transmitir al lector una información autocontenida.

El *layout* de la RTC puede verse en la figura 3.43. Ocupa una área de $232 \mu m \times 159 \mu m$ y los bloques más grandes corresponden al espejo de corriente programable (PCM) y a la fuente de corriente programable (PCS) de 7 bits. La razón de esto es que se requiere un buen apareamiento en estos bloques para no degradar la característica de la FPAA. En un circuito translineal típico, como los que se muestran en la siguiente sección, el desapareamiento en el PCM introduciría un error de *offset* en algunas corrientes del lazo, mientras que el desapareamiento en la PCS afectaría a la precisión del elemento translineal y en la resolución efectiva de las fuentes de corriente implementadas con ella.

Para facilitar el conexionado entre las diferentes RTC, el enrutado de todas las señales se hizo de tal manera que éstas quedaran automáticamente conectadas con simplemente poner una celda al lado de la otra. Con esto, las FPAA construidas con esta celda pueden escalarse con extrema facilidad.

3.4.4. Matriz Analógica Translineal Reconfigurable

Arquitectura

Partiendo de una celda reconfigurable capaz de realizar todas las funciones requeridas en el campo del procesado analógico, la arquitectura de la FPAA es muy sencilla. Se implementó una matriz de 5×5 RTC y se diseñó una celda de E/S, que se replicó un total de 10 veces a lo largo de dos de los lados de la matriz, con el propósito de conectar las líneas de señal de la FPAA con los *pads* del chip y el mundo exterior. Esta celda de E/S se diseñó teniendo en cuenta las especificaciones típicas de los componentes discretos y el instrumental de laboratorio disponible para poder así simplificar el

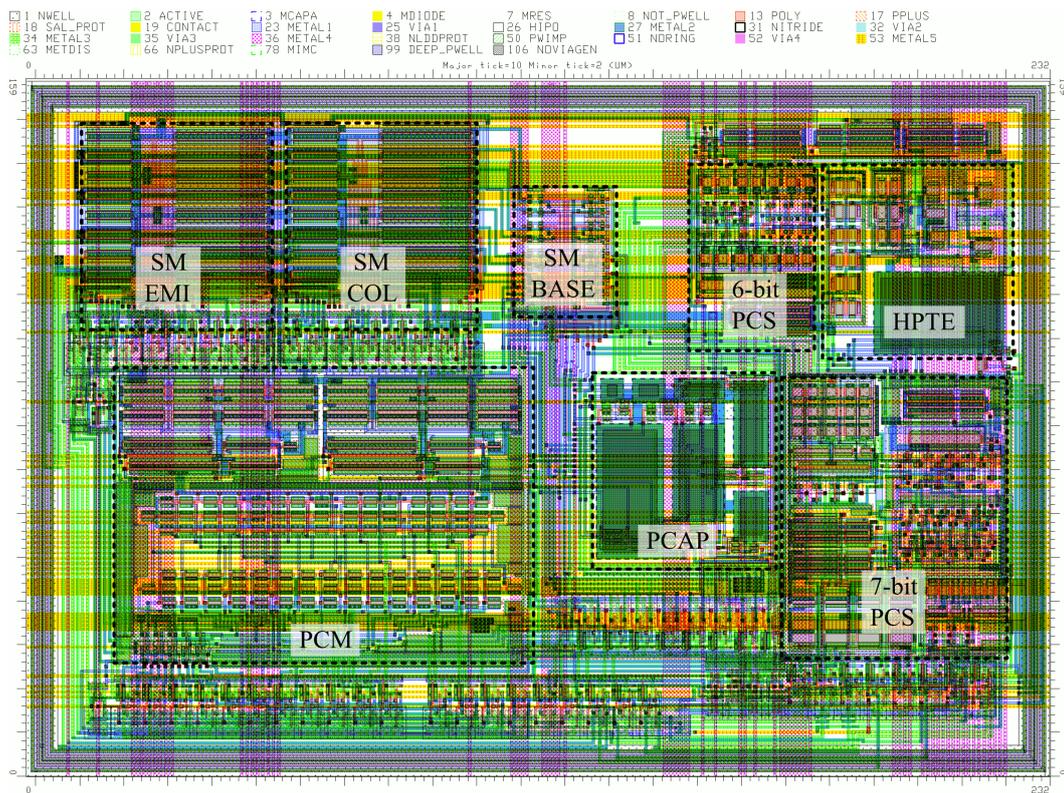


Figura 3.43: Layout de la Reconfigurable Translinear Cell (RTC). Se muestra la disposición de cada uno de los bloques básicos. Los registros de configuración están dispersos por toda la celda para reducir el total del área ocupada. Las dimensiones de la celda son de $232 \mu\text{m} \times 159 \mu\text{m}$.

proceso de medida y caracterización del circuito integrado y permitir una conexión directa entre la FPAA y la mayoría de periféricos. La celda es capaz de realizar las siguientes funciones:

- Desactivarse y aislar la entrada de la salida si no se utiliza.
- Puerta de paso, conectando de forma transparente una de las líneas de la FPAA con el mundo exterior.
- *Buffer* de corriente de entrada, permitiendo entrar con corrientes altas y cómodas de generar a la FPAA.
- *Buffer* de corriente de salida, permitiendo salir con corrientes elevadas al exterior, capaces de manejar las elevadas cargas capacitivas del reino discreto.
- Convertidor tensión / corriente, para poder entrar a la FPAA directamente en tensión.
- Convertidor corriente / tensión, para poder salir de la FPAA directamente en tensión.

La programación de las RTC requiere 25 líneas digitales (8 del *data bus*, 7 del *regsel bus*, 5 del bus *x* y otras 5 del bus *y*). Para programar las celdas de E/S hacen falta dos líneas adicionales de direccionamiento (una línea *x* adicional y otra *y*). Para reducir el total de 27 líneas a un número razonable que no agotara el número de *pads* disponibles se diseñó un circuito digital para permitir la programación de la FPAA en modo serie, es decir, cada registro de cada RTC a un tiempo. Esta técnica conserva la posibilidad de programar partes de la FPAA mientras otras siguen funcionando, pero permite reducir a sólo cuatro los *pads* digitales necesarios para programar la FPAA (*CLK*, *DATA*,

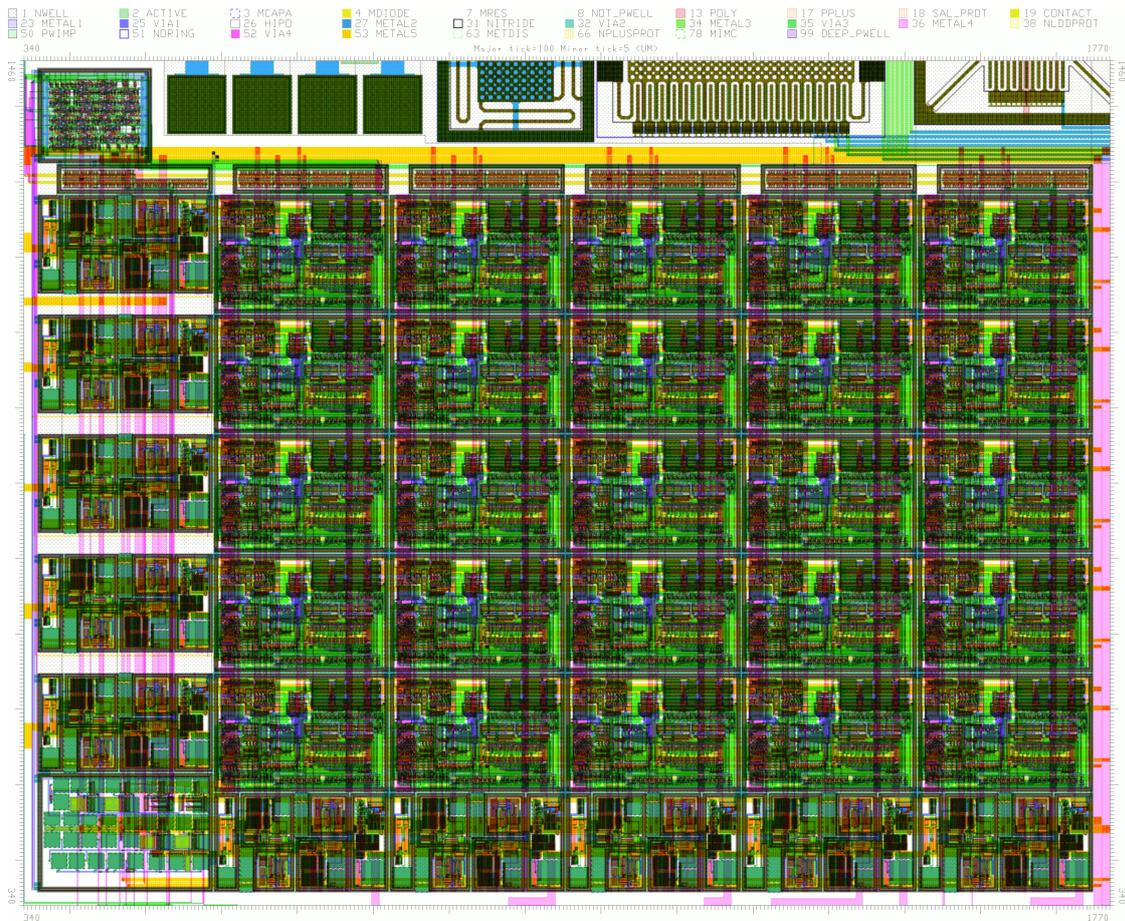


Figura 3.44: *Layout* de la FPAA translineal. La estructura regular en el centro es la matriz de 5×5 RTC, las cinco celdas en la izquierda y las cinco de la parte inferior son los bloques de E/S. La estructura en la parte superior izquierda es el circuito de programación y la de la parte inferior izquierda es el bloque con las polarizaciones. La FPAA está inscrita en un rectángulo de dimensiones $1430 \mu\text{m} \times 1095 \mu\text{m}$ y el área total es de $1,43 \text{ mm}^2$.

WE y *RESET*). La señal *CLK* es el reloj que carga el valor de *DATA* en el registro de desplazamiento del convertidor serie / paralelo, la señal *WE* debe activarse para indicar que la carga del registro de desplazamiento ha concluido y el valor debe escribirse en la celda y la señal de *RESET* programa todos los registros de la FPAA a un valor seguro por defecto.

Detalles de implementación

Gracias a que el *layout* de la RTC se hizo pensando en que la matriz de RTC quedara automáticamente conectada al colocar las celdas una al lado de la otra, la implementación de la matriz no llevó esfuerzo alguno. En la celda de E/S, los *buffers* de corriente se implementaron con espejos de corriente y puertas de paso de forma que el sentido de la corriente fuera reversible. El convertidor tensión / corriente se hizo mediante un amplificador operacional y un circuito de Howland (véase el artículo de Toumazou *et al.* [49] para una breve descripción) y el convertidor corriente / tensión mediante un operacional y una resistencia. Estos amplificadores operacionales tienen una entrada y salida *rail-to-rail* y constan de una etapa de entrada basada en la de Blauschild [50] y una etapa de salida como la publicada por Hogervorst *et al.* [51]. Pese a no disponer de una g_m constante, las simulaciones indican que su comportamiento es adecuado para la aplicación. En caso de requerir una

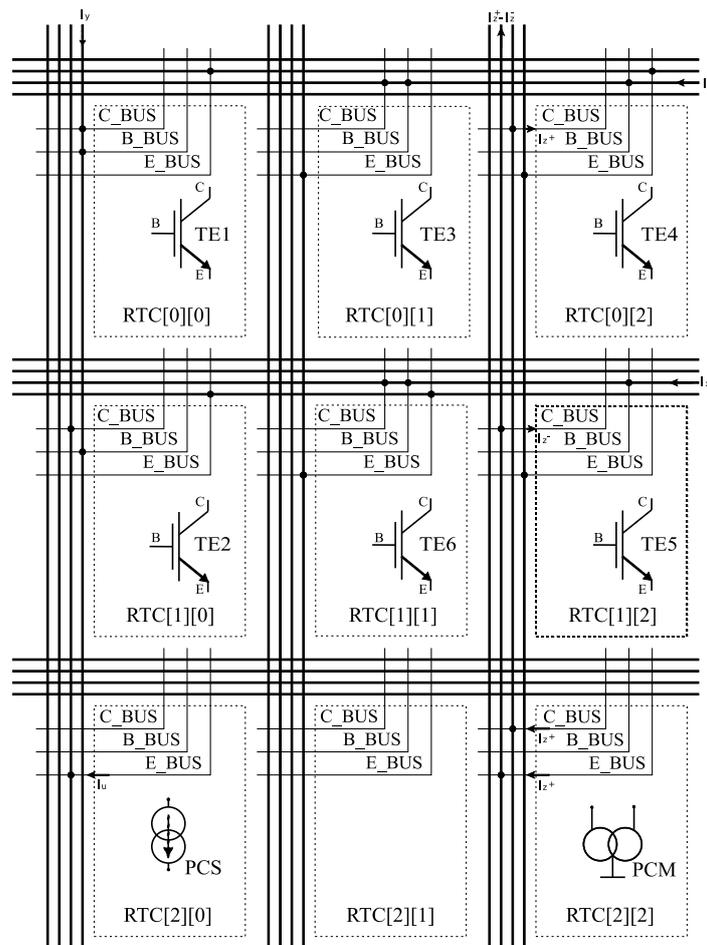


Figura 3.45: Mapeado en una parte de la FPAA de un multiplicador de dos cuadrantes. I_x^+ y I_x^- son las entradas diferenciales, I_y es la entrada unipolar, e I_z es la salida.

característica más uniforme a lo largo de todo el modo común de entrada, sería necesario utilizar circuitos más sofisticados (véase, por ejemplo, el trabajo de Ramirez-Angulo *et al.* [52]).

Al igual que la RTC, la celda consta de sus propios registros de configuración para permitir almacenar el estado de los interruptores y las puertas de paso que configuran la celda con la función deseada. El circuito digital de programación se escribió en *Verilog* a nivel de puerta para permitir su autoenrutado con las herramientas de diseño disponibles y reducir así el tiempo de diseño de la FPAA. También se añadieron a la FPAA *buffers* de corriente adicionales para simplificar la polarización de las RTC y un buen número de condensadores de desacoplamiento para reducir posibles interferencias entre los diferentes bloques.

El *layout* de la FPAA puede verse en la figura 3.44. Se identifican las estructuras descritas, como la matriz 5×5 de celdas translineales reconfigurables, el circuito de E/S en los costados izquierdo e inferior de la matriz, el bloque de polarización y desacoplo en la parte inferior izquierda y el circuito de programación en la parte superior izquierda. El área total de la FPAA es de $1,43 \text{ mm}^2$.

Resultados

Desafortunadamente, a causa de varios retardos en el proceso de fabricación del circuito integrado que contenía la FPAA, la RTC y el HPTE, éstos no estaban disponibles para realizar medidas experimentales en el momento de elaboración de la tesis. No obstante, los principios de funciona-

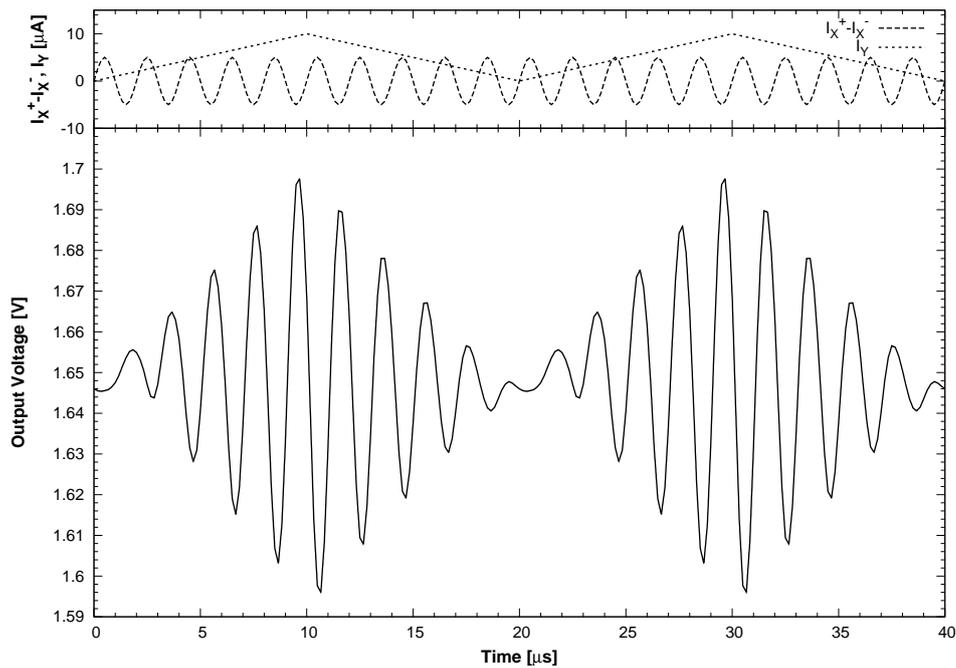


Figura 3.46: Simulación de un multiplicador de dos cuadrantes en la FPAA. $I_x^+ - I_x^-$ es una senoide de 500 kHz y $5\ \mu\text{A}$ de amplitud e I_y es una onda triangular de 50 kHz que varía entre $0\ \mu\text{A}$ y $10\ \mu\text{A}$. La tensión de salida muestra una senoide modulada en amplitud. La ganancia del convertidor I/V es de $100\ \mu\text{A}/\text{V}$.

miento del HPTE son similares al del HBTE, y la solidez de estos últimos sí que está demostrada experimentalmente.

La FPAA se simuló extensamente a nivel de transistor *post-layout*, incluyendo los *pads* de conexión, para garantizar el correcto funcionamiento del circuito integrado. Debido a la gran complejidad del circuito, la simulación tuvo que hacerse aprovechando las herramientas de simplificación de *netlist* de *UltraSim*®, y aún así, cada simulación tardaba aproximadamente dos días pese a disponer de computadoras de última generación. De lejos, la mayor parte del tiempo de simulación la llevaba la programación de la FPAA. Para permitir la programación dentro del entorno de simulación, se escribió un *testbench* en *Verilog* que generaba las cuatro señales digitales que controlan la FPAA. Las señales analógicas se introducían directamente en los *pads*.

La figura 3.45 muestra el mapeado de un multiplicador de dos cuadrantes en una región de 3×3 RTC de la FPAA. El esquema de un multiplicador translineal de dos cuadrantes puede verse en la figura 10 del reporte técnico de Minch [9]. Utiliza seis elementos translineales, un espejo de corriente para proporcionar una salida unipolar, y una fuente de corriente para generar la corriente unitaria. Nótese que varias RTC también hacen la función de re-enrutar señales conectando a la vez varias líneas de los buses de señal. Las celdas de E/S de entrada se configuraron como puertas de paso y la de salida como convertidor I/V con una ganancia de $100\ \mu\text{A}/\text{V}$, de forma que fuera posible entrar en modo corriente y salir en modo tensión. Las entradas I_x^+ y I_x^- se excitaron con una polarización constante de $5\ \mu\text{A}$ sumada a una senoide de 500 kHz y $2,5\ \mu\text{A}$ de amplitud y fase opuesta; mientras que en la entrada I_y se inyectó una onda triangular de 50 kHz que variaba entre $0\ \mu\text{A}$ y $10\ \mu\text{A}$. La corriente unitaria implementada con la PCS se fijó a $10\ \mu\text{A}$. Como era de esperar, la tensión de salida, mostrada en la simulación de la figura 3.46, es una senoide de 50 mV ($5\ \mu\text{A}$) de amplitud modulada por una onda triangular. Nótese que existe cierta asimetría causada, probablemente, por limitaciones en el PCM.

3.5. Conclusiones y trabajo futuro

En este capítulo de la tesis se han mostrado dos nuevos elementos translineales basados en la predistorsión de la curva característica de un transistor MOS. Estos nuevos elementos translineales sirven para proporcionar tanto dispositivos de alto ancho de banda, muy por encima de los anchos de banda obtenidos con transistores MOS, como dispositivos de alta precisión, con características que siguen el principio translineal hasta los límites de transconductancia de los dispositivos.

Se ha demostrado experimentalmente el principio de funcionamiento de los elementos translineales en aplicaciones tales como multiplicadores, divisores y filtros paso-bajo, revelando unos anchos de banda de hasta 22 MHz limitado por los *pads* de interconexión y una precisión de varias décadas limitada por las características de los *buffers* de salida. Además, con el elemento translineal propuesto se ha desarrollado una celda translineal reconfigurable capaz de realizar las funciones más habituales del procesamiento analógico de señal y con ella se ha construido una FPAA translineal capaz de implementar filtros, multiplicadores, divisores y síntesis de polinomios.

En un futuro inmediato se espera, en cuanto los circuitos integrados estén fabricados, demostrar empíricamente el funcionamiento de la FPAA y de todos los componentes integrantes de la celda translineal reconfigurable (RTC).

Referencias

- [1] B. Gilbert. “Translinear Circuits: A proposed Classification”. *Electronics Letters*, tomo 11, nº 1, (1975), páginas 14–16. Ver también la errata en el tomo 11 nº 6, (1975), página 136.
- [2] B. Gilbert. “A new wide-band amplifier technique”. *Solid-State Circuits, IEEE Journal of*, tomo 3, nº 4, (1968), páginas 353–365. ISSN 0018-9200.
- [3] B. Gilbert. “A precise four-quadrant multiplier with subnanosecond response”. *Solid-State Circuits, IEEE Journal of*, tomo 3, nº 4, (1968), páginas 365–373. ISSN 0018-9200.
- [4] Robert W. Adams. “Filtering in the Log Domain”. En *63rd Convention Audio Engineering Society*, 1470. 1979 April.
- [5] E. Seevinck. “Companing current-mode integrator: a new circuit principle for continuous-time monolithic filters”. *Electronics Letters*, tomo 26, nº 24, (1990), páginas 2046–2047. ISSN 0013-5194.
- [6] W.A. Serdijn, J. Mulder, A.C. van der Woerd y A.H.M. van Roermund. “A wide-tunable translinear second-order oscillator”. *Solid-State Circuits, IEEE Journal of*, tomo 33, nº 2, (1998), páginas 195–201. ISSN 0018-9200.
- [7] A. Payne, A. Thanachayanont y C. Papavassiliou. “A 150-MHz translinear phase-locked loop”. *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on [see also Circuits and Systems II: Express Briefs, IEEE Transactions on]*, tomo 45, nº 9, (1998), páginas 1220–1231. ISSN 1057-7130.
- [8] C. Enz y M. Punzenberger. “1-V Log Domain Filters”. Informe técnico, ALPINS, 1998. También disponible en el libro “Analog circuit design: volt electronics; mixed-mode systems; low-noise and RF power amplifiers for telecommunication”.
- [9] Bradley A. Minch. “Analysis and Synthesis of Static Translinear Circuits”. Informe técnico, School of Electrical and Computer Engineering, Cornell University, Ithaca, New York, 2000.
- [10] V.W. Leung y G.W. Roberts. “Effects of transistor nonidealities on high-order log-domain ladder filter frequency responses”. *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on [see also Circuits and Systems II: Express Briefs, IEEE Transactions on]*, tomo 47, nº 5, (2000), páginas 373–387. ISSN 1057-7130.

- [11] Andreas G. Andreou y Kwabena A. Boahen. “Translinear circuits in subthreshold MOS”. *Analog Integrated Circuits and Signal Processing*, tomo 9, n° 2, (1996), páginas 141–166.
- [12] E. Seevinck y R.J. Wiegink. “Generalized translinear circuit principle”. *Solid-State Circuits, IEEE Journal of*, tomo 26, n° 8, (1991), páginas 1098–1102. ISSN 0018-9200.
- [13] J. Mulder, A.C. van der Woerd, W.A. Serdijn y A.H.M. van Roermund. “Application of the back gate in MOS weak inversion translinear circuits”. *Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on [see also Circuits and Systems I: Regular Papers, IEEE Transactions on]*, tomo 42, n° 11, (1995), páginas 958–962. ISSN 1057-7122.
- [14] T. Serrano-Gotarredona, B. Linares-Barranco y A.G. Andreou. “A general translinear principle for subthreshold MOS transistors”. *Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on [see also Circuits and Systems I: Regular Papers, IEEE Transactions on]*, tomo 46, n° 5, (1999), páginas 607–616. ISSN 1057-7122.
- [15] D.R. Frey. “Log-domain filtering: An approach to current-mode filtering”. *Circuits, Devices and Systems, IEE Proceedings G*, tomo 140, n° 6, (1993), páginas 406–416. ISSN 0956-3768.
- [16] Jan Mulder, Wouter A. Serdijn, Albert C. van der Woerd y Arthur H. M. van Roermund. “Dynamic Translinear Circuits: An Overview”. *Analog Integrated Circuits and Signal Processing*, tomo 22, n° 2, (2000), páginas 111–126.
- [17] E.M. Drakakis, A.J. Payne y C. Toumazou. ““Log-domain state-space”: A systematic transistor-level approach for log-domain filtering”. *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on [see also Circuits and Systems II: Express Briefs, IEEE Transactions on]*, tomo 46, n° 3, (1999), páginas 290–305. ISSN 1057-7130.
- [18] J. Mulder, A.C. van der Woerd, W.A. Serdijn y H.M. van Roermund. “General current-mode analysis method for translinear filters”. *Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on [see also Circuits and Systems I: Regular Papers, IEEE Transactions on]*, tomo 44, n° 3, (1997), páginas 193–197. ISSN 1057-7122.
- [19] D. Fernández y J. Madrenas. “A MOSFET- Based Wide Dynamic Range Translinear Element”. *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on [see also Circuits and Systems II: Express Briefs, IEEE Transactions on]*. Aceptado para publicación.
- [20] D. Fernández y J. Madrenas. “Método y Circuito para Implementar un Elemento Translineal con Tecnología CMOS”. 2006 25 de Octubre. Patente provisional P200602780.
- [21] S.A.P. Haddad y W.A. Serdijn. “High-frequency dynamic translinear and log-domain circuits in CMOS technology”. En *Circuits and Systems, 2002. ISCAS 2002. IEEE International Symposium on*, tomo 3, 2002, páginas III–313–III–316.
- [22] G.D. Duerden, G.W. Roberts y M.J. Deen. “The development of bipolar log domain filters in a standard CMOS process”. En *Circuits and Systems, 2001. ISCAS 2001. The 2001 IEEE International Symposium on*, tomo 1, 2001, páginas 145–148.
- [23] D. Dutta, W.A. Serdijn, Swapna Banerjee y Sriram Gupta. “A new CMOS current conveyors based translinear loop for log-domain circuit design”. En W.A. Serdijn, editor, *VLSI Design, 2005. 18th International Conference on*. 2005. ISSN 1063-9667, páginas 850–853.
- [24] E.A. Vittoz. “MOS transistors operated in the lateral bipolar mode and their application in CMOS technology”. *Solid-State Circuits, IEEE Journal of*, tomo 18, n° 3, (1983), páginas 273–279. ISSN 0018-9200.
- [25] *AustriaMicroSystems 0,35µm CMOS C35 Process Parameters*, 2003. Documento número ENG182, revision 2.0.

- [26] M.D. Godfrey. "CMOS device modeling for subthreshold circuits". *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on [see also Circuits and Systems II: Express Briefs, IEEE Transactions on]*, tomo 39, n° 8, (1992), páginas 532–539. ISSN 1057-7130.
- [27] E. Vittoz. "Origins of the EKV model". En *EKV Users' Meeting/Workshop*. 2004 November 4-5.
- [28] H. J. Oguey y S. Cserveny. "Modèle du transistor MOS valable dans un grand domaine de courants". *Bulletin des SEW/VSE*, , n° 3, (1982), páginas 113–116.
- [29] Marc Riera. *Desarrollo de un elemento translineal de alto ancho de banda y sus circuitos asociados*. Proyecto Fin de Carrera, Escola Tècnica Superior d'Enginyeria de Telecomunicació de Barcelona (ETSETB), Pendiente de presentación.
- [30] M. Punzenberger y C.C. Enz. "A compact low-power BiCMOS log-domain filter". *Solid-State Circuits, IEEE Journal of*, tomo 33, n° 7, (1998), páginas 1123–1129. ISSN 0018-9200.
- [31] H. Kutuk y Sung-Mo Kang. "A field-programmable analog array (FPAA) using switched-capacitor techniques". En *Circuits and Systems, 1996. ISCAS '96., 'Connecting the World', 1996 IEEE International Symposium on*, tomo 4. 1996, páginas 41–44 vol.4.
- [32] S. Koneru, E.K.F. Lee y C. Chu. "A flexible 2-D switched-capacitor FPAA architecture and its mapping algorithm". En E.K.F. Lee, editor, *Circuits and Systems, 1999. 42nd Midwest Symposium on*, tomo 1. 1999, páginas 296–299 vol. 1.
- [33] A. Bratt. "Motorola field programmable analogue arrays, present hardware and future trends". En *Evolvable Hardware Systems (Digest No. 1998/233), IEE Half-day Colloquium on*. 1998, páginas 1/1–1/5.
- [34] S.T. Chang, B.R. Hayes-Gill y C.J. Paull. "Multi-function block for a switched current field programmable analogue array". En B.R. Hayes-Gill, editor, *Circuits and Systems, 1996., IEEE 39th Midwest symposium on*, tomo 1. 1996, páginas 158–161 vol.1.
- [35] D. Vallancourt y Y.P. Tsividis. "Timing-controlled fully programmable analogue signal processors using switched continuous-time filters". *Circuits and Systems, IEEE Transactions on*, tomo 35, n° 8, (1988), páginas 947–954. ISSN 0098-4094.
- [36] K. Papathanasiou y A. Hamilton. "Novel Palmo analogue signal processing IC design techniques". En *Analog Signal Processing (Digest No: 1996/236), IEE Third one-day Colloquium on*. 1996, páginas 5/1–5/6.
- [37] C.A. Looby y C. Lyden. "Op-amp based CMOS field-programmable analogue array". *Circuits, Devices and Systems, IEE Proceedings -*, tomo 147, n° 2, (2000), páginas 93–99. ISSN 1350-2409.
- [38] E.K.F. Lee y P.G. Gulak. "A CMOS field-programmable analog array". *Solid-State Circuits, IEEE Journal of*, tomo 26, n° 12, (1991), páginas 1860–1867. ISSN 0018-9200.
- [39] E.K.F. Lee y P.G. Gulak. "A transconductor-based field-programmable analog array". En *Solid-State Circuits Conference, 1995. Digest of Technical Papers. 42nd ISSCC, 1995 IEEE International*. 1995, páginas 198–199, 366.
- [40] V.C. Gaudet y P.G. Gulak. "CMOS implementation of a current conveyor-based field-programmable analog array". En *Signals, Systems & Computers, 1997. Conference Record of the Thirty-First Asilomar Conference on*, tomo 2. 1997, páginas 1156–1159 vol.2.
- [41] C. Premont, R. Grisel, N. Abouchi y J.-P. Chante. "Current-conveyor based field programmable analog array". En R. Grisel, editor, *Circuits and Systems, 1996., IEEE 39th Midwest symposium on*, tomo 1. 1996, páginas 155–157 vol.1.
- [42] D.N. Abramson, J.D. Gray, S. Subramanian y P. Hasler. "A field-programmable analog array using translinear elements". En J.D. Gray, editor, *System-on-Chip for Real-Time Applications, 2005. Proceedings. Fifth International Workshop on*. 2005, páginas 425–428.

- [43] Dean R. D'Mello y P. Glenn Gulak. "Design Approaches to Field-Programmable Analog Integrated Circuits". *Analog Integrated Circuits and Signal Processing*, tomo 17, n° 1, (1998), páginas 7–34.
- [44] Dominik Kapusta. *Development of wide dynamic range fully CMOS translinear circuits*. Proyecto Fin de Carrera, Escola Tècnica Superior d'Enginyeria de Telecomunicació de Barcelona (ETSETB), 2008.
- [45] D. Fernandez, J. Madrenas, D. Kapusta y P. Michalik. "Exponential-enhanced characteristic of MOS transistors and its application to log-domain circuits". En *Circuits and Systems, 2008. ISCAS 2008. IEEE International Symposium on*. 2008, páginas 2334–2337.
- [46] E.M. Drakakis, A.J. Payne y C. Toumazou. "Log-domain filtering and the Bernoulli cell". *Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on [see also Circuits and Systems I: Regular Papers, IEEE Transactions on]*, tomo 46, n° 5, (1999), páginas 559–571. ISSN 1057-7122.
- [47] D. Fernandez, J. Madrenas, P. Michalik y D. Kapusta. "A Reconfigurable Translinear Cell Architecture for CMOS Field-Programmable Analog Arrays". En *Electronics, Circuits, and Systems, 2008. ICECS 2008. IEEE International Conference on*. 2008. Aceptado para publicación.
- [48] Piotr Michalik. *Development of a reconfigurable array for wide dynamic range fully CMOS translinear circuits*. Proyecto Fin de Carrera, Escola Tècnica Superior d'Enginyeria de Telecomunicació de Barcelona (ETSETB), 2008.
- [49] C. Toumazou, F.J. Lidgley y C.A. Makris. "Extending voltage-mode op amps to current-mode performance". *Circuits, Devices and Systems, IEE Proceedings G*, tomo 137, n° 2, (1990), páginas 116–130. ISSN 0956-3768.
- [50] Robert A. Blauschild. "Differential amplifier circuit with rail-to-rail capability". 1985. Patente US4532479.
- [51] R. Hogervorst, J.P. Tero, R.G.H. Eschauzier y J.H. Huijsing. "A compact power-efficient 3 V CMOS rail-to-rail input/output operational amplifier for VLSI cell libraries". *Solid-State Circuits, IEEE Journal of*, tomo 29, n° 12, (1994), páginas 1505–1513. ISSN 0018-9200.
- [52] J. Ramirez-Angulo, A. Torralba, R.G. Carvajal y J. Tombs. "Low-voltage CMOS operational amplifiers with wide input-output swing based on a novel scheme". *Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on*, tomo 47, n° 5, (2000), páginas 772–774. ISSN 1057-7122.