

T R I U

UPC
UNIVERSITAT
POLITÈCNICA
DE CATALUNYA



UNIVERSITAT POLITÈCNICA DE CATALUNYA
Departament d'Enginyeria Electrònica

**SENSORS I ESTRATÈGIES DE
TEST DE CIRCUITS DIGITALS
CMOS PER VIGILÀNCIA
DEL CONSUM**



BIBLIOTECA RECTOR GABRIEL FERRATE
Campus Nord

Memòria per a obtenir el títol
de Doctor Enginyer Industrial de:

Josep Rius Vázquez

Director:

Joan Figueras Pàmies

Febrer 1997

Aquesta tesi ha estat enregistrada
amb el núm. 136

 **UPC**
Unitat Tècnica de Disseny del Tercer Cicle
Jordi Girona, 31 (Torre Girona)
08034 BARCELONA

als meus pares.

Agraïments

Voldria expressar el meu agraïment a totes les persones que, d'una manera o d'altra, han col.laborat en la realització d'aquesta tesi, i especialment

A en Joan Figueras pel temps dedicat a la direcció de la tesi aportant els seus coneixements i valuosa experiència.

Als meus companys del D.E.E. per la seva col.laboració, especialment a en Salvador Manich i en Toni Ferré per les valuoses discussions tècniques que hem fet, i a en Xavier Font pel seu ajut.

De manera especial, vull agrair a la Dolors la seva infinita paciència amb mi i el seu suport sense reserves durant el temps dedicat a l'elaboració d'aquesta tesi.

Voldria, finalment, recordar que aquest treball ha estat possible, en part, gràcies a la Comisión Interministerial para la Ciencia y Tecnología (CICYT), projectes No. TIC 94/0561 i No. TIC 1024/90, al CIRIT No. 1995SGR 00192 i als projectes europeus ARCHIMEDES (Programa ESPRIT III BRA, No. 7107) i EVEREST (Programa ESPRIT 2318).

Índex

1	Introducció i estat de l'art	1-1
1.1	MOTIVACIÓ	1-1
1.1.1	El test per vigilància del corrent quiescent dels circuits CMOS o test I_{DDQ}	1-2
1.1.2	Sensors pel test per vigilància del corrent quiescent	1-3
1.2	OBJECTIUS DE LA TESI	1-4
1.3	ESTRUCTURA DE LA TESI	1-4
1.4	SENSORS DE CORRENT QUIESCENT: CLASSIFICACIÓ	1-5
1.4.1	Introducció	1-5
1.4.2	Classificació funcional	1-6
1.4.3	Classificació estructural	1-7
1.4.4	Segons la posició del sensor respecte el CUT	1-8
1.4.5	Propostes teòriques i sensors experimentats	1-9
1.5	ANÀLISI DELS SENSORS <i>OFF-CHIP</i>	1-9
1.5.1	Introducció	1-9
1.5.2	Sensors <i>off-chip</i> que utilitzen la tècnica de Keating-Meyer	1-11
1.5.3	Sensors <i>off-chip</i> en sèrie amb el CUT	1-15
1.5.4	Proposta de normalització dels sensors <i>off-chip</i> : el QTAG	1-18
1.6	ANÀLISI DELS SENSORS <i>ON-CHIP</i>	1-19
1.6.1	Introducció	1-19
1.6.2	BICS experimentats	1-20
1.6.3	Propostes	1-27
1.6.4	Sensors del corrent dinàmic	1-30
1.7	RESUM	1-31
1.8	BIBLIOGRAFIA	1-34
2	Anàlisi dels paràmetres a considerar en l'avaluació dels sensors	2-1
2.1	INTRODUCCIÓ	2-1
2.2	DEGRADACIÓ DEL RETARD	2-4
2.2.1	Introducció	2-4

2.2.2	Anàlisi de la degradació del retard a partir de les expressions del retard	2-8
2.2.3	Validació de la degradació del retard obtinguda amb els models anteriors	2-11
2.2.4	Anàlisi de la degradació del retard d'un circuit amb transistor de <i>bypass</i>	2-17
2.2.5	Anàlisi de la degradació del retard d'un circuit deguda a sensors BICS amb unions PN	2-23
2.2.6	Cotes en la degradació del retard de circuits amb sensors BICS amb unions PN	2-31
2.2.7	Resultats conjunts: transistor de <i>bypass</i> i sensors BICS amb unions PN	2-39
2.2.8	Comparació entre els models de degradació del retard ΔV i RC	2-39
2.3	ÀREA DELS SENSORS	2-41
2.4	PARTICIÓ DELS CUT	2-42
2.5	VARIACIÓ DEL CONSUM DEL CUT	2-46
2.5.1	El consum del CUT	2-46
2.5.2	El consum estàtic del BICS	2-46
2.5.3	Variació del consum del CUT	2-47
2.6	DISCRIMINABILITAT I SENSIBILITAT DELS SENSORS	2-48
2.6.1	Introducció	2-48
2.6.2	Discriminabilitat dels sensors	2-49
2.6.3	Sensibilitat dels sensors lineals	2-51
2.6.4	Sensibilitat dels sensors proporcionals	2-52
2.6.5	Sensibilitat dels sensors integradors	2-52
2.6.6	Cotes en la Sensibilitat dels transductors lineals	2-53
2.7	VELOCITAT DEL MÈTODE DE TEST	2-54
2.7.1	Temps de resposta del comparador	2-54
2.7.2	Temps de resposta dels sensors integradors	2-55
2.7.3	Velocitat del sensors amb unions PN	2-57
2.8	AUTOTESTABILITAT DELS SENSORS	2-66
2.9	ROBUSTESA DELS SENSORS	2-67
2.10	FACILITAT D'INTEGRACIÓ DELS SENSORS BICS	2-68
2.11	CONCLUSIONS	2-69
2.12	BIBLIOGRAFIA	2-73
3	El sensor integrat proporcional (PBICS)	3-1
3.1	INTRODUCCIÓ	3-1
3.2	ESTRUCTURA DEL PBICS	3-2
3.2.1	Els CLBGT	3-4
3.2.2	Model del PBICS	3-7
3.3	ANÀLISI DEL PBICS	3-10

3.3.1	Introducció	3-10
3.3.2	Anàlisi completa	3-10
3.3.3	Anàlisi estàtica	3-12
3.3.4	Anàlisi dinàmica	3-14
3.4	TEMPS DE RESPOSTA DEL PBICS	3-17
3.4.1	Casos per l'anàlisi del temps de resposta	3-18
3.4.2	Cas $C_1 \gg C_2$	3-18
3.4.3	Cas $C_1 \ll C_2$	3-23
3.4.4	Cas $C_1 \approx C_2$	3-24
3.4.5	Comparació entre resultats calculats i simulats	3-24
3.5	CONCLUSIONS	3-29
3.6	BIBLIOGRAFIA	3-30
4	Experimentació amb el PBICS	4-1
4.1	INTRODUCCIÓ	4-1
4.2	FUNCIÓ DE TRANSFERÈNCIA: $I_{DDQ} - V_{sens}$	4-2
4.2.1	Tecnologia ES2 de $2 \mu\text{m}$	4-2
4.2.2	Tecnologia ES2 de $1.5 \mu\text{m}$	4-8
4.2.3	Tecnologia ES2 de $1 \mu\text{m}$	4-11
4.2.4	Comentari	4-13
4.3	MESURA DE LA RESISTÈNCIA R_{sens}	4-14
4.3.1	Tecnologia ES2 de $2 \mu\text{m}$	4-14
4.3.2	Tecnologia ES2 de $1.5 \mu\text{m}$	4-14
4.3.3	Tecnologia ES2 de $1 \mu\text{m}$	4-14
4.4	MESURES SOBRE EL COMPARADOR	4-14
4.5	PROVES DINÀMIQUES	4-15
4.5.1	Circuits de tecnologia ES2 $1.5 \mu\text{m}$	4-15
4.5.2	Experiments amb tecnologia ES2 de $1 \mu\text{m}$	4-21
4.6	CONCLUSIONS	4-23
4.7	BIBLIOGRAFIA	4-25
5	Test per vigilància del consum amb un sensor <i>off-chip</i>	5-1
5.1	INTRODUCCIÓ	5-1
5.2	ANÀLISI DEL MÈTODE DE KEATING-MEYER	5-2
5.3	L'INTERRUPTOR	5-4
5.3.1	Requisits de l'interruptor	5-4
5.3.2	Solucions prèvies	5-7
5.3.3	L'interruptor proposat	5-9
5.3.4	Avaluació de les característiques de l'interruptor proposat	5-11
5.3.5	Resultats experimentals	5-18
5.4	LA CAPACITAT ENTRE V_{DD} I GND DELS C.I. CMOS	5-22
5.4.1	Introducció	5-22
5.4.2	Components de la capacitat C_{DD} entre V_{DD} i GND	5-22

5.4.3	Mesura de C_{DDint}	5-26
5.5	BANC DE PROVES PER AL TEST <i>OFF-CHIP</i>	5-29
5.5.1	Introducció	5-29
5.5.2	<i>Hardware</i> utilitzat	5-30
5.5.3	Mètode de mesura	5-30
5.5.4	Funcions implementades en l'ATE	5-36
5.5.5	Resultats obtinguts	5-38
5.6	CONCLUSIONS	5-43
5.7	BIBLIOGRAFIA	5-45
6	Propostes per al test per vigilància del consum amb sensors <i>off-chip</i>	6-1
6.1	INTRODUCCIÓ	6-1
6.2	MONITORITZACIÓ DE I_{DDQ} PER DESCONNEXIÓ I OBSERVACIÓ DE LES SORTIDES PRIMÀRIES	6-2
6.2.1	Efectes del corrent I_{DDQ} sobre els circuits CMOS desconectats de l'alimentació	6-3
6.2.2	Test per desconnexió i vigilància de les sortides del CUT	6-6
6.2.3	Condicions per a excitar i observar un defecte als circuits combinacionals	6-7
6.2.4	Circuits seqüencials	6-12
6.2.5	Anàlisi del temps requerit per detectar una fallada	6-14
6.2.6	Simulacions i treball experimental	6-15
6.2.7	Resum	6-18
6.3	MONITORITZACIÓ DEL CONSUM EXCITANT EL CUT DESCONNECTAT	6-20
6.3.1	Anàlisi	6-22
6.3.2	Treball experimental	6-30
6.3.3	Resum	6-36
6.4	CONCLUSIONS	6-37
6.5	BIBLIOGRAFIA	6-38
7	Conclusions i treball futur	7-1

Llista de Figures

1.1	Esquema de la tècnica de Keating-Meyer (versió IDDQ) [62]	1-11
1.2	Diagrama temporal de la tècnica de Keating-Meyer (versió IDDQ)	1-12
1.3	Dos enfoc de sensors <i>off-chip</i> amb circuits en sèrie que alimenten el CUT	1-16
1.4	Sensor de Maly [84]	1-21
1.5	Sensor amb díode i resistència [77]	1-23
1.6	Sensor diferencial [3]	1-24
1.7	Sensor BICS amb l'enfoc de Keating-Meyer [1]	1-26
1.8	Sensor integrador de Miura [89]	1-28
2.1	Circuit CMOS amb un sensor i un dispositiu de <i>bypass</i> .	2-7
2.2	Comparació de la degradació del retard segons el model de Sakurai per ϵ fins 0.02 i temps de pujada del senyal d'entrada de 0.2 ns. Simulació HSPICE (level 6) i expressió.	2-13
2.3	Comparació de la degradació del retard segons el model de Sakurai per ϵ fins 0.2 i temps de pujada del senyal d'entrada de 0.2 ns. Simulació HSPICE (level 6) i expressió.	2-13
2.4	Comparació de la degradació del retard segons el model de Sakurai per ϵ fins 0.02 i temps de pujada del senyal d'entrada de 2 ns. Simulació HSPICE (level 6) i expressió.	2-14
2.5	Comparació de la degradació del retard segons el model de Sakurai per ϵ fins 0.2 i temps de pujada del senyal d'entrada de 2 ns. Simulació HSPICE (level 6) i expressió.	2-14
2.6	Comparació de la degradació del retard segons el model SD per ϵ fins 0.02 i temps de pujada del senyal d'entrada de 0.2 ns. Simulació HSPICE (level 6) i expressió.	2-15

2.7	Comparació de la degradació del retard segons el model SD per ϵ fins 0.2 i temps de pujada del senyal d'entrada de 0.2 ns. Simulació HSPICE (level 6) i expressió.	2-15
2.8	Comparació de la degradació del retard segons el model SD per ϵ fins 0.02 i temps de pujada del senyal d'entrada de 2 ns. Simulació HSPICE (level 6) i expressió.	2-16
2.9	Comparació de la degradació del retard segons el model SD per ϵ fins 0.2 i temps de pujada del senyal d'entrada de 2 ns. Simulació HSPICE (level 6) i expressió.	2-16
2.10	Model del dispositiu de <i>bypass</i>	2-18
2.11	Model elèctric utilitzat per l'anàlisi [17]	2-19
2.12	Degradació obtinguda per simulació i per les expressions. Tecnologia ES2 1 μm , $C_{OUT} = C_{VGND} = 2$ pF.	2-23
2.13	Model per analitzar el procés de commutació	2-25
2.14	Característiques I-V de R_S , D i combinada. Característica I-V simplificada	2-27
2.15	Topologia de cada fase del procés de commutació per a la degradació del retard amb sensors amb unions PN	2-28
2.16	Característiques I-V de R_S , D i combinada. Característica I-V simplificada per trobar V_C^* i I_C^*	2-34
2.17	Comparació entre HSPICE (nivell 6) i les cotes inferior i superior de la degradació del retard	2-35
2.18	δ vs. I_S per a tres valors de C_{VGND} . Circuit amb 32 inversors	2-37
2.19	δ vs. C_{VGND}	2-38
2.20	Degradació del retard: HSPICE, transistor de bypass i BICS amb unions PN	2-40
2.21	Funcions densitat de les distribucions de corrent quiescent en un circuit sense defectes i en un circuit amb defectes	2-44
2.22	Característica de transferència d'un sensor. I_{DDQnd} : corrents quiescents d'un circuit sense defectes, I_{DDQd} : corrents quiescents d'un circuit amb defectes.	2-49
2.23	Funció de transferència d'un transductor ideal i dels transductors dels sensors I_{DDQ} lineals i no lineals. Eix X a escala lineal.	2-50
2.24	Funció de transferència d'un transductor ideal i dels transductors dels sensors I_{DDQ} lineals i no lineals. Eix X a escala logarítmica.	2-51
2.25	Esquema elèctric equivalent dels sensors integradors	2-55

2.26	Esquema elèctric d'un inversor amb un sensor amb unió PN i resistència	2-58
2.27	Cronograma de l'evolució de la tensió d'entrada i sortida d'un inversor mostrant les 3 regions del procés de commutació . . .	2-59
2.28	Cronograma de l'evolució de $i_{DD}(t)$	2-61
2.29	Evolució de $i_{DD}(t)$ d'un inversor amb i sense sensor. L'ínia contínua: amb sensor, l'ínia descontínua: sense sensor. $C_{OUT} = 0.1, 0.2, 0.5$ i 1 pF.	2-64
2.30	Temps fins el quiescent d'un inversor sense sensor amb unió PN.	2-65
2.31	Temps fins el quiescent d'un inversor amb sensor amb unió PN	2-65
3.1	Diagrama de blocs del PBICS	3-3
3.2	Transistors bipolars compatible amb processos CMOS. (a) pou P, (b) pou N	3-5
3.3	CLBJT en tecnologia de pou N. (a) la longitud de la base és la separació entre dos difusions p+, (b) la longitud de la base és l'amplada del polisilici.	3-6
3.4	Model del sensor proporcional	3-8
3.5	Comparador del PBICS	3-10
3.6	Corba de transferència experimental del PBICS	3-13
3.7	Model del PBICS per l'anàlisi dinàmic	3-15
3.8	Forma d'ona del corrent $i_{DD}(t)$ d'un circuit CMOS amb 10 inversors obtinguda per simulació HSPICE i forma d'ona aproximada	3-16
3.9	Resposta del PBICS	3-17
3.10	Evolució de $v_{sens}(t)$ per a un grao ascendent de corrent $\hat{I}_{DD} = 5$ mA a $t = 0$ i diferents voltatges inicials del node VGND. ($C_1 = 150$ pF, $K = 0.63$, $R_{sens} = 250 \Omega$)	3-21
3.11	Comparació entre les funcions de transferència del PBICS obtinguda per simulació i calculada per les expressions. ($R_{sens} = 20306 \Omega$ i $K = 0.277$)	3-26
3.12	Temps fins el quiescent (t_{IDDQ}) segons HSPICE i segons les expressions	3-27
3.13	Evolució de $v_{VGND}(t)$ i de $v_{sens}(t)$ per un corrent $i_{DD}(t)$ en grao a $t = 0$ i caiguda exponencial amb $\tau = 4$ ns a $t = 1 \mu s$ i valors dels paràmetres: $C_1 = 1$ pF, $C_2 = 10$ pF i $\hat{I}_{DD} = 100 \mu A$.	3-28

3.14	Evolució de $v_{V_{GND}}(t)$ i de $v_{sens}(t)$ per a un corrent $i_{DD}(t)$ en graó a $t = 0$ i una caiguda exponencial amb $\tau = 4$ ns a $t = 0.5\mu s$ i valors dels paràmetres: $C_1 = 100$ pF, $C_2 = 0.1$ pF i $\hat{I}_{DD} = 100\mu A$	3-28
4.1	Esquemes elèctrics dels circuits A i B	4-3
4.2	Esquema elèctric del circuit C	4-3
4.3	Layout del circuit A	4-4
4.4	Layout del circuit B	4-5
4.5	Layout del circuit C	4-6
4.6	Funció de transferència del circuit A	4-7
4.7	Resposta del circuit B. 1) $V_G = 0V$, 2) $V_G = 3V$, 3) $V_G = 5V$	4-8
4.8	Resposta del circuit C. 1 $\rightarrow V_B = 5$ V, 2 $\rightarrow V_B = 4$ V, 3 $\rightarrow V_B = 3$ V, 4 $\rightarrow V_B = 2$ V, 5 $\rightarrow V_B = 1$ i 0 V.	4-9
4.9	Corbes experimental i simulada de la resposta del circuit C amb $V_B = 5$ V	4-9
4.10	Layout del circuit STAPBICS	4-10
4.11	Funció de transferència obtinguda del circuit STAPBICS amb dos freqüències de rellotge	4-11
4.12	Funció de transferència del PBICS obtinguda amb el circuit MPBICS	4-12
4.13	Resposta dels quatre sensors del circuit CIR4	4-13
4.14	Layout del comparador del sensor PBICS en tecnologia ES2 de $2\mu m$ i $1.5\mu m$	4-16
4.15	Diagrama de blocs del circuit MPBICS	4-17
4.16	Fotografia del circuit MPBICS	4-18
4.17	Resposta temporal de $v_{sens}(t)$ per a trobar $C_1 + C_2$. Les línies son ajustos del tipus $y = Ae^{-\frac{t}{\tau}}$	4-20
4.18	Resposta experimental i aproximació RC del sensor PBICS del circuit MPBICS2	4-20
4.19	Marges entre $V_{REF\min}$ i $V_{REF\max}$ a 10 MHz	4-22
4.20	Marges entre $V_{REF\min}$ i $V_{REF\max}$ a 8 MHz	4-22
4.21	Marges entre $V_{REF\min}$ i $V_{REF\max}$ a 5 MHz	4-23
4.22	Evolució de $v_{sens}(t)$ de quatre sensors del circuit CIR4. out320 = 0 d'ïodes, out323 = 3 d'ïodes, out327 = 7 d'ïodes, out3213 = 13 d'ïodes.	4-24
5.1	Esquema de la tècnica de Keating-Meyer (versió I_{DDQ})	5-3

5.2	Diagrama temporal de la tècnica de keating-Meyer (versió I_{DDQ})	5-4
5.3	Seqüència d'actuació de l'interruptor proposat	5-10
5.4	Esquema elèctric de l'injecció de càrrega del MOSFET	5-11
5.5	OV_{max} vs. R_{TG} per diferents temps de pujada de la tensió de porta del MOSFET ($C_{DD} = 100$ pF, $C_{gd} = 700$ pF)	5-14
5.6	Temps de commutació vs. temps de pujada per diferents R_{TG} ($C_{DD} = 100$ pF, $C_{gd} = 700$ pF)	5-16
5.7	Avaluació de les fuites de corrent. Esquema experimental.	5-17
5.8	Esquema elèctric del banc de proves	5-18
5.9	Efecte de R_{TG} en la sobretensió	5-19
5.10	Efecte de t_r en la sobretensió	5-20
5.11	Evolució de la tensió V_{DD} per un corrent $I_{DDQ}=1 \mu A$	5-21
5.12	Capacitats entre el node VDD i GND de circuits CMOS (tecnologia de pou N)	5-24
5.13	Evolució de C_{DDint} en dos ASICS en funció del voltatge V_{DD}	5-28
5.14	Esquema elèctric de la tarjeta del banc de proves	5-31
5.15	Principi de funcionament de les <i>referències de tensió</i> . i és el subíndex de la <i>referència</i> , VH i VL són les tensions de les <i>referències</i> . La <i>referència</i> $i - 1$ donaria L, la <i>referència</i> i donaria indeterminat i la <i>referència</i> $i + 1$ donaria H.	5-32
5.16	Distribució de les <i>referències de tensió</i>	5-33
5.17	Exemple de càlcul del corrent quiescent	5-35
5.18	Velocitat de la mesura en funció del corrent a mesurar	5-42
5.19	Error mig del sensor en funció de I_{DDQ}	5-43
6.1	Circuit CMOS amb un pont no realimentat	6-4
6.2	Evolució del potencial al node d'alimentació i al node de sortida d'un sumador complet d'un bit. Ajust amb una caiguda exponencial. Tecnologia ES2 de $1 \mu m$	6-8
6.3	Alternatives al "depowering" A) amb un interruptor, (B) amb múltiples interruptors	6-10
6.4	Aplicació de la tècnica amb múltiples interruptors a circuits seqüencials	6-13
6.5	Multiplicador de 3×3 bits	6-16
6.6	Sumador complet amb un interruptor (a baix) i una porta de transmissió amb una resistència en sèrie (a l'esquerra).	6-17
6.7	Banc de treball pel mètode de test proposat	6-21

6.8	Evolució del voltatge al node VDD en un circuit amb defectes i en un circuit sense defectes	6-23
6.9	"Hardware" del banc de proves utilitzat en l'experimentació .	6-31
6.10	Resultats per a dos circuits. Eix X: corrent I_{DDQ} anormal deguda a R_b . Eix Y: temps necessari per arribar al voltatge llindar. L'ínia: calculat amb (6.11), símbols: mesurat. . . .	6-32
6.11	Voltatge al node VVDD en el 74HC161. a) circuit sense defectes, b) $I_{DDQ} = 1\mu A$, c) $I_{DDQ} = 5\mu A$, d) $I_{DDQ} = 50\mu A$, e) $I_{DDQ} = 500\mu A$	6-33
6.12	Distribució del corrent quiescent (en μA) d'alguns punts del circuit MPBICS (multiplicador de 3×3 bits). Els números de l'eix horitzontal indiquen l'índex del vector de test aplicat a les entrades del MPBICS, de 0 a 63.	6-36

Llista de Taules

1.1	Classificació dels sensors per al test per corrent	1-10
1.2	Publicacions sobre sensors de corrent. A = ITC/ETC/VTS, B = altres conferències, C = revistes del IEEE, D = altres revistes, E = altres publicacions	1-10
2.1	Característiques dels transistors de l'inversor simulat	2-12
2.2	Valors simulats i calculats de la degradació del retard i er- rors relatius per alguns valors de R_S . E_{LD} i E_{UD} signifiquen l'error del valor calculat per la cota inferior i superior, respec- tívament, respecte el valor simulat. δ_{LD} i δ_{UD} signifiquen el valor calculat de la cota inferior i superior, respectivament. .	2-36
2.3	Mides dels BICS, dels C.I. i overhead. (*) = Dada donada per l'autor	2-42
2.4	Mides proposades pel comitè QTAG pels sensors off-chip . . .	2-42
2.5	Paràmetres del circuit simulat per trobar el temps fins el qui- escent. Tecnologia ES2 de $0.7 \mu\text{m}$	2-64
2.6	Característiques dels BICS més representatius des del punt de vista de la facilitat d'integració.	2-69
3.1	Transistors bipolars compatibles amb tecnologies CMOS . . .	3-4
3.2	Paràmetres estàtics dels CLBGT (tecnologia ES2 ECDM20 2 μm)	3-7
3.3	Paràmetres estàtics dels CLBGT (Tecnologia ES2 ECPD10 1 μm)	3-8
3.4	Paràmetres SPICE del CLBGT utilitzat a les simulacions . . .	3-25
3.5	Paràmetres del circuit per a la comparació del temps de re- sposta del PBICS donat per les expressions i per HSPICE . .	3-26

4.1	Corrents de saturació, sensibilitat i K de quatre sensors del circuit CIR4	4-12
4.2	V_{OFFSET} i retard dels comparadors implementats en el PBICS4-15	
4.3	Corrents generats per cada pont del circuit MPBICS	4-19
4.4	Número de mòduls dels díodes dels sensors de CIR4	4-22
5.1	Valors de la capacitat C_{DDint} de 24 circuits CMOS	5-27
5.2	Error mig de la mesura per diferents rangs de corrent	5-36
5.3	Resultats del banc de proves en el test I_{DDQ} . NVT: nombre de vectors de test, NVD: nombre de vectors que exciten cada pont, TF: test funcional, VD: vectors detectats pel test I_{DDQ}	5-39
5.4	Resultats experimentals de la mesura del consum amb R. $I_{NOMINAL}$: mesura amb les resistències calibrades amb el multímetre HP3457A, I_{BP} : mesura amb el banc de proves . .	5-40
5.5	Resultats experimentals del corrent quiescent del MPBICS al habilitar els ponts del circuit en diversos vectors	5-41
6.1	Valor del corrent I_{DDQ} degut a 8 defectes artificialment implantats al C.I. experimental. Valor promitjat de 10 mostres del circuit	6-18
6.2	Rang de t_s per a cada pont. Resultats per a 10 mostres. (*) en una mostra, t_s va ser superior a 10000 ns	6-19
6.3	Nombre de vectors, d'un total de 64 vectors, que detecten cada pont. Test funcional (sense obrir els interruptors), i test "depowering"	6-19
6.4	temps obtinguts amb el banc de treball i temps calculats . . .	6-34
6.5	Nombre de vectors per a cada pont del test "depowering" en el circuit MPBICS	6-35
6.6	Comparació entre els valors calculats i els experimentals del test "depowering" amb el circuit MPBICS	6-35

Llista de símbols

α	<i>Paràmetre del model de Sakurai</i>
α_i	<i>Coefficient d'activitat del node i.</i>
α_P	<i>Coefficient del model de Daga.</i>
β	<i>Coefficient del model de Daga.</i>
γ	<i>Coefficient de l'efecte body. Coefficient del model de Daga. Paràmetre de la degradació del retard.</i>
γ_{GS}	<i>Paràmetre de la degradació del retard.</i>
γ_S	<i>Paràmetre de la degradació del retard.</i>
C_{eff}	<i>Capacitat efectiva d'un circuit que commuta.</i>
C_{DD}, C_{equ}	<i>Capacitat total entre V_{DD} i GND d'un C.I.</i>
C_{DDint}	<i>Capacitat interna entre V_{DD} i GND d'un C.I.</i>
C_{DDext}	<i>Capacitat externa entre V_{DD} i GND d'un C.I.</i>
C_i	<i>Capacitat del node i.</i>
C_{gd}	<i>Capacitat de porta a drenador d'un transistor MOS.</i>
C_M	<i>Capacitat entre V_{DD} i GND deguda al layout.</i>
C_P	<i>Capacitat entre V_{DD} i GND associada als nodes a "1" d'un C.I.</i>
C_N	<i>Capacitat entre V_{DD} i GND associada als nodes a "0" d'un C.I.</i>
C_W	<i>Capacitat entre V_{DD} i GND associada als pous d'un C.I.</i>
C_{OUT}, C_L	<i>Capacitat connectada a la sortida d'un circuit.</i>
C_1, C_{VGND}	<i>Capacitat del node VGND.</i>
C_2	<i>Capacitat del node VSENS.</i>
δ	<i>Degradació del retard d'un circuit CMOS.</i>
δ_{LD}	<i>Cota inferior de la degradació del retard d'un</i>

	<i>circuit CMOS.</i>
δ_{UD}	<i>Cota superior de la degradació del retard d'un circuit CMOS.</i>
ΔV	<i>Increment de tensió.</i>
ε	$\frac{\Delta V}{V_{DD}}$, <i>caiguda de tensió del sensor normalitzada.</i>
E_D	<i>Consum dinàmic d'un circuit sense defectes.</i>
$E_D(t_{i,i+1})$	<i>Consum dinàmic d'un circuit sense defectes en la transició entre el vector i i el $i + 1$.</i>
E'_D	<i>Consum dinàmic d'un circuit amb defectes.</i>
$E'_D(t_{i,i+1})$	<i>Consum dinàmic d'un circuit amb defectes en la transició entre el vector i i el $i + 1$.</i>
E_{DVS}	<i>Energia consumida per un circuit a l'aplicar – hi N vectors.</i>
E_L	<i>Energia màxima subministrada per C_{DD} en el test depowering.</i>
E_S	<i>Consum estàtic d'un circuit sense defectes.</i>
$E_S(i)$	<i>Energia consumida per un circuit sense defectes durant el període quiescent en el vector i.</i>
E'_S	<i>Consum estàtic d'un circuit amb defectes.</i>
$E'_S(i)$	<i>Energia consumida per un circuit amb defectes durant el període quiescent en el vector i.</i>
ES	<i>Conjunt dels índexs dels vectors que exciten un defecte.</i>
η_D	<i>Coefficient de discriminació del mètode depowering.</i>
ϕ_B	<i>Potencial de Fermi.</i>
f	<i>Freqüència.</i>
I_1, I_2	<i>Constants del model del PBICS.</i>
\bar{I}	<i>Corrent mig de la font d'alimentació.</i>
I_C	<i>Corrent crític.</i>
I_{D0}	<i>Paràmetre del model de Sakurai.</i>
\hat{I}_{DD}	<i>Corrent i_{DD} de pic.</i>
i_{DD}	<i>Corrent d'un circuit CMOS.</i>
I_{DDQ}	<i>Corrent quiescent d'un circuit mesurat al node VDD.</i>
I_{DDQi}	<i>Corrent quiescent d'un circuit quan té aplicat el vector i.</i>
$I_{DDQnd\ max}$	<i>Corrent quiescent màxima d'un circuit sense defectes.</i>
$I_{DDQd\ min}$	<i>Corrent quiescent mínima d'un circuit amb defectes.</i>

I_{fuites}	Corrent de fuites d'un interruptor.
I_S	Corrent de saturació d'un díode.
I_{SL}	Corrent de saturació del CLBJT.
I_{SV}	Corrent de saturació del díode paràsit del PBICS.
I_{SSQ}	Corrent quiescent d'un circuit mesurat al node VSS.
K	Coefficient de l'increment de la tensió llindar. Factor de proporcionalitat entre les fonts de corrent del model del PBICS.
L	Longitud del canal d'un transistor MOS.
n_0	$\frac{V_{TN0}}{V_{DD}}$
n	$\frac{V_{TN}}{V_{DD}}$. Nombre de vectors que necessita un circuit per a consumir una energia igual o superior a E_L .
n_e	Nombre total dels vectors que exciten un defecte.
μ_{IDDQ}	Valor mig de I_{DDQ} d'un circuit sense defectes.
μ_{gIDDQ}	Valor mig de I_{DDQ} d'una porta.
μ_f	Valor mig de l'increment de I_{DDQ} degut a un defecte.
N_{max}	Nombre màxim de transistors en una partició.
OV_{max}	Sobretensió màxima al node VVDD.
$P_{BICSref}$	Consum estàtic dels circuits de referència del BICS.
$P_{BICSpol}$	Consum estàtic dels circuits de polarització del BICS.
P_{CUTavg}	Potència mitjana consumida pel CUT.
P_{CUTdin}	Potència dinàmica consumida pel CUT.
R_3	$\frac{V_{DQ}}{I_{DQ}}$
R_{ON}, R_{ONequ}	Resistència equivalent dels transistors MOS en conducció.
R_S	Resistència equivalent d'un sensor o d'un transistor de bypass.
R_{sens}	Resistència sensora del PBICS.
R_{TG}	Resistència d'una porta de transmissió.
σ_{IDDQ}	Desviació típica de I_{DDQ} d'un circuit sense defectes.
σ_{gIDDQ}	Desviació típica de I_{DDQ} d'una porta.
S	Sensibilitat del transductor d'un sensor lineal.
τ	Constant de temps en l'evolució de $i_{DD}(t)$.
τ_{in}, t_r	Temps de pujada del senyal d'entrada d'un circuit.
τ_1, τ_2	Constants de temps en la descàrrega de C_{OUT} .

t_{C1}, t_{C2}	<i>Temps on es produeixen els canvis de fase en la descàrrega RC de C_{OUT}.</i>
t_{CUT}	<i>Temps que triga un CUT en arribar a l'estat quiescent.</i>
t_{IDDQ0}	<i>Temps que triga un CUT sense sensor en arribar a l'estat quiescent.</i>
t_{IDDQ}	<i>Temps que triga un CUT amb sensor en arribar a l'estat quiescent.</i>
t_i	<i>Temps d'integració.</i>
t_{OFF}	<i>Temps que triga un interruptor en obrir – se.</i>
t_{ON}	<i>Temps que triga un interruptor en tancar-se.</i>
t_{pd0}	<i>Retard d'un circuit que no té connectat un BICS.</i>
t_{pd}	<i>Retard d'un circuit que té connectat un BICS.</i>
t_{pdHL}	<i>Retard d'un circuit quan la sortida fa una transició de H a L.</i>
t_{pdLH}	<i>Retard d'un circuit quan la sortida fa una transició de L a H.</i>
t_s	<i>Temps de resposta del sensor.</i>
T	<i>Període d'un vector.</i>
T_{Qi}	<i>Període en que el circuit està en estat quiescent en el vector i.</i>
χ	<i>Coefficient de discriminabilitat d'un sensor.</i>
V_C	<i>Voltatge crític.</i>
v_C	$\frac{V_C}{V_{DD}}$
V_{D0}	<i>Paràmetre del model de Sakurai</i>
V_{DD}	<i>Tensió d'alimentació d'un circuit CMOS.</i>
V_{DPS}	<i>Tensió de la font d'alimentació d'un ATE.</i>
V_{DS}	<i>Tensió drenador – sortidor d'un transistor MOS.</i>
V_{GD}	<i>Tensió porta – drenador d'un transistor MOS.</i>
V_{GS}	<i>Tensió porta – sortidor d'un transistor MOS.</i>
V_{REF}	<i>Tensió de referència.</i>
V_{sens}, v_{sens}	<i>Tensió al node V_{SENS}.</i>
V_{VGND}, v_{VGND}	<i>Tensió al node V_{GND}.</i>
V_{VVDD}	<i>Tensió al node V_{VDD}.</i>
V_T	<i>Voltatge equivalent a la temperatura absoluta.</i>
V_{TN0}	<i>Tensió llindar d'un transistor NMOS sense efecte body.</i>
V_{TN}	<i>Tensió llindar d'un transistor NMOS.</i>
V_{TP}	<i>Tensió llindar d'un transistor PMOS.</i>

W *Amplada del canal d'un transistor MOS.*

Paràmetres SPICE dels BJT:

IS *Corrent de saturació.*
BF *Beta màxima ideal en directa.*
NF *Coefficient d'emissió en directa.*
ISE *Corrent de saturació de la unió base – emissor.*
NE *Coefficient d'emissió de la unió base – emissor.*
RB *Resistència de la base.*
IRB *Corrent on la resistència de la base cau a la meitat del seu valor.*
RBM *Resistència mínima de la base.*
RE *Resistència de l'emissor.*
RC *Resistència del col·lector.*
CJE *Capacitat de depleció ($V_{BE} = 0$) a la unió de l'emissor.*
VJE *Potencial empotrat a la unió base – emissor.*
MJE *Exponent de la unió base – emissor.*
CJC *Capacitat de depleció ($V_{BC} = 0$) a la unió del col·lector.*
VJC *Potencial empotrat a la unió base – col·lector.*
MJC *Exponent de la unió base – col·lector.*

Acrònims:

ASIC *Circuit integrat d'aplicació específica.*
ATE *Equip de test automàtic.*
A.O. *Amplificador operacional.*
A/D *Analògic/Digital.*
BICS *Sensor integrat de corrent.*
BJT *Transistor bipolar.*
CLBJT *Transistor bipolar compatible amb tecnologia CMOS.*
CMOS *MOS complementari.*
C.I. *Circuit integrat.*

CUT	<i>Circuit sotmés a test.</i>
ED&TC	<i>European Design and Test Conference.</i>
EMI	<i>Interferència electromagnètica.</i>
GND	<i>ground, terra.</i>
HSPICE	<i>SPICE de Meta – Software.</i>
ITC	<i>International Test Conference.</i>
IEEE	<i>Institute of Electrical and Electronic Engineers.</i>
MOS	<i>Metall – Òxid – Semiconductor.</i>
MOSFET	<i>Transistor MOS d'efecte de camp.</i>
NMOS	<i>Transistor MOS de canal N.</i>
node GND	<i>Node de terra.</i>
node VGND	<i>Node de terra virtual.</i>
node VDD	<i>Node positiu d'alimentació.</i>
node VSS	<i>Node negatiu d'alimentació.</i>
node VSENS	<i>Node amb la tensió V_{sens}.</i>
node VVDD	<i>Node virtual positiu d'alimentació.</i>
PBICS	<i>Sensor de corrent proporcional.</i>
PMOS	<i>Transistor MOS de canal P.</i>
PMU	<i>Unitat de mesura paramètrica.</i>
QTAG	<i>Quality Test Action Group.</i>
SPICE	<i>Simulador elèctric.</i>
SRAM	<i>Memòria RAM estàtica.</i>
TG	<i>Porta de transmissió.</i>
VLSI	<i>Circuit integrat de molt alta escala d'integració.</i>
VTS	<i>VLSI Test Symposium.</i>

Capítol 1

Introducció i estat de l'art

1.1 MOTIVACIÓ

L'increment de la complexitat i l'abaratiment dels moderns circuits de molt alta escala de integració (VLSI) ha estat possible gràcies al desenvolupament de la tecnologia CMOS. La major part dels C.I. que es fabriquen avui són circuits CMOS ja que aquesta tecnologia permet una major integració, un menor consum i una velocitat comparable a les de altres tecnologies competidores [4]. Tanmateix, aquests avantatges fan que el test dels VLSI sigui més crític ja que, per tal de garantir un baix cost de producció, a més de circuits integrats més grans construïts amb transistors més petits i més ràpids, es requereix també, circuits amb menys defectes i, per tant, amb menys fallades.

La dificultat del test dels VLSI és el reflex de l'existència de dos problemes cada cop més greus: el de la *controlabilitat* del circuit, definida com la facilitat de determinar des de les entrades l'estat lògic d'un node del circuit, i el de la *observabilitat* del circuit definida com la facilitat d'observar des de les sortides l'estat lògic d'un node del circuit [69]. Aquests problemes apareixen en els circuits VLSI per què la relació entre el nombre de terminals de entrada i sortida del circuit i el nombre de portes del circuit, és cada vegada més petita [11], per tant, cada cop és més difícil el control i l'observació d'un node intern del circuit.

A més, els moderns circuits CMOS VLSI, amb transistors de mides per sota el micrometre, són mes sensibles als defectes generats per partícules dipositades sobre la oblea de silici o sobre qualsevol de les màscares utilitzades en la seva fabricació. Circuits amb geometries de 2 o 3 micrometres toleraven

petites partícules sense una disminució significativa en el rendiment de fabricació, mentre que el mateix nombre de partícules de la mateixa mida poden provocar una caiguda dràstica del rendiment de fabricació amb geometries submicròniques [11]. Aquest problema pot atenuar-se amb sales blanques de classe superior, però es requereix que, al mateix temps, es millorin les tècniques de test d'aquests circuits.

L'existència d'aquests problemes ha estimulat que, en els últims anys, s'hagin buscat noves tècniques que utilitzin altres variables, en comptes del valor lògic observat a les sortides del circuit, com indicadors de la presència de defectes. Entre aquestes tècniques destaca el test per vigilància del corrent quiescent del circuit.

1.1.1 El test per vigilància del corrent quiescent dels circuits CMOS o test I_{DDQ}

La tecnologia CMOS complementària és una tecnologia de baix consum en estat quiescent. El test basat en la mesura del consum de corrent quiescent (test I_{DDQ}) dels circuits d'aquesta tecnologia s'ha reconegut, des de fa uns anys, com un mitjà adequat per a detectar defectes físics. De fet, des de mitjans de la dècada del 70 la mesura del corrent quiescent de circuits CMOS ha estat utilitzada per algunes empreses en la producció de circuits de alta fiabilitat [55][12][70][87]. A principis de la dècada dels 80 es va proposar el test per vigilància del consum de corrent quiescent per a la verificació dels circuits [61][40][88]. Aquesta tècnica de test utilitza la propietat de que, en un circuit CMOS amb un defecte, el corrent quiescent mesurat als terminals d'alimentació del circuit (I_{DDQ}) pot ser molt superior al del mateix circuit sense cap defecte. La mesura del corrent quiescent és un mitjà adequat de detectar defectes físics que poden romandre indetectables pels mètodes convencionals de test. En particular, el defectes tipus *pont*, els curtcircuits a l'òxid de porta dels transistors MOS i els oberts a les portes dels transistors (*floating gates*), que són alguns dels tipus de defectes més comuns en els circuits actuals, poden ser detectats per mitjà del test I_{DDQ} en la major part dels casos [55][12][36][87][70][68][71][73][80][66].

El test per vigilància del consum quiescent es basa en que, en un circuit correcte, només una de les xarxes dels transistors que formen una porta CMOS està en estat de conducció. Així, cada node lògic del circuit està connectat per una de les xarxes o bé al terminal d'alimentació o bé a terra, però mai als dos simultàniament. Si, a causa d'un defecte, un o més vectors de test introdueixen un camí de baixa impedància entre un node del

circuit i una de les línies d'alimentació, llavors es generarà un flux de corrent directe entre el terminal d'alimentació i terra. Aquest corrent podrà ser utilitzat per a detectar el defecte. Per exemple, si imaginem un circuit CMOS amb un curtcircuit entre dos nodes. L'equip o circuit responsable del test ha de generar un conjunt de vectors de test que excitin aquest parell de nodes a potencials oposats (V_{DD} i GND). En aquestes condicions, si hi ha un curtcircuit entre ells, es generarà un flux de corrent entre els terminals d'alimentació que podrà ser observat. Un altre exemple és el de un circuit obert a la porta d'un transistor. Si la porta d'un transistor MOS resta flotant, les capacitats paràsites entre la porta i la resta del circuit poden fer que s'acumuli càrrega en la porta i, per tant, que aquesta prengui un potencial que posi al transistor a la zona de conducció. Si això succeeix quan el transistor hauria d'estar en tall, es generaria un flux de corrent entre els terminals d'alimentació que podria ser observat.

La principal avantatge del test I_{DDQ} és l'augment d'observabilitat ja que tan aviat el defecte és excitat, el corrent quiescent anormal apareix als terminals (*pins*) d'alimentació del circuit. Tanmateix, el test per vigilància del consum quiescent no és la solució a tots els problemes de test dels C.I. En primer lloc, el test I_{DDQ} no verifica la funcionalitat del circuit i, per tant, és essencial un test lògic que asseguri la correcta operació lògica del circuit. En segon lloc, el test I_{DDQ} no detecta tots els defectes possibles d'un circuit CMOS. Alguns ponts i oberts, així com altres defectes, no incrementen el corrent quiescent i, per tant, no poden ser detectats per aquesta tècnica [46][54][17][65]. Això fa que es faci necessari seguir algunes regles en el disseny dels circuits CMOS per tal d'augmentar la eficàcia del test amb aquesta tècnica [54]. En conseqüència, el test I_{DDQ} no substituirà mai el test lògic.

1.1.2 Sensors pel test per vigilància del corrent quiescent

Per a implementar el test per corrent dels circuits CMOS, és necessari disposar d'elements (components, circuits o sistemes complets) que, a partir de la mesura de I_{DDQ} o d'algun altre paràmetre que depengui de I_{DDQ} , determinin si un circuit compleix o no les especificacions. Aquests circuits s'anomenen genèricament sensors de corrent i poden estar situats al interior del C.I. que es prova (**CUT**: *Circuit Under Test*) anomenant-se llavors Sensors Integrats de Corrent (**BICS**: *Built-in Current Sensors, on-chip Current Sensors*), o a l'exterior del C.I.: Sensors de Corrent Externs (*off-chip Current Sensors*).

Conceptualment, el test I_{DDQ} és simple. Tanmateix, la obtenció d'un sensor amb unes bones prestacions no ho és. Les primeres mesures del corrent es feien amb instruments convencionals: amperímetres integrats en les màquines de test (PMU: Parametric Measurement Unit). La mesura del corrent es feia per detectar fallades elementals de fabricació com una prova complementària al test lògic posant prèviament al circuit en un estat pre-determinat [87]. Quan es va sentir la necessitat de refinar el test I_{DDQ} , es van requerir sistemes de mesura més sensibles i més ràpids que els instruments convencionals. Inicialment, a mitjans de la dècada dels 80, es van presentar els primers sensors *off-chip* integrats en les màquines de test digital [34][63][10][55]. Més tard, al 1988, es va presentar el primer BICS [84]. Des d'aleshores l'anàlisi, disseny i implementació de circuits sensors és un àrea de recerca molt activa.

1.2 OBJECTIUS DE LA TESI

El treball desenvolupat en aquesta tesi té com a objectiu donar noves aportacions a l'esforç dirigit cap al disseny de Sensors de Corrent Integrats i a les estratègies de test per corrent amb Sensors de Corrent Externs. S'analitzaran, també, els criteris per avaluar els sensors i es valoraran els efectes de la presència dels sensors en el comportament dels circuits CMOS.

1.3 ESTRUCTURA DE LA TESI

El contingut de la tesi està estructurat en set capítols. En el que resta d'aquest primer capítol es fa una classificació dels sensors de corrent quiescent d'acord amb criteris funcionals i estructurals. També es fa una anàlisi de l'estat de l'art dels sensors per test per corrent quiescent tant *on-chip* com *off-chip*.

En el segon capítol es realitza una anàlisi dels paràmetres dels sensors: velocitat, sensibilitat, cost i la influència d'aquests paràmetres sobre el funcionament dels circuits que incorporin sensors (CUT). Es determinen les relacions entre la velocitat del sensor, la degradació del retard del CUT, la mida del sensor i la sensibilitat del sensor, per ambdós enfoc: *on-chip* i *off-chip*.

El capítol tercer està dedicat a una proposta original de sensor integrat: el sensor integrat proporcional (PBICS). Es fa una anàlisi estàtic i dinàmic

del sensor i s'estudia el seu comportament d'acord amb els criteris del capítol segon.

Al capítol quart es mostren els resultats experimentals als que s'ha arribat amb el PBICS.

El cinquè capítol fa una caracterització experimental dels components que intervenen en els sensors *off-chip* i es descriu els resultats experimentals obtinguts amb un banc de proves desenvolupat per al test per corrent de circuits CMOS.

El sisè capítol descriu algunes aportacions originals al disseny de sensors *off-chip*. Es fan dues propostes per la monitorització del consum quiescent basades en la desconexió de l'alimentació dels circuits i observació de diferents paràmetres relacionats amb el consum.

El setè capítol presenta les conclusions de la tesi on es comparen els diferents enfoc en la realització de sensors i s'avaluen els criteris de disseny de sensors de corrent d'acord amb els resultats obtinguts al capítol segon. Finalment, es presenten diversos temes de recerca que constitueixen el material per a un possible treball futur.

1.4 SENSORS DE CORRENT QUIESCENT: CLASSIFICACIÓ

1.4.1 Introducció

Fins aquest moment (Desembre de 1996) han aparegut en la literatura especialitzada nombroses propostes de sensors de corrent (BICS i sensors *off-chip*) exposats en algunes desenes d'articles de revistes, comunicacions de congressos i tesis doctorals. La recerca d'enfocs i estructures vàlides de sensors de corrent es mostra, doncs, com un camp actiu on s'estan realitzant aportacions de manera regular. Per tal d'organitzar aquest material i obtenir un coneixement de quins han estat les prestacions que els dissenyadors de sensors han aconseguit, en aquesta secció es classificaran els sensors de corrent d'acord amb uns determinats criteris i a les dues seccions següents es farà l'anàlisi de cadascuna de les solucions proposades.

Els criteris per a classificar els sensors de corrent han estat els següents: a) **funcional**, b) **estructural**, c) **segons la posició del sensor respecte el CUT**. També és possible emprar d'altres criteris de classificació que tinguin en compte la maduresa de la proposta o bé el tipus d'utilització.

1.4.2 Classificació funcional

La classificació funcional es fa d'acord amb el principi utilitzat per mesurar el corrent quiescent: així parlarem de sensors lineals i de sensors no lineals. Els primers es divideixen en dos enfoc: el que obté un voltatge *proporcional* al corrent quiescent, i el que obté un voltatge proporcional a la *integral* del corrent. En els sensors no lineals s'obté un voltatge amb una relació *no lineal* amb el corrent quiescent. Així, els sensors de corrent proposats es poden dividir en: Proporcionals, Integradors i No lineals.

PROPORCIONALS

- Pertanyen a aquesta categoria els sensors següents: [41][33] presentats l'any 1992, [15][78][53][8][18] presentats el 1993, [27][21][22][3][13][48][44] presentats l'any 1994, [38][37][43][81][86][49][74][67] publicats l'any 1995 i [7][79][76][23][50][14][94] presentats durant 1996. Aquests sensors utilitzen diferents elements per a obtenir un voltatge proporcional al corrent quiescent. La proporcionalitat es manté només per a un rang de corrents quiescents superat el qual el voltatge deixa de ser proporcional. Aquest voltatge es compara amb un voltatge de referència que determina el límit del corrent quiescent considerat correcte per a obtenir un senyal digital que indica si el circuit passa o falla el test.

INTEGRADORS

- El següents sensors es classifiquen en aquesta categoria: [63] publicat l'any 1987 on es presenta els fonaments de la tècnica, [56] presentat l'any 1989, [2] presentat l'any 1990, [90] publicat l'any 1992, [52] presentat l'any 1993, [20][91] presentats el 1994, [92][51][29][1][24][25] publicats el 1995 i [89] publicat el 1996. Aquests sensors disposen d'un interruptor en sèrie amb una línia d'alimentació. En l'estat quiescent, l'interruptor s'obre i el corrent quiescent carrega una capacitat per a obtenir, al final del període de mesura, un voltatge proporcional a la integral del corrent. Aquest voltatge és comparat amb una tensió de referència per a determinar si el corrent quiescent és correcte.

NO LINEALS

- En aquest apartat hi han propostes de sensor que utilitzen un principi diferent dels descrits. Així, a [62] (1994) el sensor proposat utilitza una

resistència variable com element sensor, obtenint voltatges no proporcionals al corrent quiescent i a [85] (1988) i [82] (1992) hi ha una relació exponencial entre el corrent quiescent i el voltatge obtingut.

1.4.3 Classificació estructural

La classificació estructural es fa d'acord amb el tipus d'element o circuit utilitzat per mesurar el corrent quiescent. Segons aquest criteri els sensors es divideixen en: sensors amb resistència, sensors amb mirall de corrent i sensors amb interruptor i condensador.

SENSORS AMB RESISTÈNCIA

La resistència sensora pot estar o no acompanyada d'altres elements. Així aquesta classe de sensors es pot dividir en les següents subclasses:

Sensors amb només resistència

- A [74][18][23] i [67] es proposa que una simple resistència en sèrie amb el CUT actui com element sensor del corrent transitori i/o del corrent quiescent.

Sensors amb resistència i unió PN

- En aquests sensors el circuit conversor corrent quiescent/tensió conté sempre una unió PN. A [85] i [82] un transistor bipolar treballant com a díode fa d'element sensor. A [41] un transistor bipolar junt amb una transistor MOS treballant com a resistència formen l'element sensor. A [78][33][15][3][13][81][76][86] i [37] un díode i un transistor MOS treballant com a resistència formen el circuit sensor.

Sensors amb resistència i amplificador operacional

- En aquesta subclasse estàn inclosos els sensors i propostes de sensors amb resistència que inclouen un amplificador operacional en la seva estructura. A [21] i [7] es presenta un circuit sensor on l'amplificador operacional treballa com a regulador de tensió. A [22] i [50] es presenta una solució basada en una resistència com element sensor i un A.O. que amplifica la diferència entre el senyal proporcional al corrent quiescent i un senyal de referència. A [43] s'utilitza una resistència

en el llaç de realimentació d'un amplificador operacional com element sensor. A [38] l'amplificador operacional alimenta al CUT a través d'una resistència.

Sensors amb resistència no lineal

- A [62] s'utilitza com element sensor un transistor MOS polaritzat per que treballi com una resistència de valor variable.

SENSORS AMB MIRALL DE CORRENT

- Aquests sensors utilitzen miralls de corrent per la mesura del corrent quiescent. A [53] es presenta per primera vegada aquest enfoc mentre que a [27] es presenten miralls de corrent amb baixa caiguda de tensió per aplicació al test de corrent de circuits CMOS. A [48][44][8] i [49] es presenta una solució amb un o més amplificadors operacionals i un mirall de corrent i a [79][14] i [94] es presenten les últimes aportacions conegudes de sensors *on-chip* i *off-chip* utilitzant aquesta tècnica.

SENSORS AMB INTERRUPTOR I CONDENSADOR

- A aquest grup pertanyen tots els sensor que integren el corrent quiescent. Tanmateix, els circuits sensors presenten fortes diferències estructurals. Així, [20] utilitza quatre transistors MOSFET per a construir l'interruptor mentre que a [90][91][92][89] s'utilitza un amplificador i un canviador de nivell, a més de l'interruptor, com components del sensor. La tècnica reportada per Keating-Meyer a [63] és utilitzada (en sensors *on-chip* o *off-chip*) a [52][51][29][1][56] i [2]. Finalment, a [24] i [25] es proposen noves tècniques de test per corrent utilitzant interruptors i capacitats que emmagatzemin la energia necessària per alimentar el CUT.

1.4.4 Segons la posició del sensor respecte el CUT

Aquesta classificació separa els sensors segons la seva situació respecte el CUT.

SENSORS ON-CHIP (BICS) I OFF-CHIP

- Els sensors *on-chip* són aquells que estan integrats al sí del CUT i es fabriquen simultàniament. Han d'utilitzar, doncs, dispositius com-

patibles amb el procés de fabricació del CUT. Els sensors presentats a [85] l'any 1988, [56] l'any 1989, [2] l'any 1990, [90][41][33][82] l'any 1992, [53][78][8][18][15] el 1993, [22][3][13][27][62][20][91] el 1994, [1][37][74][67][38][92][81][86] el 1995 i [23][14][94][76][79][89] l'any 1996, són sensors *on-chip*.

- Pel contrari, els sensors *off-chip* estan construïts sobre una pastilla de silici diferent del CUT i són fabricats independentment. Els sensors presentats a [63] l'any 1987, [52] el 1993, [21][48][44] el 1994, [29][24][49][43][25][51] el 1995 i [50][7] l'any 1996, són sensors *off-chip*.

1.4.5 Propostes teòriques i sensors experimentats

Un altre criteri pot ser el grau de maduresa de la proposta de sensor, és a dir, si el sensor es presenta com una proposta teòrica validada només per simulació o, pel contrari, s'ha experimentat i el sensor es presenta com alternativa vàlida per a la seva implementació en circuits comercials.

Els sensors presentats a [63][85] el 1987 i 1988, [2] el 1990, [82][41][33] el 1992, [52][78] el 1993, [21][3][48][44] el 1994, [49][38][43][81][86][29][1][37][51] el 1995, [50][7] el 1996, són sensors que han estat muntats sobre plataformes o C.I. experimentals mentre que els sensors presentats a [56] l'any 1989, [90] el 1992, [53][8][18][15] el 1993, [27][22][62][20][13][91] l'any 1994, [92][74][24][25][67] el 1995 i [76][14][94][79][89][23] el 1996, són sensors dels que s'ha fet la presentació teòrica i alguna simulació SPICE quan està aplicat a un circuit petit.

Com a resum es presenta a la taula 1.1 el nombre de treballs publicats sobre cada tipus de sensor i a la taula 1.2 el nombre de publicacions sobre sensors de corrent per test I_{DDQ} per any.

1.5 ANÀLISI DELS SENSORS *OFF-CHIP*

1.5.1 Introducció

En aquesta secció i la següent es farà una anàlisi dels sensors més importants publicats fins ara. Es començarà pels sensors *off-chip*.

En els sensors *off-chip* s'utilitzen els següents enfocos per monitoritzar el corrent:

- Aplicació de la tècnica proposada per Keating-Meyer (sensors integradors)

<i>Funcional</i>		<i>Estructural</i>	
Proporcionals	29	R	4
Integradors	14	R+PN	12
No lineals	3	R+AO	6
Total	46	R no. lin.	1
		Miralls	9
		Interruptor + C	14
		Total	46
<i>On - chip/off - chip</i>		<i>Teòric/experimental</i>	
On-chip	33	Proposta	23
Off-chip	13	Experimental	23
Total	46	Total	46

Taula 1.1: Classificació dels sensors per al test per corrent

Any	A	B	C	D	E	Total
1987	1					1
1988					1	1
1989	1					1
1990			1	1		2
1991		1			1	2
1992	2		2	1		5
1993	4	2	1	1	1	9
1994	8	3			3	14
1995	5	3	4	3	1	16
1996	1	9	2	1		13

Taula 1.2: Publicacions sobre sensors de corrent. A = ITC/ETC/VTS, B = altres conferències, C = revistes del IEEE, D = altres revistes, E = altres publicacions

- Alimentació del CUT a través del sensor en sèrie

En els següents paràgrafs s'analitzaran cadascuna de les solucions proposades.

1.5.2 Sensors *off-chip* que utilitzen la tècnica de Keating-Meyer

En l'ITC'87, M Keating i D. Meyer van proposar un nou enfoc per a mesurar el corrent quiescent dels circuits CMOS [63]. Després de mostrar els problemes associats a les tècniques de mesura d'aquella època, van proposar el mètode que porta el seu nom. Bàsicament, es tracta d'analitzar el corrent quiescent d'una manera indirecta a través de la mesura del pendent del voltatge del node d'alimentació d'un circuit al que se li ha desconnectat l'alimentació (figura 1.1).

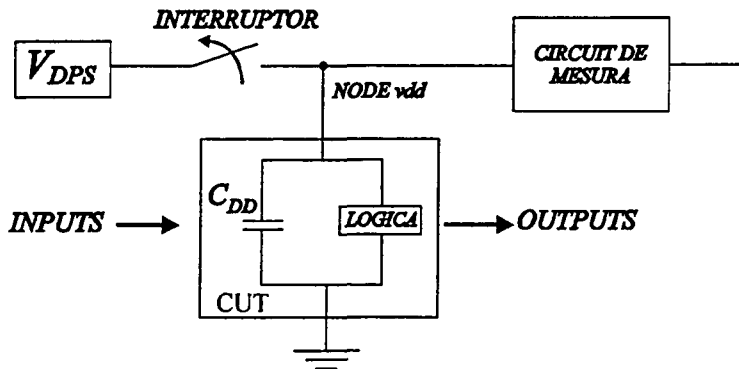


Figura 1.1: Esquema de la tècnica de Keating-Meyer (versió $IDDQ$) [62]

Mentre el circuit està commutant, l'interruptor és tancat. Una vegada el transitori de corrent s'ha esvaït, l'interruptor s'obre. La capacitat C_{DD} interna del propi C.I. (o afegida exteriorment) manté el voltatge del node VDD flotant. Si el circuit és "bo" el voltatge del node flotant no varia apreciablement durant el període quiescent. Si el circuit presenta un corrent I_{DDQ} constant anormal pel vector d'entrada aplicat, el voltatge del node VDD caurà amb un pendent proporcional a I_{DDQ} . Aquest comportament del voltatge del node flotant permet determinar de dues maneres si el CUT

té un corrent quiescent anormal: per la mesura directe del pendent de la tensió del node flotant VDD, o per la mesura de la seva caiguda de tensió en un interval de temps donat. Ambdós mètodes s'han implementat en sensors.

S'assumeix que les entrades i sortides del CUT no tenen connectades càrregues que generin un corrent quiescent (per exemple resistències de *pull-up* a les entrades o resistències de càrrega a les sortides). Si això és així, el corrent en els dos terminals d'alimentació (VDD i GND) és idèntic, o sigui $I_{DDQ} = I_{SSQ}$. Per tant, és possible construir dues versions de monitor que implementin la tècnica de Keating-Meyer. L'ús d'una o altre versió dependrà de les necessitats de l'utilitzador.

La proposta de Keating-Meyer permet calcular el corrent quiescent de dues maneres: la primera directament, per mesura de la derivada temporal del voltatge del node VDD, i la segona, indirectament, per mesura de la caiguda de tensió del node VDD quan ha transcorregut un temps determinat. Aquesta caiguda és proporcional a la integral del corrent quiescent. Ambdues possibilitats han estat l'origen de sensors publicats. A l'hora de construir circuits reals que implementin la proposta de Keating-Meyer apareixen els problemes relacionats amb la construcció de l'interruptor, del circuit de mesura i del circuit de control del conjunt. Aquests problemes seran tractats al capítol 4 d'aquesta tesi.

L'evolució de les principals magnituds està representada esquemàticament a la figura 1.2.

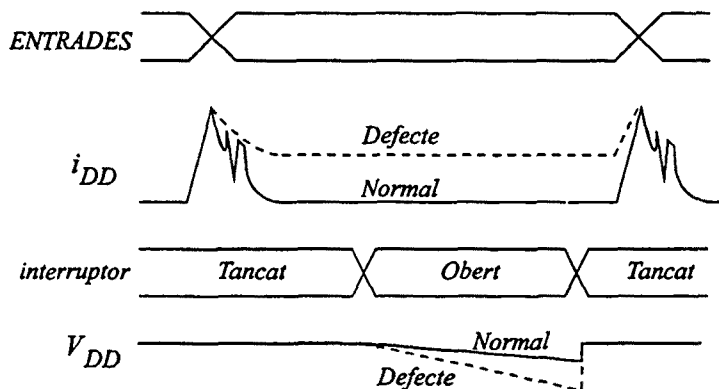


Figura 1.2: Diagrama temporal de la tècnica de Keating-Meyer (versió IDDQ)

El QuiC-Mon v3.2

A l'ITC'93 K. Wallquist va presentar una implementació del mètode de Keating-Meyer [52]. Quan el node VDD queda flotant s'amplifica la diferència entre la tensió de la font d'alimentació (V_{DPS}) i la del node VDD i es converteix aquesta diferència en una paraula digital a través d'un convertidor A/D de 8 bits. L'interruptor està format per una porta de transmissió. El valor del corrent quiescent és determinat posteriorment per procés digital de la informació. L'autor afirma aconseguir freqüències de mesura de 50 a 250 KHz i resolucions de 100 nA.

Es va connectar QuiC-Mon v3.2 a circuits integrats de Sandia i es van comparar les mesures del monitor amb les proporcionades per una Unitat de Mesura Paramètrica (PMU) observant-se errors de mesura inferiors al 5%. Un altre mesura obtinguda amb QuiC-Mon v3.2 va ser la de la capacitat C_{DD} i la seva variació amb el vector d'entrada i amb la tensió d'alimentació. Es va observar que el valor de la capacitat està estretament lligat al número de sortides a nivell alt del C.I. Això succeeix perquè la capacitat entre els pads de sortida i GND és més elevada que la que existeix entre els mateixos pads i VDD. Aquesta capacitat es connecta en paral·lel amb C_{DD} quan la sortida pren el valor lògic "1". La variació observada de C_{DD} va ser de un 10 %. També es va observar que la capacitat es modificava seguint una dependència inversa amb la tensió d'alimentació. Aquest comportament és el que cal esperar d'una capacitat que es deguda en bona part a les unions PN del circuit polaritzades en inversa. Insistirem en aquest tema en el capítol 5 d'aquesta tesi.

Un problema del monitor QuiC-Mon v3.2 és la relativament elevada resistència de la porta de transmissió que fa que els corrents de pic màxim admissibles siguin molt baixos. Al capítol 5 es farà un anàlisi crític del QuiC-Mon v3.2 en aquest aspecte del seu disseny.

El QuiC-Mon v5.0

Aquesta és una versió millorada del sensor anterior [51]. En aquest sensor Wallquist canvia l'enfoc. En comptes de mesurar la caiguda de tensió del node VDD, el que fa és obtenir la derivada temporal d'aquest voltatge. El circuit incorpora un derivador construït amb un amplificador operacional seguit d'un amplificador de tensió. A la sortida obté un voltatge proporcional a la derivada temporal del voltatge del node VDD. El QuiC-Mon v5.0 inclou un transistor MOSFET com interruptor, sens dubte degut a les crítiques de

la excessiva caiguda de tensió a les portes de transmissió de la versió anterior del monitor. Així i tot, no es presenta una anàlisi del problema de la injecció de càrrega sempre present quan s'utilitzen transistors MOSFET de potència. (veieu capítol 5). La freqüència de mesura d'aquesta nova versió del monitor va ser de 100 KHz i es va construir una versió IDDQ i un altre ISSQ.

ISIS: sensor *off-chip* amb interfície estàndard

Aquest sensor [29] combina dues característiques: d'una banda és una implementació de la tècnica de Keating-Meyer i de l'altra conté la lògica necessària per a connectar-se a través d'un port P1149.1. L'objectiu del sensor és integrar en el seu sí una versió del mètode de Keating-Meyer i un estàndard de comunicació amb l'exterior.

La implementació del mètode de Keating-Meyer es fa de manera semblant al QuiC-Mon v3.2. Un interruptor, que aquí és un transistor PMOS, talla l'alimentació del CUT i un amplificador amplifica la diferència entre la tensió d'alimentació externa i la del circuit. La sortida de l'amplificador es compara amb un voltatge de referència i el resultat és una de les entrades del circuit de control. Un comptador mesura el temps que passa entre que l'interruptor s'obre i el voltatge del node VDD assoleix un valor determinat. El circuit de control esborra el comptador i genera els senyals de temps necessaris per a la correcta seqüència i calibració del sensor. Finalment, el valor digital del comptador és enviat a l'exterior del sensor a través d'una interfície P1149.1. El conjunt està integrat en un encapsulat estàndard i admet el control simultani de dos CUT.

En les especificacions es va determinar que la caiguda de tensió màxima a través de l'interruptor havia de ser de 100 mV per un corrent transitori de 100 mA. Això va fer que el transistor PMOS fos molt gran i que apareixessin problemes d'injecció de càrrega que es reflexen en les figures presentades en la publicació [29].

Altres sensors basats en la tècnica de Keating-Meyer

En la recerca lligada al desenvolupament d'aquesta tesi doctoral s'han fet dues aportacions al test per corrent *off-chip* que utilitzen una versió del mètode de Keating-Meyer [24][25]. La seva descripció detallada es farà al capítol 4.

1.5.3 Sensors *off-chip* en sèrie amb el CUT

Aquests sensors *off-chip* mesuren el corrent quiescent a través de la caiguda de tensió que produeix en un element de mesura (usualment una resistència o un MOSFET). Per a obtenir una tensió constant en el terminal d'alimentació del CUT aquests sensors afegeixen circuits amb realimentació (normalment amb amplificadors operacionals) que fan que el voltatge V_{DD} es mantingui constant. Varis esquemes són possibles: alimentar el CUT des de l'amplificador operacional o a través d'un transistor o altres. A la figura 1.3(a) es pot veure una solució amb una resistència connectada a l'amplificador operacional i a la figura 1.3(b) una solució amb un mirall de corrent. S'han proposat altres enfoc a [2]. Tots els sensors d'aquesta classe tenen en comú que, per compensar les caigudes de tensió degudes al corrent que circula per l'element de mesura i per altres components del sensor, necessiten una tensió d'alimentació externa de valor més elevat que la tensió d'alimentació del CUT. Aquesta tensió més elevada està representada amb el símbol V_{DD+} a la figura 1.3. Això restringeix el camp d'aplicació d'aquests sensors a la disponibilitat d'aquestes tensions més elevades. Un problema addicional és la gran dimensió requerida per l'etapa de sortida de l'amplificador operacional. Aquesta gran dimensió és necessària per proporcionar suficient corrent per alimentar el CUT durant els transitoris.

En els següents paràgrafs es presenten els sensors més representatius que utilitzen la tècnica esmentada.

IDUNA-1 i IDUNA-2

El sensor IDUNA-1 es va implementar a Philips Research l'any 1990 [44]. Inicialment es va dissenyar per a ser un BICS incorporat en circuits SRAM. Però més tard es va utilitzar com sensor *off-chip*. El circuit consisteix en un transistor PMOS connectat entre una font d'alimentació externa i el *pin* VDD del CUT. La porta del transistor està controlada per la sortida d'un amplificador operacional. Les entrades de l'amplificador estan connectades a la tensió V_{DD} i a una tensió externa de referència en una configuració de seguidor de tensió. El resultat és que la realimentació negativa del circuit garanteix que el *pin* VDD té el voltatge determinat per la tensió de referència. Per mesurar el corrent quiescent, el transistor PMOS forma un mirall de corrent amb transistors addicionals (figura 1.3(b)). A la sortida del mirall es té una imatge del corrent quiescent que pot ser comparada amb un corrent de referència per a generar un senyal digital PASSA/FALLA.

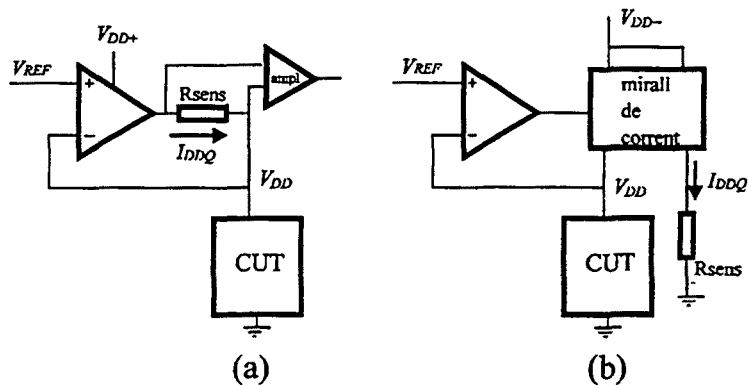


Figura 1.3: Dos enfoc de sensors *off - chip* amb circuits en sèrie que alimenten el CUT

Les prestacions del sensor, segons els dissenyadors, són: mesura de corrents fins a $2 \mu A$ a una freqüència de 1MHz. El corrent de pic màxim admés era de 100 mA amb una caiguda de tensió acceptada al *pin* VDD de 400 mV.

Uns anys més tard els mateixos dissenyadors van presentar una versió millorada del sensor: el IDUNA-2 [45][44]. Aquest sensor va ser concebut des del principi com un sensor *off-chip* d'acord amb les especificacions d'un estàndard que Philips Research estava impulsant en aquells moments (QTAG [48]). El circuit de mesura segueix el mateix principi que el sensor IDUNA-1, però el circuit complet inclou un circuit de *bypass* que s'activa quan el sensor no està mesurant el corrent quiescent i versions més sofisticades del comparador de corrent.

Les prestacions del sensor són les següents: 50 KHz de freqüència de mesura, $10 \mu A$ de llindar mínim de corrent quiescent i 300 mV de caiguda de tensió del node VDD per a un corrent de pic de 300 mA.

Els sensors OCIMU i POCIMU

El sensor *off-chip* OCIMU va ser desenvolupat per H. Manhaeve i un equip format per membres de la Universitat de Oostende (Bèlgica), Universitat de Hull (UK) i del VLSI Test Group de la firma ALCATEL [21]. Els autors fan la crítica del mètode de Keating-Meyer argumentant que en els circuits VLSI

la capacitat de desacoblament que es connecta als *pins* d'alimentació és molt gran (de l'ordre d'alguns μF) i, per tant, el mètode de mesura del corrent quiescent de Keating-Meyer seria massa lent. Per resoldre aquest problema proposen el següent principi de mesura: quan el sensor està en mode de mesura, el *pin* VDD del CUT és alimentat per la sortida d'un amplificador operacional a través d'una resistència en sèrie. A més, el voltatge d'alimentació es connecta a la entrada inversora de l'operacional. A la entrada no inversora de l'amplificador operacional s'aplica un voltatge de referència igual a la tensió d'alimentació que es desitja pel CUT. La realimentació negativa del circuit garanteix que l'alimentació del CUT sigui estable i del valor desitjat (figura 1.3(a)). El corrent quiescent es mesura per la caiguda de tensió entre els extrems de la resistència abans esmentada. Aquesta caiguda de tensió es compara amb una tensió lliardar i el resultat es presenta com un senyal digital PASSA/FALLA.

El sensor OCIMU inclou també un circuit de *bypass* per a absorbir el transitori de corrent, un circuit de detecció de corrents fora de rang i un circuit conversor del voltatge analògic entre el extrems de la resistència de mesura a senyal digital.

Les prestacions del sensor són les següents: 10 KHz de freqüència de mesura, marge de mesura de $1\mu\text{A}$ a $1000\mu\text{A}$, capacitat de desacoblament fins a $2\mu\text{F}$, corrents de pic fins a 10 A i precisió de la mesura millor del 5 %.

El sensor POCIMU va ser presentat pels mateixos autors com una versió millorada del sensor OCIMU [7]. El sensor es presentat com una versió programable de l'anterior compatible amb l'estàndard QTAG. La programació permet configurar el sensor per a que doni resultats òptims. Així el POCIMU ofereix 9 configuracions com a combinació de tres freqüències de treball (10 KHz, 5KHz i 2KHz) i de tres capacitats de desacoblament ($2\mu\text{F}$, $1\mu\text{F}$ i $0.5\mu\text{F}$). El sensor manté les prestacions de corrent de pic i precisió del seu antecessor.

El sensor de Hirase

Aquest sensor [43] utilitza un enfoc semblant al OCIMU per la mesura del corrent quiescent. Una resistència en sèrie entre la sortida d'un operacional i el *pin* VDD del CUT proporciona l'element sensor de corrent. Un amplificador diferencial converteix la caiguda de tensió en la resistència en un senyal digital. Un simple relé és el circuit de *bypass* sempre necessari per a absorbir els pics de corrent transitoris. Els autors no presenten les prestacions del

sensor.

El sensor de Isawa

Aquest sensor [50] utilitza també una resistència alimentada per un amplificador operacional com element sensor. L'autor, membre d'una empresa fabricant de equps de test (ADVANTEST), mostra que amb el mètode convencional de test, amb una resistència sensora i un A.O., la velocitat del test està limitada per la constant de temps que formen la resistència sensora i els condensadors de *bypass* connectats al node d'alimentació del CUT. L'autor proposa una millora del mètode que permet reduir el valor dels condensadors de *bypass* per mitjà de fonts de tensió addicionals que subministren el corrent que demanda el CUT durant el transitori i que es desconnecten durant el període de mesura del corrent quiescent. L'autor afirma que potencialment, ja que només presenta resultats simulats, pot detectar corrents de $1 \mu\text{A}$ a 1Mhz.

1.5.4 Proposta de normalització dels sensors *off-chip*: el QTAG

El QTAG (*Quality Test Action Group*) es va presentar a la comunitat de l'enginyeria del test durant el ITC'93 com un intent de normalització de monitors I_{DDQ}/I_{SSQ} *off-chip*. El seus impulsors van ser membres de Philips Research i de Texas Instruments als que l'experiència els havia convençut que la realització del test I_{DDQ} amb màquines de test convencionals era massa lenta. El número de vectors necessari pel test per corrent era massa nombrós (més de 100 vectors) i les freqüències de test massa baixes. La solució proposada va ser que els dissenyadors de sensors *off-chip* desenvolupessin uns sensors amb característiques normalitzades adequats per a ser muntats en les plaques de les màquines de test (*test fixtures*).

Per això es va proposar agrupar a totes les parts involucrades en un sol organisme : el QTAG. Els components d'aquest organisme serien:

- Els departaments de test de les empreses: com usuaris dels monitors de corrent
- Els venedors de màquines de test: sumministrant el *software* necessari per a operar els monitors
- Els venedors de test *fixtures*: subministrant les plaques adequades per a montar els monitors

- Els dissenyadors de monitors: per subministrar monitors, barats i precisos.

Els objectius del QTAG eren els següents:

1. Definició de un encapsulat estàndard i una configuració de *pins* estàndard per als monitors I_{DDQ}/I_{SSQ}
2. Definició de una interfície estàndard amb els equips de test
3. Definició de un estàndard de les diferents configuracions dels monitors
4. Estàndard que defineixi la configuració per l'us de múltiples monitors
5. Definició d'un Format de Descripció del Monitor per a una fàcil interfície amb el *hardware* i el *software* dels equips de test
6. Estàndard per a la definició del llinar de corrent.
7. Estàndard per a la construcció robusta i operació fiable dels monitors en un ambient de forta EMI.

A partir de la creació del QTAG hi ha hagut alguns intents de definició de monitors QTAG [6][47] i s'ha anat divulgant la seva existència i els seus progressos [48][5][49], no obstant sembla que la plena consecució dels objectius encara és lluny.

1.6 ANÀLISI DELS SENSORS *ON-CHIP*

1.6.1 Introducció

En aquesta secció es farà una anàlisi dels sensors *on-chip* (BICS). Degut a la gran quantitat de publicacions sobre el tema, es distingirà entre els sensors amb un grau de maduresa tal que inclogui la construcció de CI experimentals i els sensors dels que només es disposa d'alguna simulació SPICE.

En els sensors *on-chip* s'utilitzen els següents enfoc per monitoritzar el corrent:

- Sensor no lineal amb una unió PN
- Sensors proporcionals amb resistència i unió PN
- Sensors integradors amb interruptors i capacitats
- Sensors *on-chip proporcionals* amb resistències o transportadors de corrent en sèrie amb el CUT

1.6.2 BICS experimentats

Com s'ha dit abans en aquest apartat s'analitzaran els BICS dels que s'ha fet un estudi més complet incloent la construcció de CI experimentals sobre els que s'han mesurat les seves prestacions.

Sensor de Maly

W. Maly i el seu equip de la Universitat de Carnegie Mellon va ser el que va introduir el concepte de sensor de corrent integrat en el sí del circuit que es vol testar (BICS). En els reports interns on es formula el concepte dels BICS [84][85][64][16] es presenta també el disseny d'un BICS. El principi utilitzat en aquest sensor es basa en la relació entre la caiguda de tensió d'una unió PN polaritzada directament i el corrent que circula a través d'ella. Així, el sensor de Maly incorpora un transistor BJT lateral compatible CMOS com element sensor (al capítol 3 d'aquesta tesi es farà una descripció detallada dels transistors BJT laterals compatibles amb la tecnologia CMOS). El transistor té curtcircuitats el terminal de Col·lector i el de Base i, per tant, treballa com un díode. El transistor està connectat entre GND i els terminals de Sortidor del transistors NMOS del CUT que estarien normalment connectats a terra. Així, el sensor crea un nou node en el circuit: el node VGND (GND virtual). El corrent, tant el corrent transitori com el corrent quiescent, del circuit circula a través del BJT desenvolupant una caiguda de tensió proporcional al logaritme del corrent. El transistor BJT lateral treballant com un díode compleix així una doble missió: d'una banda limita la màxima caiguda de tensió entre els extrems del sensor i de l'altre actua com element de conversió corrent/voltatge d'extraordinària sensibilitat donada la relació logarítmica entre el corrent i la tensió d'un díode.

El circuit complet del sensor incorpora dos elements addicionals: d'una banda, un circuit de protecció (*breaker*) que detecta l'existència d'un curtcircuit directe entre V_{DD} i GND. Si es detecta aquesta situació, el *breaker* talla el transistor BJT lateral deixant el node VGND en alta impedància i, per tant, el voltatge d'aquest node puja fins a V_{DD} . Això permet que, en cas d'un curtcircuit o d'una fuga de corrent important a través del CUT, la font d'alimentació no resulti sobrecarregada.

D'altra banda, el sensor de Maly conté un comparador format per un parell d'inversors realimentats. El comparador és controlat per un senyal de rellotge que inhihbeix o autoritza el seu funcionament. El comparador compara la caiguda de tensió del transistor BJT lateral amb una tensió

externa de referència. Si la caiguda de tensió del transistor lateral sobrepassa a la tensió de referència el comparador indicarà que el CUT falla el test per corrent, en cas contrari indicarà que el CUT és correcte. A la figura 1.4 es representa l'esquema elèctric complet del sensor de Maly.

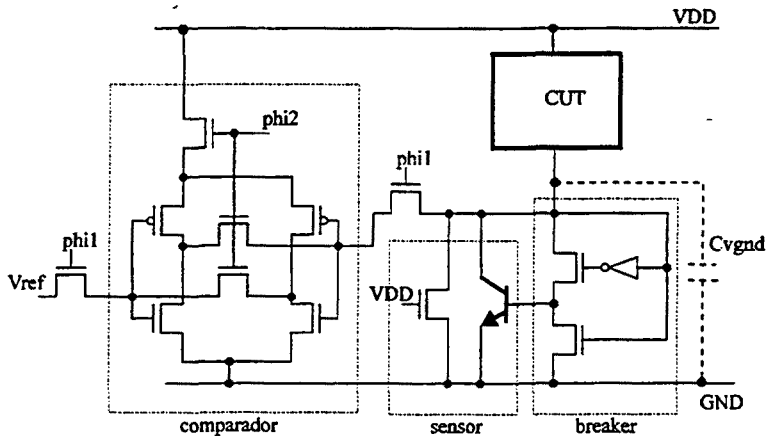


Figura 1.4: Sensor de Maly [84]

El sensor es va dimensionar per una caiguda de tensió de 0.65 V per un corrent de 20 mA. Aquesta caiguda de tensió s'ha de restar de la tensió d'alimentació del CUT per a obtenir l'excursió real de tensió en els transistors del CUT i, per tant, degrada el comportament dinàmic del CUT. Aquesta és una característica comú a tots els BICS que serà estudiada al segon capítol d'aquesta tesi. A [85] es reporta una degradació del 15 % en la velocitat del CUT que incorpora el sensor.

Un problema del sensor de Maly, tal com està descrit a [85] és la presència de corrents de substrat deguts a les estructures bipolar paràsites associades al transistor BJT lateral. Un altre element crític del sensor és el transistor MOS en paral·lel amb el transistor BJT lateral. Aquest transistor treballa com una resistència la funció de la qual és proporcionar un camí per les càrregues emmagatzemades al node VGND durant el període quiescent. Si el valor de la resistència és gran, el node VGND no es descarregarà totalment i llavors el marge dinàmic del voltatge al node VGND serà petit. Pel contrari, si la resistència del MOS és petita, llavors el sensor perd sensibilitat. Aquest *trade-off* es trova present en tots els sensors que incorporen diodes i

resistències com veurem més endavant.

Així el sensor de Maly presenta unes bones característiques de sensibilitat i permet memoritzar l'estat del CUT a través del comparador. No obstant, com s'ha dit, presenta corrents de substrat indesitjables i té components de disseny crític.

En anys posteriors W. Maly i col·laboradors han presentat una variant del seu sensor on es modifica lleugerament el comparador i el circuit *breaker*, però manté el mateix enfoc que el sensor original [82][83].

Sensor amb díode i resistència

Mentre que en el BICS de Maly el dispositiu sensor és un BJT lateral treballant com díode, en els BICS que s'estudien aquí l'element sensor és la combinació d'una resistència i d'un díode. Aquesta classe de BICS és la que ha tingut més èxit entre els dissenyadors ja que es coneixen nombroses aportacions, tant de BICS experimentals com de propostes. Shen a 1993 [78] va presentar per primer cop aquest enfoc que després va ser assumit, amb variants, a nombroses propostes [15][3][13][81][86][37][77][76][75].

La idea bàsica és molt semblant a la del sensor de Maly. El BICS es connecta en sèrie entre el CUT i el *pin* GND. Així, el corrent que prové del CUT passa a través d'una combinació de díode i resistència. Quan el corrent és gran, en els transitoris, el díode limita la caiguda de tensió a través del sensor a unes dècimes de volt. Quan el corrent és petit, en l'estat quiescent, la resistència treballa com convertidor corrent/tensió donant un voltatge proporcional al corrent quiescent. Aquest voltatge es compara amb una tensió de referència per a determinar si el corrent quiescent és o no anormal. L'esquema del comparador és també molt semblant al del sensor de Maly. A la figura 1.5 es pot veure un diagrama del sensor de Shen.

El transistor NMOS en paral·lel amb el díode treballa com a resistència. De la mateixa manera que en el sensor de Maly, el valor d'aquesta resistència és crític per a les prestacions del sensor. Si és molt gran, la capacitat $C_{V_{GND}}$ no es descarregarà suficientment durant el període quiescent, reduint el marge dinàmic del sensor. Si és molt petita, el sensor perd sensibilitat.

A [78] es reporta la construcció d'un circuit integrat experimental que incorpora el sensor amb díode i resistència. Excitant un defecte estàticament, els autors van aconseguir fer funcionar el sensor a 30 MHz. Aplicant un conjunt de vectors al CUT van fer funcionar el sensor a 12 MHz. El límit inferior de corrent per detecció de defectes va ser 80 μ A. La degradació observada en la velocitat del CUT va ser del 14.44 %.

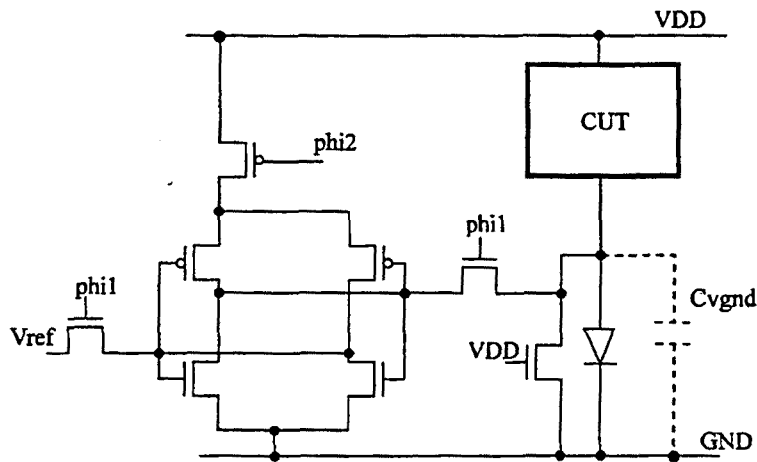


Figura 1.5: Sensor amb díode i resistència [77]

Altres implementacions del sensor amb díode i resistència es poden trobar a [81] i [77]. A [81] es reporta la construcció d'un CI experimental incorporant el BICS que es va fer funcionar a 5 MHz amb corrent mínima de 50 μA . A [77][76] i [75] es presenta una variant de l'esquema bàsic al suprimir el díode ja que, argumenta l'autor, la caiguda de tensió en el díode penalitza excessivament la velocitat de funcionament del CUT per tensions d'alimentació de 3.3 volts o inferiors. La solució que proposa a aquest problema és eliminar el díode i fer que la resistència sensora sigui molt petita. L'autor proposa, a més, un amplificador del corrent quiescent anormal fent que la sortida del comparador, quan es detecta que el corrent quiescent és excessiva, activi un curtcircuit directe entre V_{DD} i GND. D'aquesta manera, segons l'autor, es minimitza l'àrea dedicada a les interconnexions entre els nombrosos BICS d'un gran circuit VLSI. Naturalment això requeriria l'existència d'un sensor extern que fos capaç de detectar el corrent de curtcircuit.

A [13][72] i [37] es presenten aplicacions del sensor amb díode i resistència. A [13] es proposa utilitzar-lo com a complement del test de les interconnexions d'un mòdul multi-xip (MCM). La tècnica proposada inclou l'existència de cel·les *boundary scan* P1149.1 lligades als *pins* d'entrada i sortida dels CI del MCM. A [72] es proposa utilitzar el sensor per a monitoritzar el consum d'un circuit integrat. A [37] es proposa la utilització

concurrent del sensor amb díode i resistència i de circuits *self-checking* per aconseguir circuits totalment auto-testables.

Sensor diferencial (amb unions PN i resistència)

Aquest sensor es presentà al VLSI Test Symposium de 1994 [3] amb la idea de millorar la velocitat del sensor amb díode i resistència. Els autors fan notar que en el sensor de Shen, la velocitat del sensor ve limitada pel valor de la capacitat $C_{V_{GND}}$ i el de la resistència sensora. Per millorar aquesta velocitat els autors proposen dividir el CUT en dues parts el més iguals possible (per aconseguir capacitats $C_{V_{GND}}$ iguals) i aplicar a cada part un sensor de corrent amb díode i resistència. La sortida de cada sensor es connecta a cadascuna de les entrades d'un comparador. Si una de les parts del CUT presenta un corrent quiescent anormal, la evolució del voltatge a la resistència sensora serà diferent que a l'altre part. Aquesta diferència podrà ser detectada pel comparador. A la figura 1.6 es pot veure un esquema del sensor diferencial.

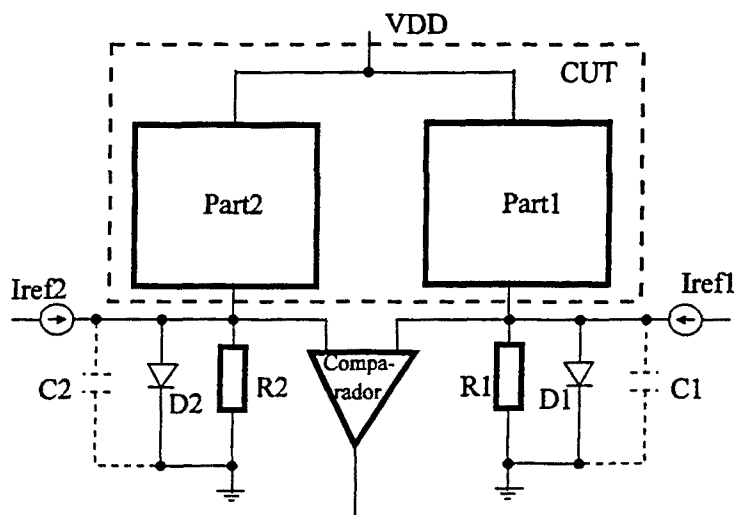


Figura 1.6: Sensor diferencial [3]

Els autors van construir un C.I. experimental incorporant el sensor diferencial. La capacitat mesurada de cadascuna de les dues particions del

circuit va ser de 2.5 pF. El sensor va funcionar a 31.25 MHz detectant els defectes intencionadament provocats en el C.I.

A [86] s'ha proposat una aplicació del sensor diferencial per al test per corrent de memòries RAM estàtiques que, per la regularitat de la seva estructura, poden fàcilment dividir-se en particions iguals.

Sensor proporcional

El sensor proporcional (**PBICS**) [41][42], és una variant dels sensor amb unions PN i resistència. Al sensor PBICS el díode de la figura 1.5 es substitueix per un transistor BJT lateral construït amb tecnologia CMOS (**CLBJT**). El **CLBJT** té l'emissor connectat al CUT i la base a terra. El col·lector del **CLBJT** té connectat una resistència que treballa com a convertidor corrent/tensió. Una part del corrent quiescent que prové del CUT es deriva a GND a través de la unió base-emissor, però un altre part circula a través del col·lector i la resistència sensora on es desenvolupa un voltatge proporcional. El sensor a estat experimentat en circuit de complexitat mitja (342 transistors) i presenta un bon funcionament fins a freqüències de 10 MHz. L'anàlisi, el disseny i l'experimentació d'aquest sensor és part del contingut d'aquesta tesi i la descripció del seu comportament estàtic i dinàmic es farà en el capítol 3.

Sensor integrador *on-chip* amb l'enfoc de Keating-Meyer

A [2] es fa la proposta de que el corrent quiescent pot carregar una capacitat connectada entre el node GND virtual i GND i desenvolupar un voltatge en aquest node proporcional al producte del corrent quiescent per el temps. L'increment de tensió produït al node VGND seria després comparat amb una referència per a determinar si el corrent estava fora del marges correctes. En essència és el mètode Keating-Meyer aplicat a sensors *on-chip*.

Una implementació *on-chip* completa del mètode de Keating-Meyer a un circuit experimental es va presentar a [1]. El sensor disposa d'un transistor MOSFET de canal P connectat entre la font d'alimentació (V_{DD}) i el CUT (V_{VDD}) que treballa com interruptor. L'interruptor està tancat mentre dura el transitori de commutació del circuit. Un senyal activa el sensor obrint l'interruptor i inicialitzant el circuit de control. La diferència de potencial entre V_{DD} i V_{VDD} s'amplifica i es porta a un detector de nivell. Quan aquesta diferència arriba a un llindar s'activa un *latch* i es torna a tancar l'interruptor. El temps transcorregut entre l'obertura de l'interruptor

i l'activació del *latch* és inversament proporcional al corrent I_{DDQ} . A la figura 1.7 es pot veure un esquema del sensor.

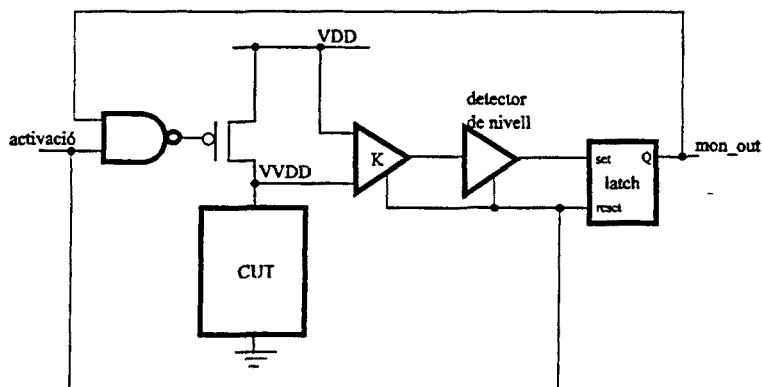


Figura 1.7: Sensor BICS amb l'enfoc de Keating-Meyer [1]

Les especificacions del sensor exigien que per corrents de 100 mA la caiguda de tensió màxima fos de 100 mV. Això va exigir el disseny d'un interruptor (el transistor PMOS) de resistència en estat de conducció de 1 Ω . És a dir, es va incloure un transistor de potència en el disseny del CI. La gran injecció de càrrega deguda a la capacitat porta-drenador que es produeix en un transistor d'aquestes característiques es va intentar compensar connectant en paral·lel un altre transistor governat per un senyal oposat. Es va dissenyar i construir un circuit ASIC incorporant un sensor als *pads* d'entrada/sortida i un altre al nucli del circuit. La capacitat C_{DD} va ser de 360 pF pel sensor dels *pads* i de 600 pF pel sensor del nucli. La caiguda de tensió màxima es va fixar en 150 mV. Es va provar el funcionament del sensor per corrent des de 500 nA a 100 μ A donant resultats satisfactoris.

Sensors *on-chip* amb resistències i A.O. o amb transportadors de corrent

Aquests sensors són la versió *on-chip* dels sensors amb circuits realimentats descrits en la secció anterior. A [39] es descriu un sensor *on-chip* idèntic al proposat a [21] (sensor OCIMU). Els autors reporten els resultats de la simulació del BICS en circuits petits i afirmen que la freqüència de test arriba als 50 MHz, mesurats com la inversa del temps de resposta del sensor

per un corrent quiescent constant. La degradació del CUT afirmen que és despreciable. Això és degut a que fan que el voltatge d'alimentació del CUT sigui lleugerament superior al nominal. Això compensa la degradació com és lògic. La resolució del sensor proposat és de $140 \mu\text{A}$.

Un altre enfoc per la mesura *on-chip* del corrent quiescent amb amplificadors operacionals és la utilització de circuits transportadors de corrent (*current conveyors*) [79]. Aquests són circuits amb dues entrades i una sortida. Els transportadors de corrent, transporten (copien) el corrent en un dels seus terminals d'entrada a la sortida mantenint el voltatge a les dues entrades igual. Això els fa ideals per utilitzarlos com sensors de corrent. El corrent de sortida del transportador passa per una resistència sensora que el transforma en tensió. El sensor proposat a [79] inclou un transistor de *bypass* i un comparador que transforma la mesura analògica en un senyal digital PASSA/FALLA. Es mostren simulacions sobre un circuit amb una capacitat de 50 pF al node d'alimentació virtual. Els autors afirmen que el sensor funcionaria a 1MHz amb capacitats de 200 pF al node VDD i a 5KHz amb capacitats de $1 \mu\text{F}$.

1.6.3 Propostes

En aquest apartat es descriuran sensors proposats que presenten interès però que fins ara no han estat implementats en circuits integrats experimentals. Alguns dels sensors proposats repeteixen enfocs ja presentats anteriorment mentre que d'altres es fonamenten en enfocs totalment nous.

BICS AMB RESISTÈNCIA

BICS amb resistència i unió PN A [15] es proposa una variant del sensor amb díode i resistència que inclou una font d'alimentació de tensió negativa connectada al càtode del díode per a compensar la degradació de la velocitat del CUT deguda a la caiguda de tensió en el díode. La resta del sensor és convencional. Els autors afirmen haver simulat el circuit amb corrents I_{DDQ} de $25 \mu\text{A}$ a 1MHz de freqüència.

A [62] es proposa un BICS amb díode i resistència en el que la resistència està formada per un transistor MOS que té la porta polaritzada per un voltatge proporcional a la caiguda de tensió en la pròpia resistència. D'aquesta manera es pretén que la resistència sigui gran quan el corrent sigui petit, és a dir, en l'estat quiescent, i en canvi sigui petita durant el transitori. El BICS va ser simulat amb el circuit ISCAS85 C432 mostrant

un corrent mínim detectable de $35 \mu\text{A}$, un retard en la resposta del sensor de 50 ns i una degradació de la velocitat del CUT del 11 %.

BICS amb resistència i comparador asimètric A [18] es proposa un BICS en que l'element sensor és una resistència feta amb un transistor MOSFET de canal N en conducció i en que la tensió de referència que determina el llindar dels corrents quiescents normals es fa dimensionant de manera asimètrica els transistors del comparador-*latch*.

SENSORS INTEGRADORS

El sensor integrador de Y. Miura i K. Kinoshita El sensor de Miura [90] integra el corrent (quiescent i transitori) per a determinar si existeix un corrent quiescent anormal. El circuit sensor presentat a [90], i després modificat lleugerament a [91] [92] i [89] per incloure el test per corrent de circuits mixtes, inclou un convertidor corrent/tensió (un transistor NMOS treballant com resistència), un canviador de nivell que converteix el senyal analògic que prové del convertidor corrent/tensió en un senyal digital, i un circuit integrador que evalúa la integral del senyal digital durant un temps determinat. A la figura 1.8 es pot veure l'esquema elèctric del sensor integrador.

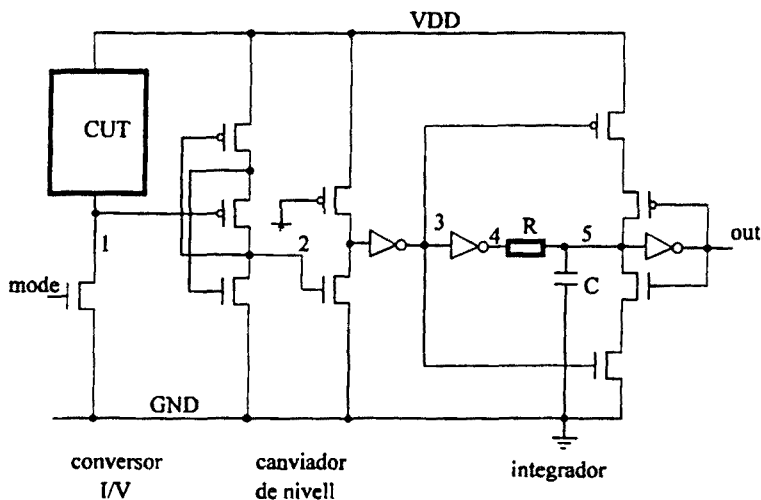


Figura 1.8: Sensor integrador de Miura [89]

El funcionament del sensor és el següent: el transistor NMOS connectat al node 1 treballa com una resistència convertint el corrent (tant el transitori com el quiescent) del CUT en una tensió proporcional ($MODE = 1$). Aquest voltatge (analògic) és transformada en un senyal digital al canviador de nivell. Així, el valor lògic del node 4 és normalment "1" excepte el període de temps en que el corrent està per sobre d'un llindar determinat per la relació de mides dels transistors del canviador de nivell. Així, el senyal al node 4 valdrà "1" durant el petit interval del transitori en un circuit sense defecte. En canvi, en un circuit amb defectes, el període en que el senyal al node 4 val "1" serà molt més llarg. El circuit integrador, integra el senyal del node 4, resultant que, si la duració del senyal al node 4 és petita, la integració serà incapaç de modificar l'estat de la sortida OUT i, en canvi, si la duració del senyal al node 4 és llarga, la integració farà canviar l'estat de la sortida OUT.

El sensor integrador va ser lleugerament modificat a [91][92] i [89] afegint un integrador addicional per a comprovar que el senyal integrat del node 4 tingui una duració mínima. Amb això es pretén ampliar el ventall d'aplicacions del sensor a circuits mixtes que presenten per disseny un corrent quiescent diferent de zero. Alguns defectes d'aquests circuits poden ser detectats pel sensor modificat ja que generen un corrent quiescent inferior al normal. A [93] es descriu una aplicació per aquest tipus de circuits.

Les prestacions del sensor obtingudes per simulació que es reporten a [91] i a [92] per al circuit ISCAS85 C17 són: corrent mínim de $30 \mu A$ i freqüència de test de 28.5 MHz.

Sensor integrador de Kesel L'autor proposa a [19] i [20] utilitzar un circuit amb 4 transistors MOS per a detectar la presència de corrents quiescents anormals. El seu enfoc és una variant del de Keating-Meyer. El circuit disposa d'un interruptor que s'obre quan es vol mesurar el corrent quiescent. Si hi ha un corrent anormal, el node d'alimentació virtual comença a disminuir la seva tensió. Aquest node està connectat a la porta d'un transistor PMOS que comença a conduir tan aviat com el voltatge del node virtual disminueix la seva tensió en una quantitat igual a la tensió llindar del transistor. Aquesta conducció activa un circuit que senyalitza la situació de defecte del CUT. L'autor dona uns criteris per dimensionar la cel.la mínima on es pot aplicar el seu sensor.

Sensor integrador de Favalli M. Favalli, P. Olivo *et al.* de la Universitat de Bologna van proposar el 1989 un sensor integrador [56][57]. Els autors proposen afegir un transistor NMOS extra per cada porta del circuit. Aquest transistor estaria connectat entre GND i la porta. En mode NORMAL el transistor estaria conduint i treballaria com un *bypass* del sensor. En mode TEST el transistor es posaria en estat de no conducció i deixaria flotant el node terra virtual (VGND). Si el circuit presenta un corrent quiescent anormal, el node VGND elevarà la seva tensió. Un segon transistor NMOS amb la porta connectada a VGND es posarà a conduir en aquest cas. Aquest segon transistor tindria el drenador connectat a un *pull-up* i, per tant, treballaria com amplificador. L'estat lògic "0" a la sortida d'aquest amplificador senyalaria la presència d'un corrent quiescent anormal. Els autors no han desenvolupat cap implementació experimental de la seva proposta.

BICS AMB MIRALL DE CORRENT

A [53] i [27] es proposa que el circuit sensor el formin miralls de corrent fets amb transistors MOS o bipolars. A [8] es proposa un sensor amb 24 transistors MOS i dos díodes zener. El sensor utilitza una variant dels circuits transportadors de corrent. Segons els autors, el circuit treballa a 5 MHz amb un corrent mínim de $40 \mu\text{A}$. A [58] i [59] es proposa duplicar el CUT en dues parts iguals i afegir un sensor a cadascuna. Les dues sortides dels sensors es resten i si hi ha una discrepància indica que una de les còpies del CUT té un defecte. Es proposa la utilització d'aquest enfoc en circuits mixtes on es freqüent trobar parts del circuit duplicades.

A [14] es proposa un simple mirall de corrent amb transistors MOS i a [94] es proposa un sensor amb un mirall de corrent fet amb transistors bipolars i una resistència formada per la pista de metall que uneix el node de terra del CUT amb el *pad* de terra del circuit. El baix valor d'aquesta resistència permet un temps de resposta molt curt i una degradació negligible del retard del CUT però, en canvi, fa que el sensor sigui poc sensible.

1.6.4 Sensors del corrent dinàmic

Tot i que els sensors que analitzen el corrent dinàmic dels circuits CMOS no són objecte d'estudi en aquesta tesi, en aquest apartat s'analitzaran breument per a completar el panorama dels sensors per al test per corrent presentats a la literatura.

Els sensors per test de corrent quiescent presenten el problema de que els

defectes que no generen un corrent quiescent anormal romanen indetectables. En canvi, aquests defectes poden induir canvis en el corrent i_{DD} transitori normal del circuit. Així, un altre enfoc possible per al test dels C.I. CMOS proposa l'anàlisi del corrent dinàmic del CUT, és a dir, del corrent mentre el circuit està commutant per tal de detectar aquests tipus de defectes. D'acord amb aquest enfoc, s'han publicat varies propostes de sensors del corrent dinàmic.

A [31][9][30] i [32] es justifica la validesa del test de corrent dinàmic, es proposa un sensor de corrent dinàmic i es presenten aplicacions de la metodologia a circuits mixtes. A [26] es proposa un circuit que detectaria els defectes, tals com els oberts, que fan que el consum dinàmic del circuit sigui inferior a l'esperat i es presenten simulacions per a petits circuits. A [67] i [74] es presenta una tècnica per al test del corrent dinàmic combinada amb el test I_{DDQ} . La tècnica consisteix en dividir el circuit en un gran nombre de particions i en incloure a cada partició dos interruptors a la línia d'alimentació. Un, seria un transistor de *bypass* i l'altre, fet amb un transistor PMOS de petites dimensions, presentaria una resistència elevada al pas del corrent. Si s'alimenta el circuit amb l'interruptor petit, el corrent transitori generarà una caiguda de tensió important que es detectaria per un circuit *ad-hoc*. A més, si el corrent quiescent fos anormal, la caiguda de tensió en l'interruptor seria elevada i, per tant, el corrent quiescent anormal seria detectat. A [28] es proposa comparar les formes d'ona del corrent d'un CUT sense defectes i del CUT defectuos. La diferència entre ambdues ones senyalaria l'existència del defecte.

Tot i que l'anàlisi del consum dinàmic, junt amb l'estàtic, és força prometedora per a la detecció de defectes no coberts pels mètodes tradicionals de test [60], els treballs presentats fins ara encara no han passat de l'estadi de propostes preliminars a l'estadi de realitzacions madures i experimentades.

1.7 RESUM

En aquest capítol s'ha fet una classificació dels sensors per al test per vigilància del consum quiescent d'un circuit CMOS. Els criteris han estat els següents:

- **Funcional:** els sensors es classifiquen d'acord amb el mètode utilitzat per mesurar el corrent quiescent. Els sensors es divideixen en *lineals* i *no lineals*. Els primers es divideixen en dos enfoc: el *proporcionals*, en els que s'obté un voltatge proporcional al corrent, i els *integradors*,

en els que s'obté un voltatge proporcional a la *integral* del corrent. En els sensors no lineals s'obté un voltatge amb una relació no lineal amb el corrent quiescent. L'enfoc més utilitzat, pel nombre de sensors, és el dels sensors lineals proporcionals, mentre que el que ho és menys és el dels sensors no lineals.

- **Estructural:** la classificació estructural es fa d'acord amb el tipus d'element o circuit utilitzat per a mesurar el corrent quiescent. Els sensors es divideixen en: sensors amb *resistència*, sensors amb *mirall de corrent* i sensors amb *interruptor i condensador*. La classe dels sensors amb resistència es pot dividir en varies subclasses depenent de si la resistència sensora està o no acompanyada d'altres elements. Les subclasses són: sensors amb només resistència, amb resistència i unió PN, amb reiestència i Amplificador Operacional i amb resistència no lineal. Les categories amb un nombre més gran de sensors són la dels sensors amb resistència i unió PN i la dels sensors amb interruptor i condensador.
- **Sensors *on-chip* i sensors *off-chip*:** els sensors *on-chip* estan integrats al sí del CUT i es fabriquen al mateix temps. Els sensors *off-chip* estan construïts sobre una pastilla de silici diferent del CUT i són fabricats independentment. Aproximadament el 75 % dels sensors publicats són *on-chip*.
- **Maduresa de la proposta:** es té en compte la validació experimental de cada proposta de sensor.

En aquest capítol també s'ha fet un anàlisi de l'estat de l'art presentant la solució que cada dissenyador ha donat al seu sensor i resumint les característiques més importants que ha obtingut. De la classificació i de l'anàlisi s'observa que el concepte de sensor integrat (BICS) presenta un gran atractiu per la possibilitat que ofereix d'integrar el test del circuit dins del circuit mateix. Per aquest motiu s'ha fet un gran esforç per desenvolupar sensors integrats amb una gran varietat de tècniques, essent la tècnica basada en la utilització d'una resistència com element sensor junt amb una unió PN la que ha rebut més atenció. No obstant, a hores d'ara, no hi ha cap enfoc que hagi demostrat avantatges decisives sobre els demés. D'altra banda, la inclusió d'un BICS implica una penalització en el circuit on s'integra: es requereix un àrea addicional de Silici i les prestacions del circuit queden afectades per la presència del BICS. Aquests factors: insuficient maduresa dels

disseny i penalitzacions del CUT, fan que avui, 8 anys després de presentat per primera vegada el concepte de sensor integrat, encara els fabricants de circuits integrats no hagin adoptat aquesta fórmula per a implementar el test per corrent. Pel contrari, el camp del test I_{DDQ} amb sensors *off-chip* s'ha desenvolupat de tal manera que ha passat a ser un test estàndard dels fabricants de circuits integrats CMOS [35]. No obstant en aquests sensors tampoc existeix una tècnica que clarament superi a les demés i encara avui aquest camp és objecte d'intensa recerca.

En l'anàlisi fet, han aparegut els paràmetres que caracteritzen els sensors, tals com:

- **la velocitat del sensor:** mesurada com la freqüència màxima a la que es pot reslitzar el test
- **la resolució o discriminabilitat del sensor:** que indica el llindar corrent quiescent mínim capaç de ser determinat com corrent anormal pel sensor.
- **la influència del sensor sobre el CUT:** en les seves prestacions, en el nombre de tensions d'alimentació, en el nombre de *pins* extras...

Així, els dissenyadors han buscat millorar totes les característiques desitjables dels sensors, com ara: que tingui una gran velocitat, que sigui sensible, que provoqui una petita caiguda de tensió entre els seus extrems, que suporti un corrent de pic elevat, que sigui simple i petit. D'altra banda han pretès minimitzar les característiques indesitjables, com ara: l'àrea extra de Silici o la pèrdua de prestacions del CUT. En el disseny de sensors pel test I_{DDQ} , com en qualsevol altre aspecte de l'enginyeria, els dissenyadors han de prendre decisions de compromís, ja que existeixen un conjunt de *trade-offs* entre les característiques esmentades que fan que l'avaluació de cada una d'elles no es pugui fer independentment de les demés. El següent capítol està dedicat a analitzar aquestes característiques dels sensors, les seves relacions mútues així com la interacció entre les característiques del CUT i les del sensor.

Bibliografia

- [1] A. Rubio, E. Janssens, H. Casier, J. Figueras, D. Mateo, P. De Pauw, J. Segura. A Built-in Quiescent Current Monitor for CMOS VLSI Circuits. A *Proceedings of ED&TC95*, pàgines 581–585, Març 1995.
- [2] A. Rubio, J. Figueras, J. Segura. Quiescent Current Sensor Circuits in Digital VLSI CMOS Testing. *Electronic Letters*, pàgines 1204–1206, Juliol 1990.
- [3] Adit D. Singh, Jason P. Hurst. Incorporating IDDQ Testing in BIST: Improved Coverage through Test Diversity. A *Proceedings of 12th VLSI Test Symposium*, pàgines 374–379, Abril 1994.
- [4] Akira Masaki. Possibilities of Deep-Submicrometer CMOS for Very-High-Speed Computer Logic. *Proceedings of the IEEE*, pàgines 1311–1324, Septembre 1993.
- [5] Alan Hales. A Serially Addressable, Flexible Current Monitor For Test Fixture Based IDDQ/ISSQ Testing. A *Proceedings of ITC94*, pàgines 223–232, Octubre 1994.
- [6] Alan Hales. Texas Instruments Draft Proposal for the QTAG Off-chip IDDQ/ISSQ Monitor Standard. Technical Report V 1.5, Texas Instruments, Gener 1994.
- [7] B. Straka, H. Manhaeve, J. Vanneuville. Programmable off-chip IDDQ Monitor. A *Proceedings of ETW96*, pàgines 99–102, Juny 1996.
- [8] B.D. Brown, R.D. McLeod. Built-in Current Mode Circuits for IDDQ Monitoring. A *Proceedings of 1993 IEEE Custom Integrated Circuits Conference*, pàgines 30.6.1–30.6.4, 1993.

- [9] Bracho S., Martinez M., Argüelles J. An Approach to Mixed Circuits testing. A *Proceedings of ED&TC93*, pàgines 503–504, Abril 1992.
- [10] C. Crapushettes. Testing CMOS IDD on large Devices. A *Proceedings of ITC87*, pàgines 310–315, 1987.
- [11] Charles F. Hawkins, H. Troy Nagle. The VLSI Circuit Test Problem. A Tutorial. *IEEE Transactions on Computer Aided Design, Vol. CAD-6, No. 2*, pàgines 116–126, Març 1989.
- [12] Charles F. Hawkins, Jerry M. Soden, Ronald R. Fritzemeier, Luther K. Horning. Quiescent Power Supply Current Measurement for CMOS IC Defect Detection. A *IEEE Transactions on Industrial Electronics, VOL 36, No. 2*, pàgines 211–218, Maig 1989.
- [13] Chauchin Su, Kychin Wang, Shyh-Jye Jou. An IDDQ Based Built-In Concurrent Test Technique for Interconnects in a Boundary Scan Environment. A *Proceedings of ITC94*, pàgines 670–676, Octubre 1994.
- [14] Chih-Wen Lu, Chung Len Lee, Jwu-E Chen. A Fast and Sensitive Built-in Current Sensor for IDDQ Testing. A *Digest of Papers of IDDQ'96*, pàgines 56–58, Octubre 1996.
- [15] Ching-Wen Hsue, Chih-Jen Lin. Built-in Current Sensor for IDDQ Test in CMOS. A *Proceedings of ITC93*, pàgines 635–641, 1993.
- [16] Derek B.I. Feltham, Phil Nigh, L. Richard Carley, W. Maly. Current Sensing for Built-in Testing of CMOS Circuits. Technical Report CMUCAD-88-27, Carnegie Mellon University, Juny 1988.
- [17] E. Isern, J. Figueras. Test Generation with High Coverages for Quiescent Current Test of Bridging Faults in Combinational Circuits. A *Proceedings of ITC93*, pàgines 73–82, Octubre 1993.
- [18] E. Lupon, G. Gorriz, C. Martinez, J. Figueras. Compact BIC Sensor for IDDQ Testing of CMOS Circuits. *Electronic Letters, Vol. 29, No. 9*, pàgines 772–774, Abril 1993.
- [19] Frank Kesel. Design of Self-Testable circuits for Logic and Parametric self-test. A *Proceedings of ARCHIMEDES Workshop.*, pàgines 38–42, Juliol 1993.

- [20] Frank Kesel. *Self-Test of non Regular CMOS Circuits in Applications with Critical Security*. PhD thesis, Hannover University, Octubre 1994.
- [21] Hans A.R. Manhaeve, Paul L. Wrighton, Jos van Sas, Urbain Swerts. An off-chip IDDQ Current Measurement Unit For Telecommunication ASICs. A *Proceedings of ITC94*, pàgines 203–212, Octubre 1994.
- [22] H.T. Vierhaus, L. Muhlack, W. Meyer, U. Glaser. CMOS Overcurrent Test: BIC MOnitor Design, Circuit Partitioning and Test Patterns. A *Proceedings of ED&TC94*, pàgines 1–10, 1994.
- [23] J. Ramirez-Angulo, G. Gonzalez-Altamirano. High Speed IDDQ Current Sensors for VLSI System Testing. A *Proceedings of ISCAS96, Vol I*, pàgines 389–392, Maig 1996.
- [24] J. Rius, J. Figueras. Detecting IDDQ Defective CMOS Circuits by Depowering. A *Proceedings of 13th VLSI Test Symposium*, pàgines 324–329, Abril 1995.
- [25] J. Rius, J. Figueras. IDDQ Fault Detection by On the Fly Depowering. A *Proceedings of IEEE Intl Workshop on IDDQ Testing*, pàgines 40–44, Octubre 1995.
- [26] J.A Segura, M. Roca, D. Mateo, A. Rubio. An Approach to Dynamic Power Consumption Current Testing of CMOS ICs. A *Proceedings of 13th VLSI Test Symposium*, pàgines 95–100, Maig 1995.
- [27] Jaime Ramirez-Angulo. Low voltage current mirrors for built-in current sensors. A *Proceedings of ISCAS94*, pàgines 529–532, 1994.
- [28] James F. Plusquellic, Donald M. Chiarulli, Steven P. Levitan. Digital Integrated Circuit Testing using Transient Signal Analysis. A *Proceedings of ITC'96*, pàgines 481–490, Octubre 1996.
- [29] Jaume Pedrós, Antonio Rubio, Jaume Segura. ISIS: An Integrated Standard Interface Sensor for IDDQ Testing. A *Proceedings of Int'l Workshop on IDDQ Testing*, pàgines 50–53, Octubre 1995.
- [30] Javier Argüelles. *Test de consumo dinámico en circuitos integrados mixtos analógicos y digitales*. PhD thesis, Universidad de cantabria, Octubre 1994.

- [31] Javier Argüelles, Salvador Bracho. Transitorios en el Test de Consumo de Intensidad en Circuitos Mixtos. A *Actas del II Congreso de Diseño de CI*, pàgines 341–346, Novembre 1991.
- [32] Javier Argüelles, Salvador Bracho. Signature Analysis for Fault Detection of Mixed-Signal ICs Based on Dynamic Power-Supply Current. A *Journal of Electronic Testing. Theory and Applications*, Vol 9, No. 1-2, pàgines 89–107, Octubre 1996.
- [33] J.C. Lo, J.C. Daly, M. Nicolaidis. Design of Static CMOS Self-Checking Circuits using Built-in Current Sensing. A *Proceedings of Fault Tolerant Computing*, pàgines 104–111, Juliol 1992.
- [34] Jerry M. Soden, Charles F. Hawkins. Test Considerations for Gate Oxide Shorts in CMOS ICs. *IEEE Design and Test*, pàgines 56–64, Agost 1986.
- [35] Jerry M. Soden, Charles F. Hawkins. IDDQ Testing: Issues Present and Future. *IEEE Design and Test of Computers*, pàgines 61–65, Hivern 1996.
- [36] Jerry M. Soden, Ronald R. Fritzemeier, Charles F. Hawkins. Zero Defects or Zer Stuck-at Faults - CMOS IC Process Improvement with IDDQ. A *Proceedings of ITC90*, pàgines 255–256, 1990.
- [37] Jien-Chung Lo, James C. Daly, Michael Nicolaidis. A Strongly Code Disjoint Built-In Current Sensor for Strongly Fault-Secure Static CMOS Realizations. *IEEE Transactions on CAD VOL 14, No 11*, pàgines 1402–1407, Novembre 1995.
- [38] Jing-Jou Tang, Kuen-Jong Lee, Bin-Da Liu. A Practical Current Sensing Technique for IDDQ Testing. *IEEE Transactions on VLSI Systems Vol. 3, No. 2*, pàgines 302–310, Juny 1995.
- [39] Jing-Jou Tang, Kueng-Jong Lee, Bin-Da Liu. Built-in Intermediate Voltage Testing for CMOS Circuits. A *Proceedings of ED&TC95*, pàgines 372–376, Març 1995.
- [40] J.M. Acken. Testing for Bridging Faults in CMOS Circuits. A *Proceedings of 20th Design Automation Conference*, pàgines 717–718, 1983.

- [41] Josep Rius, Joan Figueras. Proportional BIC Sensor for Current Testing. *Journal of Electronic Testing: Theory and Applications*, pàgines 387–396, Decembre 1992.
- [42] Josep Rius, Joan Figueras. Dynamic Characterization of Built-in Current Sensors based on PN Junctions: Analysis and Experiments. *Journal of Electronic Testing, Vol 9, No. 3*, pàgines 295–310, Decembre 1996.
- [43] Junichi Hirase, Masanori Hamada. The Effect of CMOS VLSI IDDQ Measurement on Defect Level. *IEICE Transactions on Inf. and Systems, Vol E78-D, No 7*, pàgines 839–844, Juliol 1995.
- [44] K. Baker, A. Bratt, A. Richardson, A. Welbers. Development of a Class 1 QTAG Monitor. A *Proceedings of ITC94*, pàgines 213–222, Octubre 1994.
- [45] K. Baker, A. Bratt, A. Welbers. Provisional Specification for IDUNA-2. Technical Report RWB-554-KB-94038-KB, Philips Research, Març 1994.
- [46] K. Sawada, S. Kayano. An Evaluation of IDDQ vs. Conventional Testing of CMOS Sea-of-Gates IC's. A *Proceedings of ITC92*, pàgines 158–167, Septiembre 1992.
- [47] Keith Baker. Philips' Draft Proposal for a Quiescent Current Monitor Standard under QTAG. Technical report, Philips Research, Decembre 1993.
- [48] Keith Baker. QTAG: A Standard for Test Fixture based IDDQ/ISSQ Monitors. A *Proceedings of ITC94*, pàgines 194–202, Octubre 1994.
- [49] Keith Baker, Alan Hales. Plug and Play IDDQ Testing for Test Fixtures. *IEEE Design and Test of Computers*, pàgines 53–61, Tardor 1995.
- [50] Kenji Isawa, Yoshihiro Hashimoto. High Speed IDDQ Measurement Circuit. A *Proceedings of ITC'96*, pàgines 112–117, Octubre 1996.
- [51] Kenneth M. Wallquist. Achieving IDDQ/ISSQ Production Testing with QuiC-Mon. *IEEE Design and Test of Computers*, pàgines 62–69, Tardor 1995.

- [52] Kenneth M. Wallquist, Alan W. Righter, Charles F. Hawkins. A General Purpose IDDQ Measurement Circuit. *A Proceedings of ITC93*, pàgines 642–651, 1993.
- [53] K.R. Eckersall, P.L. Wrighton, I.M. Bell, B.R. Bannister, G.E. Taylor. Testing Mixed Signal ASICs Through the Use of Supply Current Monitoring. *A Proceedings of ED&TC93*, pàgines 385–391, Abril 1993.
- [54] Kuen-Jong Lee, Melvin A. Breuer. Design and Test Rules for CMOS Circuits to Facilitate IDDQ Testing of Bridging Faults. *IEEE Transactions on Computer-Aided Design, Vol 11, No 5*, pàgines 659–670, Maig 1992.
- [55] Luther K. Horning, Jerry M. Soden, Ron R. Fritzemeier, Charles F. Hawkins. Measurements of Quiescent Power Supply Current for CMOS ICs in Production Testing. *A Proceedings of ITC87*, pàgines 300–309, 1987.
- [56] M. Favalli, P. Olivo, M. Damiani, B. Riccò. CMOS Design for Improved IC Testability. *A Proceedings of ITC89*, pàgina 934, Octubre 1989.
- [57] M. Favalli, P. Olivo, M. Damiani, B. Riccò. Novel Design for Testability Schemes for CMOS IC's. *IEEE Journal of Solid-State Circuits, Vol. 25, No. 5*, pàgines 1239–1246, Octubre 1990.
- [58] M. Sidiripoulos, H. Manhaeve, V. Musil. A Balanced Approach to Dynamic Idd Monitoring for On-Chip Self test of Current-Mode Circuits. *A Proceedings of ETW96*, pàgines 94–98, Juny 1996.
- [59] M. Sidiropoulos, V. Stopjakova, H. Manhaeve. Implementation of a BIC Monitor in a new Analog BIST Structure. *A Digest of Papers of IDDQ'96*, pàgines 59–63, Octubre 1996.
- [60] M.A. Ortega, J. Rius, J. Figueras. Test of CMOS Circuits Based on its Energy Consumption. *A Digest of Papers of IDDQ'96 Workshop*, pàgines 36–40, Octubre 1996.
- [61] Mark W. Levi. CMOS is Most Testable. *A Proceedings of ITC81*, pàgines 217–220, 1981.
- [62] M.B. Santos, J.P. Teixeira. Self-Adaptive BIC Sensor for IDDQ Detection in Static CMOS Digital ICs. *A Proceedings of PATMOS'94*, pàgines 218–225, Octubre 1994.

- [63] Mike Keating, Dennis Meyer. A new Approach to Dynamic IDD Testing. A *Proceedings of ITC87*, pàgines 316–321, 1987.
- [64] Phil Nigh, W. Maly. Test Generation for Current Testing. Technical Report CMUCAD-88-27, Carnegie Mellon University, Juny 1988.
- [65] R. Rodriguez, J. Figueras. Analysis of Bridging Defects in Sequential CMOS Circuits and their Current Testability. A *Proceedings of ED&TC94*, pàgines 356–360, Març 1994.
- [66] R. Rodriguez, J. Segura, V. Champac, J. Figueras, A. Rubio. Current vs. Logic testing of Bridges, GOS and Floating Gates in CMOS Circuits. A *Proceedings of ITC91*, Octubre 1991.
- [67] Rafic Z. Makki, Shyang-Tai Su, Troy Nagle. Transient Power Supply Current Testing of Digital of Digital CMOS Circuits. A *Proceedings of ITC95*, pàgines 892–901, Novembre 1995.
- [68] Ravi K. Gulati, Weiwei Mao, Deepak K. Goel. Detection of "undetectable" faults using IDDQ Testing. A *Proceedings of ITC92*, pàgines 770–777, Septembre 1992.
- [69] Rochit Rajsuman. *Digital Hardware Testing. Transistor-Level Fault Modeling and testing*. ARTECH HOUSE, 1992.
- [70] Ronald R. Fritzeimer, Jerry M. Soden, R. Keith Treece, Charles F. Hawkins. Increased CMOS IC Stuck-At Fault Coverage with Reduced IDDQ Test Sets. A *Proceedings of ITC90*, pàgines 427–435, 1990.
- [71] S. Hwang, R Rajsuman. Detect Efficiency of Stuck-at Test Sets on Bridging Faults in IDDQ Environment. A *Proceedings of International Conference on VLSI Design*, Gener 1994.
- [72] S. Manich, J. Rius, J. Figueras. Utilizacion de un Sensor IDDQ de Test de Corriente para Determinar el Consumo Medioen un CI. A *Actas de DCIS'95*, pàgines 31–35, Novembre 1995.
- [73] Scott Davidson. Is IDDQ Yiels Loss Inevitable? A *Proceedings of ITC94*, pàgines 572–579, Octubre 1994.
- [74] Shyang-Tai Su, Rafic Z. Makki, Troy Nagle. Transient Power Supply Current Monitoring - A new test Method for CMOS VLSI Circuits. *Journal of Electronic Testing*, pàgines 23–43, Febrer 1995.

- [75] Stephan P. Athan, David L. Landis. Feasibility of Employing an IDDQ Output Amplifier in Deep Submicron Built-in Current Sensors. *A Digest of Papers of IDDQ'96*, pàgines 68–72, Octubre 1996.
- [76] Stephan P. Athan, David L. Landis, Sami A. Al-Arian. A novel Built-in Current Sensor for IDDQ Testing of Deep Submicron CMOS ICs. *A Proceedings of 14th VLSI Test Symposium*, pàgines 118–123, Abril 1996.
- [77] Stephan Peter Athan. *IDDQ Testability of Deep Submicron CMOS Integrated Circuits*. PhD thesis, University of South Florida, Decembre 1995.
- [78] Tung-Li Shen, James C. Daly, Jien-Chung Lo. A 2-ns Detecting Time, 2-um CMOS Built-in Current Sensing Circuit. *IEEE Journal of Solid State Circuits*, pàgines 72–77, Gener 1993.
- [79] V. Stopjaková, H. Manhaeve, B. Weber. Design of a BIC Monitor for IDDQ testing of CMOS VLSI Circuits. *A Proceedings of ETW96*, pàgines 76–80, Juny 1996.
- [80] Victor H. Champac. Antonio Rubio, Joan Figueras. Electrical Model of the Floating Gate Defect in CMOS IC's: Implications on IDDQ Testing. *IEEE Transactions on CAD of IC and Systems Vol. 13, No. 3*, pàgines 359–369, Març 1994.
- [81] Viera Stopjaková, Vladimír Spacek, Bedrich Weber. A Built-in Current Sensor for IDDQ Testing of CMOS Integrated Circuits. *Journal of Electrical Engineering, Vol 46, No. 6*, pàgines 205–209, 1995.
- [82] W. Maly, M. Patyra. Design of ICs Applying Built-in Current Testing. *Journal of Electronic Testing*, pàgines 111–120, Juliol 1992.
- [83] W. Maly, Marek Patyra. Built-in Current Testing. *IEEE Journal of Solid-State Circuits*, pàgines 425–428, Març 1992.
- [84] W. Maly, Phil Nigh. Built-in Current Testing. Feasibility Study. Technical Report CMUCAD-88-27, Carnegie Mellon University, Juny 1988.
- [85] W. Maly, Phil Nigh. Built-in Current Testing for VLSI Circuits. Technical Report CMUCAD-88-27, Carnegie Mellon University, Juny 1988.

- [86] W.K. Al-Assadi, A.P. Jayasumana, Y.K. Malaiya. A Bipartite, Differential IDDQ Testable Static RAM Design. A *Proceedings of 1995 International Workshop on Memory Technology Design*, pàgines 36–41, 1995.
- [87] Wojciech Maly. Current Testing. A *Proceedings of ITC90*, pàgina 257, Octubre 1990.
- [88] Y.K. Malaiya, S.Y.H. Su. A new Fault Model and Testing Technique for CMOS Devices. A *Proceedings of ITC82*, pàgines 25–34, 1982.
- [89] Yukiya Miura. Real Time Current Testing for A/D Converters. *IEEE Design and Test of Computers*, pàgines 34–41, Estiu 1996.
- [90] Yukiya Miura, Kozo Kinoshita. Circuit Design for Built-in Current Testing. A *Proceedings of ITC92*, pàgines 873–881, Septembre 1992.
- [91] Yukiya Miura, Sachio Naito. A Built-in IDDQ Test Circuit Utilizing Upper and Lower Limits. A *Proceedings of Third Asian Test Symposium*, pàgines 138–143, Novembre 1994.
- [92] Yukiya Miura, Sachio Naito. A Method of Current Testing for CMOS Digital and Mixed-Signal LSIs. *IEICE Transactions on Information and Systems*, VOL. E78-D, No.7, pàgines 845–852, Juliol 1995.
- [93] Yukiya Miura, Sachio Naito, Kozo Kinoshita. A Case Study of Mixed-Signal Integrated Circuit Testing: An Application of Current testing Using the Upper and the Lower Limit. A *Proceedings of ISCAS94*, Vol 5 of 6, pàgines 77–80, Juny 1994.
- [94] Yvan Maidon, Yann Deval, Pascal Fouillat, Jean Tomas, Jean Paul Dom. On Chip IDDX Sensor. A *Digest of Papers of IDDQ'96*, pàgines 64–67, Octubre 1996.

Capítol 2

Anàlisi dels paràmetres a considerar en l'avaluació dels sensors

2.1 INTRODUCCIÓ

La varietat dels principis i estructures utilitzats en el disseny de sensors de corrent (proporcional, integrador, amb díodes, amb BJT, etc.), així com la presència de diferents paràmetres de funcionament (com la mida, la sensibilitat o la velocitat), fa que la definició d'uns criteris de qualitat per avaluar les diferents propostes de sensor no sigui una tasca fàcil. A més, la introducció d'un sensor de corrent per al test I_{DDQ} , pot determinar que les característiques del circuit que es prova (**CUT: Circuit Under Test**) canviïn i/o que el seu disseny s'hagi de modificar per a acceptar la presència del sensor. Per aquest motiu, per avaluar un sensor caldrà també tenir en compte la magnitud de la possible pertorbació que introdueixi el sensor en el circuit sobre el que estigui aplicat. L'objectiu d'aquest capítol és estudiar els paràmetres dels sensors i la seva influència sobre el CUT per a poder determinar criteris objectius en l'avaluació dels sensors.

Els paràmetres més importants a tenir en compte en l'anàlisi es poden dividir en dos apartats: els que apareixen per la interacció del sensor amb el CUT i els propis dels sensors. En el que segueix es fa un breu resum d'aquests paràmetres i en les properes seccions es defineix i analitza en detall cadascun d'ells.

PARÀMETRES RESULTAT DE LA INTERACCIÓ SENSOR-CUT

- **La degradació en el temps de retard del CUT deguda a la presència del sensor.** Els sensors (tant els *on-chip* com els *off-chip*) disposen sempre d'un element (transistor MOS o BJT, díode...etc) connectat entre un dels terminals d'alimentació i el circuit. Aquest element pot treballar com interruptor o com convertidor corrent/tensió. La caiguda de tensió entre els extrems d'aquest element quan el CUT està commutant i els corrents transitoris són importants, provoca retards addicionals en el CUT. El tipus d'element utilitzat, la mida del CUT i de l'element interruptor o sensor, el corrent de pic produït en la commutació així com l'estat dels transistors del circuit que està commutant, són paràmetres que acoten la *degradació* esperada dels CUT que incorporen sensors de corrent.
- **L'augment de l'àrea de Silici.** Degut als seus efectes econòmics aquest és un aspecte essencial, si s'utilitzen BICS, per a l'avaluació de les diferents propostes de sensor.
- **La partició del CUT.** Quan s'utilitzen BICS en el test per corrent de grans circuits, és necessari determinar quina és la mida màxima que pot tenir el circuit que està vigilat per un BICS i, per tant, quina és la millor forma de dividir un circuit més gran que aquesta mida màxima. Els sensors *off-chip* no eliminen els problemes de la partició del circuit i de l'àrea ocupada pel sensor, sino que únicament canvien la seva escala, passant del nivell de C.I. al nivell de tarjeta.
- **La variació del consum.** La presència d'un sensor pot modificar significativament el consum del CUT o de la tarjeta on estigui aplicat.
- **La perturbació dels continguts de les memòries del CUT.** Si per efecte de la presència d'un sensor el voltatge d'alimentació del CUT resulta molt perturbat, això pot provocar canvis en l'informació emmagatzemada a les memòries del CUT.

PARÀMETRES PROPIS DELS SENSORS

- **La discriminabilitat i la sensibilitat del sensor.** El sensor ha de discriminar entre els corrents quiescent normals d'un circuit i els anormals. Aquesta capacitat de discriminació està relacionada amb la sensibilitat de l'element transductor del sensor. Ambdós paràmetres depenen del tipus de sensor, dels seus paràmetres i de la mida del CUT.
- **La velocitat del sensor.** El sensor no respon instantàniament a la presència d'un corrent quiescent anormal. Aquest retard en la resposta determina la velocitat pròpia del sensor.
- **L'autotestabilitat del sensor.** Permet determinar el bon funcionament del sensor.
- **La robustesa del sensor.** La presència de soroll elèctric, de variacions del procés de fabricació, de variacions del voltatge d'alimentació o de la temperatura poden afectar al bon funcionament del sensor.
- **La facilitat d'integració del sensor.** En aquest paràmetre s'inclouen aquells aspectes que augmenten la complexitat del circuit o del sistema on estigui integrat el sensor, tals com: que es requereixin senyals o *pins* especials diferents dels ja presents en el CUT, la facilitat amb que el sensor es pot construir en el mateix *wafers* que el CUT, sense modificar el procés de fabricació, la modificació de l'estil de disseny del CUT, etc.

En aquest capítol s'estudiaran en detall cadascun dels aspectes esmentats, tant pels sensors *on-chip* com pels *off-chip*. L'objectiu és descobrir les relacions entre ells, posar a la llum les seves interdependències i utilitzar-les com guies pel disseny dels sensors. Es veurà com existeixen objectius contradictoris en el disseny dels sensors, i, per tant, que el resultat de l'avaluació d'un sensor depen dels objectius buscats pel seu dissenyador o utilitzador. En les següents seccions s'estudiaràn els paràmetres esmentats anteriorment: la perturbació de les prestacions del CUT deguda a la presència d'un sensor, i la possibilitat de la modificació de l'estat de les memòries del CUT. Es mostraran les dades sobre l'increment de l'àrea de Silici degut a la presència d'un BICS i s'estudiarà el problema de la mida del circuit que és capaç

de vigilar un sol BICS. També s'estudiarà l'efecte sobre el consum de la presència d'un sensor. Finalment, es realitzarà una anàlisi dels paràmetres propis dels sensors tals com la discriminabilitat, la sensibilitat, la velocitat, la robustesa i la facilitat d'integració.

2.2 DEGRADACIÓ DEL RETARD

2.2.1 Introducció

El tòpic de la degradació de les prestacions del CUT deguda a la presència de sensors ha estat reportat en algunes publicacions. De fet, ja en les primeres publicacions sobre els BICS [53], W. Maly cita aquest aspecte com un desavantatge dels sensors *on-chip*. A [45], Shen, Daly i Lo informen de degradacions del 15 % en la velocitat d'un CUT experimental amb un BICS amb díode i resistència. W. Maly a [53] i Lo *et al.* a [19] informen de valors experimentals de degradació de un 14,44 % en CUTs amb BICS amb díode i resistència. A [40], [41] i [55] Malaiya i els seus col·laboradors de la Universitat de Colorado, estudien aquest tòpic mitjançant simulació, modelant el sensor BICS per una resistència, i analitzen el seu impacte per diferents valors de la resistència i de la mida del circuit. A [44], Lindenkreuz reporta la dificultat d'avaluar la pèrdua de prestacions d'un circuit amb un sensor que inclou un transistor de *bypass*. Per la seva banda Santos a [33] informa de una degradació del 11 % en el retard d'un circuit ISCAS c432 que incorpora el seu sensor, mentre que Miura a [57] reporta una degradació màxima del 11.6 % en el retard d'un circuit ISCAS c17 amb el seu sensor connectat. Ambdós resultats van ser obtinguts per simulació. En les referències citades, només s'han presentat resultats experimentals o bé simulacions i no s'investiga la relació entre els paràmetres del circuit i del propi sensor i la degradació esperada. Per sensors *off-chip* no es coneix cap treball sobre aquest tema.

La degradació del retard del CUT es produeix quan, per a observar el corrent quiescent, el sensor introdueix un element (una resistència, un transistor MOS o BJT, un díode o altres dispositius) en sèrie entre el circuit i la línia de alimentació (o la línia de terra). Aquest element treballa com interruptor o com convertidor corrent/tensió. Aquest element presenta una impedància en sèrie que degrada les característiques de la commutació del circuit, i, per tant, la seva freqüència màxima de treball. Per resoldre aquest problema molts dissenyadors de sensors proposen [22][18][24][37][9][48][4][7][12][25][26][27] afegir un dispositiu addicional que faci un *bypass* al sensor.

L'objectiu d'aquest dispositiu és minimitzar l'impacte del sensor sobre el temps de retard del circuit. En els sensors integradors, la pròpia tècnica implica l'existència d'un interruptor en sèrie amb el CUT. No obstant, aquest interruptor, a l'igual que el dispositiu de *bypass*, presenta una impedància no nula i, per tant, també degrada el retard del circuit.

L'estimació de la degradació del retard d'un CUT quan s'inserta una impedància en sèrie amb l'alimentació és un problema complex ja que intervenen molts factors: la mida del CUT, la seqüència amb que commuten les diferents portes lògiques del CUT davant d'un canvi a les seves entrades, el nombre i la identitat de les entrades del CUT que inicien la commutació, la mida dels transistors que commuten, la tecnologia en que estan construïts els transistors, el pic i la forma del corrent en una commutació, les capacitats internes de les portes que commuten, els pendents dels senyals d'entrada del CUT, el tipus, la mida i la posició dels sensor, el voltatge d'alimentació del CUT i la temperatura. Donada la complexitat del problema, sembla que cal recórrer a enfoccs que utilitzin models i casos simplificats del fenomen que s'estudia.

Dos tipus de models són possibles: l'un on el que es simplifica és el model del sensor mentre que el model de retard té en compte totes les variables significatives. En l'altre model el que es simplifica és el model de retard mentre que el model del sensor té en compte la seva estructura i paràmetres. L'àmbit de validesa de cada model està relacionat amb la freqüència a la que funciona el CUT tal com s'analitzarà al apartat 2.2.8. Així, en aquesta secció estudiarem la magnitud de la degradació en els següents casos:

- Es modelarà el fenomen de la degradació del temps de retard utilitzant les equacions del retard per a un inversor. No es farà cap suposició sobre les característiques del sensor o dispositiu en sèrie amb el CUT, del que només es tindrà en compte la seva caiguda de tensió que es suposarà constant durant el procés de commutació. Com es veurà mes endavant, aquesta caiguda de tensió en el BICS (o en el transistor de *bypass*, o en l'interruptor) quan el circuit treballa a la seva freqüència nominal redueix la tensió efectiva entre la porta i el sortidor i augmenta la tensió llindar del transistor. Aquests dos fenòmens augmenten el temps de retard. S'utilitzaran models estàndard del retard d'un inversor en funció de la caiguda de tensió i es validaran les estimacions amb simulacions sota diferents condicions. Dels resultats obtinguts es podran obtenir relacions entre la caiguda de tensió, la mida del circuit i la degradació. L'anàlisi es realitzarà als apartats

2.2.2 i 2.2.3.

En aquest model s'obté una estimació de la degradació utilitzant un model acurat del retard però fent que els paràmetres i l'estructura del sensor estiguin representats únicament per una caiguda de tensió constant.

- En el segon model, s'estimarà la degradació tenint en compte l'estructura i paràmetres del sensor però utilitzant un model més simplificat del retard de l'inversor. S'estimarà la degradació del temps de propagació d'un inversor en dos casos: el primer cas analitzat serà el que inclou un transistor de *bypass* (o un interruptor d'un sensor integrador) entre el circuit i la línia de terra. El segon cas serà el d'un circuit de les mateixes característiques que inclou un sensor BICS amb una unió PN com element sensor. L'estimació es confrontarà amb resultats obtinguts per simulació. Dels resultats obtinguts, s'extrapolaran les relacions entre els paràmetres del circuit, els paràmetres del sensor i la degradació del retard. A partir d'aquestes relacions s'obtiniran criteris útils per al disseny de BICS amb unions PN, per al dimensionament dels transistors de *bypass* (o dels interruptors dels sensors integradors) i per a la partició dels CUT que utilitzin aquests sensors. L'anàlisi amb aquest model es realitzarà als apartats 2.2.4 a 2.2.7.

La classe de circuits considerat en aquesta secció es presenta a la figura 2.1. El CUT pot ser una simple cel.la de llibreria o un circuit complet. El sensor inclou un element sensor i un circuit de detecció. El transistor MOS és el dispositiu de *bypass* (o l'interruptor en els sensors integradors). El senyal de control C s'aplica a la porta del dispositiu de *bypass*. Mentre el CUT està treballant en el mode normal d'operació, C es posa a "1" (C="0" si és un PMOS), i l'interruptor queda en *ON*. Quan el circuit està en el mode de test, primer C es manté a "1" (C = "0" per al PMOS) mentre s'aplica un vector al circuit. Quan el transitori a i_{DD} ha acabat, C es posa a "0" (C = "1" per al PMOS), passant l'interruptor a *OFF*. En els sensors integradors la seqüència anterior és diferent, però les conclusions són igualment vàlides. L'element sensor produeix un senyal que és una funció del corrent I_{DDQ} . Aquest senyal es processa pels circuits de detecció del sensor per a obtenir un senyal PASSA/FALLA, depenent de si I_{DDQ} està per sobre o per sota d'un determinat llindar. A la figura 2.1, GND SENSOR vol dir que el sensor està situat en la línia de GND creant el node GND Virtual (VGND); en canvi VDD SENSOR significa que el sensor està connectat a la línia de

VDD, creant el node VDD Virtual (VVDD). L'anàlisi que segueix es farà pel GND SENSOR, però els resultats es poden estendre també al VDD SENSOR.

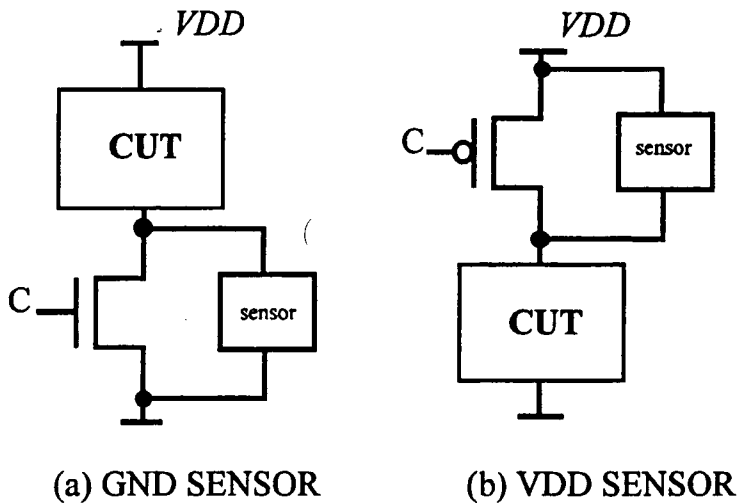


Figura 2.1: Circuit CMOS amb un sensor i un dispositiu de *bypass*.

Es restringeix l'estudi al canvi en una sola entrada del CUT. És a dir, en cada instant de temps només està permès el canvi en una sola entrada del CUT i només es pot produir un altre canvi quan el transitori produït per l'anterior ha acabat. En aquestes condicions es defineix la degradació del temps de retard d'un circuit CMOS per la relació següent [13]:

$$\delta = \frac{t_{pd} - t_{pd0}}{t_{pd0}} = \frac{t_{pd}}{t_{pd0}} - 1 \quad (2.1)$$

On δ és la degradació del temps de retard, t_{pd0} és el temps de retard (o propagació) nominal (sense sensor ni dispositiu de *bypass*), i t_{pd} és el temps de propagació amb el sensor o bé amb el dispositiu de *bypass*. El temps de propagació es mesura des del 50 % del voltatge del senyal de l'entrada fins el 50 % del voltatge del senyal de la sortida del CUT que es consideri. La notació del temps de propagació serà la següent: quan la sortida fa una transició del nivell alt al baix: t_{pdHL} , i quan la transició és del nivell baix a l'alt: t_{pdLH} .

2.2.2 Anàlisi de la degradació del retard a partir de les expressions del retard

A [36] es dona un model de retard basat en les equacions de Sha del transistor MOS incloent la contribució del pendent finit del senyal d'entrada. No obstant, aquest model no pot reproduir les característiques tensió-corrent dels transistors MOS de canal curt, principalment perquè no inclou els efectes de la saturació de la velocitat dels portadors, efectes que determinen el comportament d'aquests transistors [54]. Sakurai a [43] presenta un model de retard molt més acurat per les tecnologies micròniques que té en compte els efectes de saturació de la velocitat dels portadors així com l'efecte del pendent d'entrada del circuit. Recentment, Daga *et al.* de la Universitat de Montpellier a [15] ha presentat un model de retard més refinat que incorpora els efectes anteriors més l'efecte de la capacitat d'acoblament entre porta i drenador del transistor i el corrent de curtcircuit controlada per la relació entre les amplades del transistor N i P. En els paràgrafs que segueixen es mostra la deducció de la degradació del retard d'un inversor partint de les equacions del retard donades pels autors esmentats. Les expressions obtingudes es validaran per simulacions HSPICE de nivell 6 a l'apartat 2.2.3..

Degradació del retard: model de Sakurai

A continuació es dona l'expressió del retard d'un inversor segons el model de Sakurai i es deriven les modificacions dels paràmetres del model quan un sensor (representat per un voltatge constant ΔV) es connecta al sortidor del transistor NMOS. Això permet trobar una nova expressió per al retard i calcular la degradació.

L'expressió del retard d'un inversor segons el model α -power de Sakurai [43] és:

$$t_{pd0HL} = \left(\frac{1}{2} - \frac{1 - n_0}{1 + \alpha} \right) \tau_{in} + \frac{C_{OUT} V_{DD}}{2I_{D0}} \quad (2.2)$$

On t_{pdHL} és el retard de l'inversor quan es produeix una transició 1 \rightarrow 0 a la sortida, $n_0 = \frac{V_{TN0}}{V_{DD}}$ és la tensió llindar normalitzada del transistor NMOS, α dóna compte de l'efecte de saturació de la velocitat dels portadors, C_{OUT} és la capacitat connectada a la sortida de l'inversor, τ_{in} és el temps de pujada del senyal d'entrada i I_{D0} és un paràmetre del model α -power que és el corrent de saturació del transistor NMOS quan $V_{GS} = V_{DS} = V_{DD}$.

L'efecte de la presència del sensor o del dispositiu de *bypass* es modelarà per la tensió ΔV aplicada al terminal de sortidor del transistor NMOS.

Aquesta tensió es suposarà constant. Els paràmetres n_0 i I_{D0} del model α -power es modifiquen per la presència de ΔV de la següent manera:

EFFECTE DE ΔV SOBRE n_0

L'efecte *body* degut a ΔV eleva la tensió llindar del transistor NMOS. L'expressió de la tensió llindar és [54]:

$$V_{TN} = V_{TN0} + \gamma \left(\sqrt{\phi_B + \Delta V} - \sqrt{\phi_B} \right) \quad (2.3)$$

on V_{TN} és la tensió llindar del transistor NMOS quan té aplicat un voltatge ΔV al sortidor, ϕ_B és el potencial de Fermi i γ és el coeficient de l'efecte *body*.

Desenvolupant per Taylor l'expressió (2.3) i si $\Delta V \rightarrow 0$, tenim:

$$V_{TN} \simeq V_{TN0} + \frac{\gamma}{2\sqrt{\phi_B}} \Delta V \quad (2.4)$$

i dividint per V_{DD} tenim que

$$\frac{V_{TN}}{V_{DD}} = n \simeq \frac{V_{TN0}}{V_{DD}} + \frac{\gamma}{2\sqrt{\phi_B}} \frac{\Delta V}{V_{DD}} = n_0 + K\varepsilon \quad (2.5)$$

on els símbols n , n_0 són, respectivament, la tensió llindar normalitzada amb i sense sensor, ε és la caiguda de tensió del sensor normalitzada i K és una constant que depèn només de la tecnologia.

EFFECTE DE ΔV SOBRE I_{D0}

I_{D0} és el corrent de saturació del transistor NMOS quan $V_{GS} = V_{DS} = V_{DD}$. L'expressió de I_{D0} [43] és:

$$I_{D0} = A (V_{DD} - V_{TN0})^\alpha \quad (2.6)$$

on A és una constant. Trobem ara quin serà el valor del paràmetre I_{D0}^* tenint en compte l'efecte de la disminució de V_{GS} i l'augment de la tensió llindar. Si s'assumeix que els increments de V_{DD} i de la tensió llindar del transistor són petits, l'increment de I_{D0} es pot aproximar per:

$$\Delta I_{D0} = \frac{\partial I_{D0}}{\partial V_{DD}} \Delta V_{DD} + \frac{\partial I_{D0}}{\partial V_{TN0}} \Delta V_{TN0} \quad (2.7)$$

El valor de les derivades i dels increments és:

$$\frac{\partial I_{D0}}{\partial V_{DD}} = \alpha A (V_{DD} - V_{TN0})^{\alpha-1} \quad , \quad \Delta V_{DD} = -\Delta V \quad (2.8)$$

$$\frac{\partial I_{D0}}{\partial V_{TN0}} = -\alpha A (V_{DD} - V_{TN0})^{\alpha-1} \quad , \quad \Delta V_{TN0} = K\Delta V \quad (2.9)$$

i, per tant

$$\Delta I_{D0} = -I_{D0} \left[\frac{\alpha(1+K)\Delta V}{V_{DD} - V_{TN0}} \right] \quad (2.10)$$

i ara l'expressió de I_{D0}^* (el corrent de saturació del transistor NMOS en presència de ΔV) és:

$$I_{D0}^* = I_{D0} + \Delta I_{D0} = I_{D0} \left[1 - \frac{\alpha(1+K)\varepsilon}{1-n_0} \right] \quad (2.11)$$

Si substituïm aquests resultats a (2.2) obtenim l'expressió del retard de propagació de l'inversor tenint en compte els canvis a n_0 i I_{D0} :

$$t_{pdHL} = \left(\frac{1}{2} - \frac{1-n_0-K\varepsilon}{1+\alpha} \right) \tau_{in} + \frac{C_{OUT}V_{DD}}{2I_{D0} \left[1 - \frac{\alpha(1+K)\varepsilon}{1-n_0} \right]} \quad (2.12)$$

Aplicant l'expressió (2.12) i (2.2) a (2.1) obtenim la expressió:

$$\delta_{HL} = \frac{\left(\frac{1}{2} - \frac{1-n_0-K\varepsilon}{1+\alpha} \right) \tau_{in} + \frac{C_{OUT}V_{DD}}{2I_{D0} \left[1 - \frac{\alpha(1+K)\varepsilon}{1-n_0} \right]}}{\left(\frac{1}{2} - \frac{1-n_0}{1+\alpha} \right) \tau_{in} + \frac{C_{OUT}V_{DD}}{2I_{D0}}} - 1 \quad (2.13)$$

que en forma tancada ens dóna la degradació en funció dels paràmetres del model, del temps de pujada del senyal d'entrada, de la capacitat de sortida, de la tensió llindar del NMOS, del voltatge d'alimentació, de la constant K i de la caiguda de tensió al sensor.

Degradació del retard: model de Sakurai millorat per Daga *et al.*

A continuació es faran els mateixos càlculs utilitzant el model de retard desenvolupat per Daga *et al.* (model SD).

L'expressió del retard d'un inversor segons el model SD [15] és:

$$t_{pd0HL} = \left[\frac{n_0 \tau_{in}}{2} + \frac{(C_{OUT} + 2C_M) V_{DD}}{2I_{D0}} \right] \times Coef. \quad (2.14)$$

$$Coef. = \left[1 - \frac{\alpha_P(1 - n_0)}{1 + \beta \frac{W_P}{W_N}} \left(\frac{2\tau_{in} I_{D0}}{V_{DD} C_{OUT}} \right)^\gamma \right]$$

on C_M és la capacitat d'acoblament entre l'entrada i la sortida de l'inversor, $I_{D0} = B(V_{DD} - V_{TN0})$ és el corrent del transistor NMOS en saturació amb $V_{GS} = V_{DD}$ i B és una constant. Cal notar que I_{D0} en l'equació de Daga, tot i tenir el mateix significat que en la de Sakurai, no té la mateixa expressió. El coeficient *Coef.* que depen de les constants α_P , β i γ que depenen només de la tecnologia, modela les no linealitats en les dependències del retard respecte la tensió d'alimentació (α_P), el corrent de curtcircuit (β) i el pendent d'entrada (γ). Per pendents ràpids i/o capacitats de càrrega grans, *Coef.* $\rightarrow 1$ i l'equació resultant és la de Sakurai amb $\alpha = 1$. Les degradacions obtingudes en aquest cas són les mateixes.

Seguint el procediment utilitzat en la derivació a partir de la formula de Sakurai, s'arriba a la següent expressió del retard en presència d'un increment ΔV degut a la caiguda de tensió en el sensor o el transistor de *bypass*:

$$t_{pdHL} = \left[\frac{(n_0 + K\varepsilon) \tau_{in}}{2} + \frac{(C_{OUT} + 2C_M) V_{DD}}{2(I_{D0} - \varepsilon B(1 + K)V_{DD})} \right] \times Coef'. \quad (2.15)$$

$$Coef' = \left[1 - \frac{\alpha_P(1 - n_0 - K\varepsilon)}{1 + \beta \frac{W_P}{W_N}} \left(\frac{2\tau_{in} (I_{D0} - \varepsilon B(1 + K)V_{DD})}{V_{DD} C_{OUT}} \right)^\gamma \right]$$

Aplicant ara les expressions (2.14) i (2.15) a (2.1) obtenim, com abans, una expressió tancada de la degradació que ens permet fer estimacions de la degradació coneixent els paràmetres del circuit i la tecnologia.

2.2.3 Validació de la degradació del retard obtinguda amb els models anteriors

Per validar les anteriors expressions, s'ha realitzat simulacions de la degradació del retard utilitzant els dos models anteriors sobre un inversor amb les

Transistor P		Transistor N	
Paràmetre	Valor	Paràmetre	Valor
V_{TP0}	-1.0 V	V_{TN0}	0.815 V
I_{D0}	500 μ A	I_{D0}	417 μ A
α	1.27	α	1.29
W	2.4 μ m	W	1.2 μ m
L	0.8 μ m	L	0.8 μ m

Taula 2.1: Característiques dels transistors de l'inversor simulat

característiques de la taula 2.1 fent variar la capacitat de càrrega des de 0.05 pF a 1 pF i aplicant una transició de "0" a "1" a l'entrada de l'inversor. El temps de pujada del senyal d'entrada s'ha fet variar des de 0.1 ns a 2 ns. L'inversor està construït amb tecnologia ES2 de 0.7 μ m i alimentat a $V_{DD} = 5$ V. Per aquesta tecnologia, les constants α_P , β i γ tenen els valors següents [15]: $\alpha_P = 0.1$, $\beta = 1.8$ i $\gamma = 1.15$. Els resultats obtinguts per simulació s'han comparat amb els resultats calculats a partir de les expressions obtingudes.

Les comparacions entre els resultats simulats i calculats es mostren a les figures 2.2, 2.3, 2.4 i 2.5 pel model de Sakurai i a les figures 2.6, 2.7, 2.8 i 2.9 pel model SD. La degradació del retard mostrada a les figures es produeix en la transició "1" a "0" a la sortida.

De l'anàlisi de les figures 2.2 a 2.9 es poden treure les següents conclusions:

- El model SD té un error absolut màxim del 0.3% respecte a la simulació HSPICE per una variació de 1:20 en el pendent del senyal d'entrada, per una variació 1:20 en la capacitat de càrrega i per caigudes de tensió degudes al sensor o al dispositiu de *bypass* fins el 2% de la tensió d'alimentació. Per caigudes fins el 20%, i per les mateixes variacions, l'error màxim és del 11%.
- El model de Sakurai té un error absolut màxim del 5% respecte a la simulació HSPICE per les mateixes variacions en el senyal d'entrada i en la capacitat de càrrega que el model SD i caigudes de tensió fins el 2%. Per caigudes de tensió fins el 20%, l'error absolut màxim és del 38%.
- La causa del major error del model de Sakurai respecte el model SD

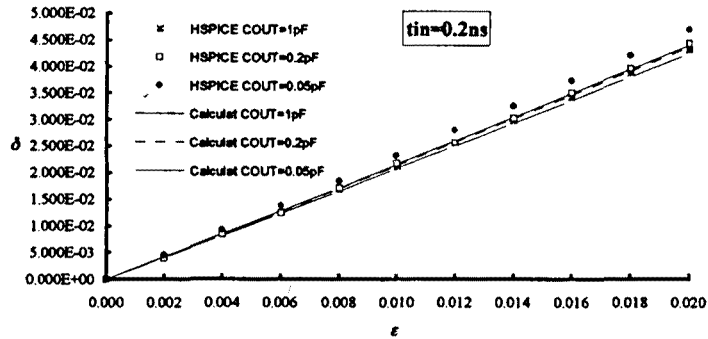


Figura 2.2: Comparació de la degradació del retard segons el model de Sakurai per ϵ fins 0.02 i temps de pujada del senyal d'entrada de 0.2 ns. Simulació HSPICE (level 6) i expressió.

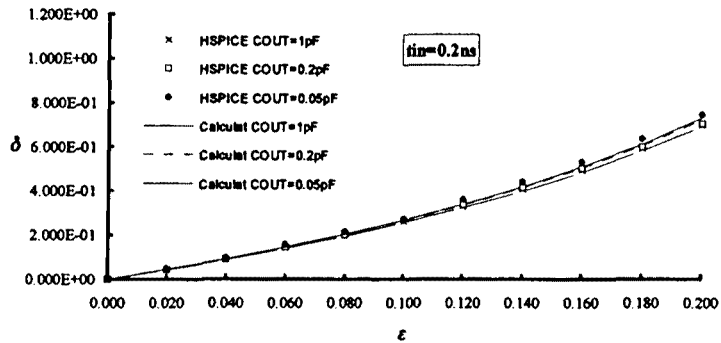


Figura 2.3: Comparació de la degradació del retard segons el model de Sakurai per ϵ fins 0.2 i temps de pujada del senyal d'entrada de 0.2 ns. Simulació HSPICE (level 6) i expressió.

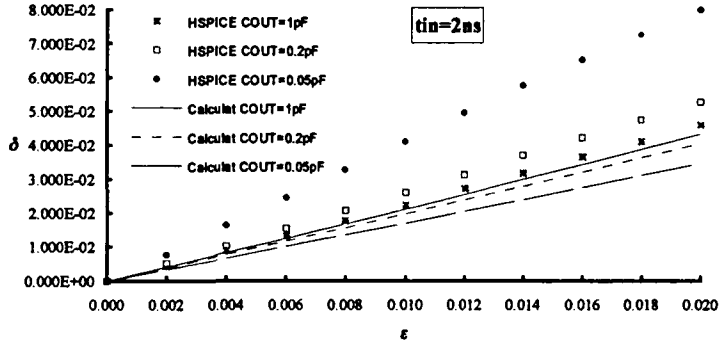


Figura 2.4: Comparació de la degradació del retard segons el model de Sakurai per ϵ fins 0.02 i temps de pujada del senyal d'entrada de 2 ns. Simulació HSPICE (level 6) i expressió.

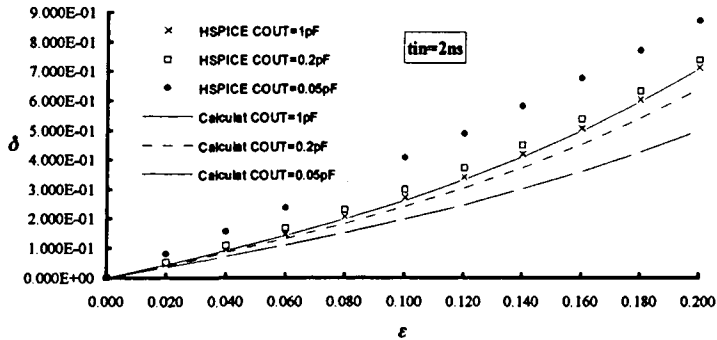


Figura 2.5: Comparació de la degradació del retard segons el model de Sakurai per ϵ fins 0.2 i temps de pujada del senyal d'entrada de 2 ns. Simulació HSPICE (level 6) i expressió.

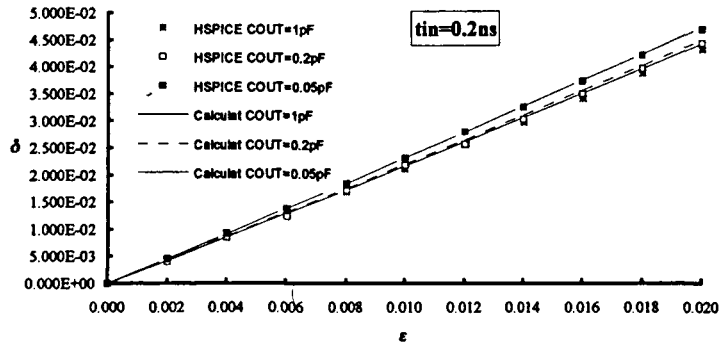


Figura 2.6: Comparació de la degradació del retard segons el model SD per ϵ fins 0.02 i temps de pujada del senyal d'entrada de 0.2 ns. Simulació HSPICE (level 6) i expressió.

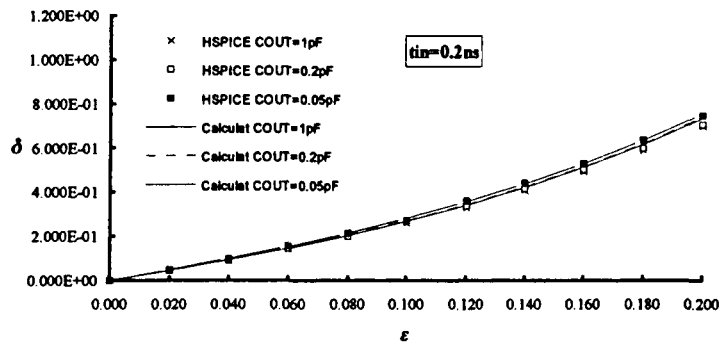


Figura 2.7: Comparació de la degradació del retard segons el model SD per ϵ fins 0.2 i temps de pujada del senyal d'entrada de 0.2 ns. Simulació HSPICE (level 6) i expressió.

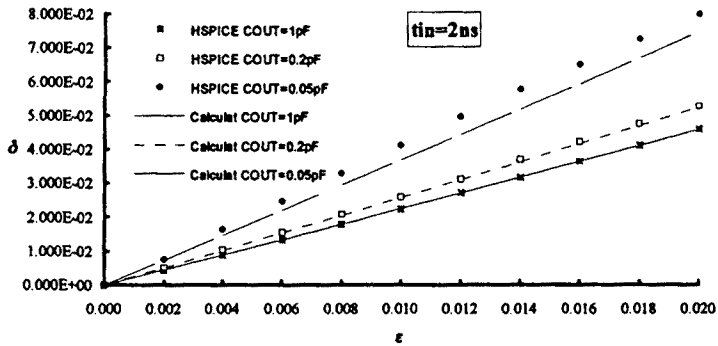


Figura 2.8: Comparació de la degradació del retard segons el model SD per ϵ fins 0.02 i temps de pujada del senyal d'entrada de 2 ns. Simulació HSPICE (level 6) i expressió.

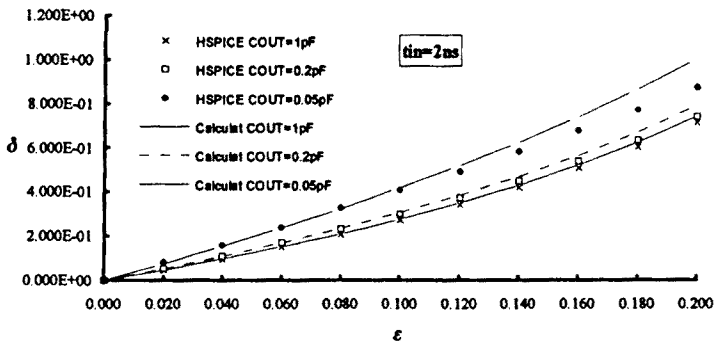


Figura 2.9: Comparació de la degradació del retard segons el model SD per ϵ fins 0.2 i temps de pujada del senyal d'entrada de 2 ns. Simulació HSPICE (level 6) i expressió.

està en que aquell no modela bé els efectes del corrent de curtcircuit de l'inversor per pendents molt lentes del senyal d'entrada i/o capacitats petites de càrrega [43][15]. El model SD, en canvi, modela aquests efectes per mitjà de tres paràmetres que depenen només de la tecnologia. Pels pendents ràpids del senyal d'entrada i/o les capacitats de càrrega grans, els resultats dels dos models coincideixen.

- La degradació del retard trobada per un inversor va del 4 % al 8 % per les caigudes de tensió pròpies dels transistors de *bypass* ($\epsilon \leq 0.02$), i del 40 % al 60 % per les caigudes de tensió típiques dels díodes ($\epsilon \leq 0.16$). Els alts valors de la degradació en aquest cas suposen un *handicap* important per als sensors que utilitzen aquests dispositius.

Com s'ha dit abans, l'estimació de la degradació del retard s'ha fet modelant l'efecte del sensor o dispositiu de *bypass* en sèrie amb el circuit com una caiguda de tensió ΔV constant. Amb aquest model els detalls de l'estructura del sensor es perden. En el proper apartat es té en compte l'estructura del sensor o el dispositiu de *bypass* i es realitza un nou anàlisi amb un model simplificat del retard (un model RC). S'estudiaran dos casos: el primer és el d'un circuit amb un transistor de *bypass*, el segon és d'un circuit amb un sensor amb díode i resistència.

2.2.4 Anàlisi de la degradació del retard d'un circuit amb transistor de *bypass*

En aquest apartat s'analitzarà la degradació del retard d'un circuit CMOS que té connectat en sèrie amb el terminal de terra un transistor que fa el *bypass* d'un sensor (o pels sensors integradors, un interruptor). Aquest transistor ha de suportar el corrent transitori del CUT que pot ser molt elevat [34]. Això fa que la mida del transistor hagi de ser gran, per tal que la caiguda de tensió en els seus extrems sigui petita. Com s'ha dit abans, s'estudiarà un cas simple en que el CUT és una cel.la de llibreria en la que només una de les seves entrades canvia generant una commutació a una única sortida. Les capacitats de la cel.la que intervenen en la commutació es suposen concentrades a la sortida de la cel.la i connectades a terra. Es modelarà els transistors que commuten com una resistència i s'estimarà la degradació del retard de la cel.la. Els càlculs es faran per pendent infinita del senyal d'entrada. L'anàlisi es farà per a una commutació de "1" a "0" a la sortida de la porta i el transistor de *bypass* connectat a terra. Per

simetria, els resultats d'una commutació de "0" a "1" i el transistor de *bypass* connectat a V_{DD} , serien equivalents.

La figura 2.10 il·lustra el model utilitzat per l'anàlisi. El transistor NMOS de *bypass* en conducció treballa a la zona òhmica amb un rang de voltatge al drenador petit i es pot modelar com una resistència R_S de valor constant [36]. La resistència d'entrada del sensor es considera subsumida a R_S . El condensador C_{VGND} modela la capacitat associada al node VGND. Aquesta capacitat està composta per la suma de les capacitats dels sortidors de tots els transistors NMOS connectats al node VGND, més la capacitat del *layout* del node VGND, més la capacitat del sensor i del transistor de *bypass*. Tots els components d'aquesta capacitat, excepte la capacitat del *layout*, depenen de la tensió del node VGND. No obstant, donat que el rang de tensions del node VGND és petit, assumirem que la capacitat C_{VGND} és constant. El seu valor creix amb la grandària del CUT.

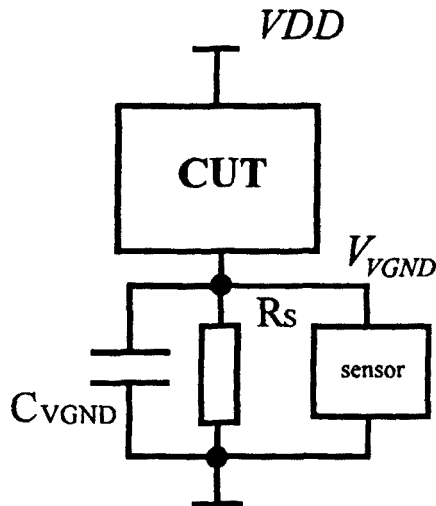


Figura 2.10: Model del dispositiu de *bypass*

Mètode d'estimació de la degradació del retard

El retard extra d'un circuit CMOS degut a la presència d'un dispositiu de *bypass* s'obté utilitzant com a model una xarxa elèctrica de segon ordre

[13][17], on els paràmetres són (vegeu figura 2.11): R_S (la resistència ON del transistor de bypass), C_{VGND} (la capacitat del node VGND), R_{ON} (la resistència equivalent promig dels transistors que participen en la commutació de la porta [32]), i C_{OUT} (la capacitat connectada a la sortida del circuit). El model permetrà trobar les relacions qualitatives entre els paràmetres del circuit, del sensor, i la degradació del retard.

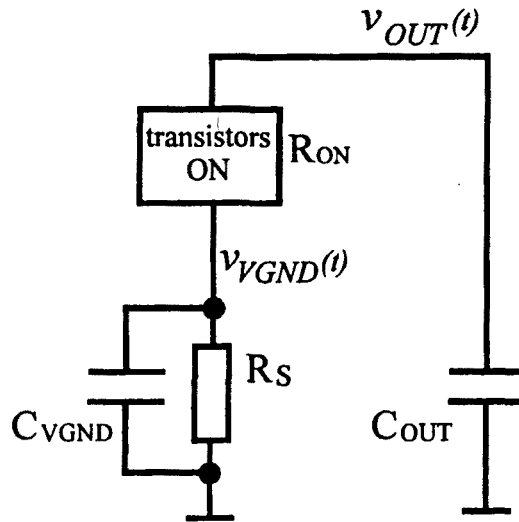


Figura 2.11: Model elèctric utilitzat per l'anàlisi [17]

Les equacions diferencials de la xarxa de la figura 2.11 són les següents:

$$-C_{OUT} \frac{dv_{OUT}}{dt} = \frac{v_{OUT} - v_{VGND}}{R_{ON}} \quad (2.16)$$

$$\frac{v_{OUT} - v_{VGND}}{R_{ON}} = C_{VGND} \frac{dv_{VGND}}{dt} + \frac{v_{VGND}}{R_S} \quad (2.17)$$

Les condicions inicials són: $v_{OUT}(0) = V_{DD}$ i $v_{VGND}(0) = 0$.

Les solucions de (2.16) i 2.17 són:

$$v_{OUT}(t) = A e^{-\frac{t}{\tau_1}} - B e^{-\frac{t}{\tau_2}} \quad (2.18)$$

$$v_{VGND}(t) = \frac{\gamma_S V_{DD}}{\sqrt{\gamma^2 - 4\gamma_S}} \left[e^{-\frac{t}{\tau_1}} - e^{-\frac{t}{\tau_2}} \right] \quad (2.19)$$

on els paràmetres τ_1 , τ_2 , A , B , γ , γ_S i γ_{GS} tenen el següent significat:

$$A = \frac{V_{DD} (\gamma + \sqrt{\gamma^2 - 4\gamma_S} - 2)}{2\sqrt{\gamma^2 - 4\gamma_S}}, \quad B = \frac{V_{DD} (\gamma - \sqrt{\gamma^2 - 4\gamma_S} - 2)}{2\sqrt{\gamma^2 - 4\gamma_S}}$$

$$\gamma = 1 + \gamma_S + \gamma_{GS}, \quad \gamma_S = \frac{R_{ON} C_{OUT}}{R_S C_{VGND}}, \quad \gamma_{GS} = \frac{C_{OUT}}{C_{VGND}}$$

$$\tau_1 = \frac{2R_{ON} C_{OUT}}{\gamma - \sqrt{\gamma^2 - 4\gamma_S}}, \quad \tau_2 = \frac{2R_{ON} C_{OUT}}{\gamma + \sqrt{\gamma^2 - 4\gamma_S}}$$

Expressió de la degradació

Per a veure l'importància relativa de les constants de temps τ_1 i τ_2 , caracteritzarem els paràmetres que intervenen en les expressions.

El que es preten és que la caiguda de tensió del dispositiu de *bypass* sigui el més petita possible per a unes restriccions donades d'àrea ocupada pel dispositiu. Així, suposem que s'accepta que el pas del corrent transitori pel dispositiu generi una caiguda de tensió màxima de ΔV volts. La relació $\frac{\Delta V}{V_{DD}}$ serà, normalment, petita: $\frac{\Delta V}{V_{DD}} \ll 1$. Per la seva banda, $\Delta V \leq R_S \hat{I}_{DD}$, on \hat{I}_{DD} és el corrent de pic a l'inici de la descàrrega de C_{OUT} que es pot estimar per $\hat{I}_{DD} = \frac{V_{DD}}{R_{ON}}$. La igualtat en l'expressió de ΔV es dona només quan $C_{VGND} = 0$. De les expressions anteriors obtenim la següent relació:

$$\frac{R_{ON}}{R_S} \leq \frac{V_{DD}}{\Delta V} \quad (2.20)$$

On la igualtat és certa només si $C_{VGND} = 0$. Si invertim (2.20) obtenim:

$$\frac{\Delta V}{V_{DD}} = \varepsilon \leq \frac{R_S}{R_{ON}} \quad (2.21)$$

O sigui, que la caiguda de tensió relativa en els extrems del dispositiu de *bypass* serà sempre més petita o igual que la raó entre R_S i R_{ON} . El cas més desfavorable pel retard serà quan la caiguda de tensió relativa sigui igual a aquesta raó. En el que segueix estudiarem aquest cas.

Veiem com queden els paràmetres γ , γ_S i γ_{GS} . El paràmetre γ_{GS} expressa la relació entre la capacitat que commuta i la capacitat del node VGND. Ambdues capacitats són proporcionals a la mida del CUT i asumirem que, per un circuit donat, es coneix els valors de les dues capacitats. Tenint en compte això, les expressions de γ_S i γ serien:

$$\gamma_S = \gamma_{GS} \frac{V_{DD}}{\Delta V} = \gamma_{GS} \frac{1}{\epsilon} \quad (2.22)$$

$$\gamma = 1 + \gamma_{GS} + \gamma_{GS} \frac{1}{\epsilon}$$

Així, després d'alguna manipulació algebraica, les expressions de les constants de temps ens quedarien:

$$\tau_1 = \left[\frac{2R_{ON}C_{OUT}}{\frac{2}{1+\epsilon} - \frac{\epsilon}{2(1+\epsilon)\gamma_{GS}}} \right] \quad (2.23)$$

$$\tau_2 = \left[\frac{2R_{ON}C_{OUT}}{\frac{2\epsilon}{1+\epsilon} + 2\gamma_{GS} \frac{1+\epsilon}{\epsilon} - \frac{\epsilon}{2(1+\epsilon)\gamma_{GS}}} \right] \quad (2.24)$$

Per $\epsilon \rightarrow 0$, tenim que $\tau_1 \rightarrow R_{ON}C_{OUT}$ i $\tau_2 \rightarrow 0$. Per tant podem suposar que, en les condicions senyalades, la constant de temps τ_2 es pot negligir.

D'altra banda, la resistència R_{ON} (resistència equivalent promig dels transistors en conducció que participen en la commutació) augmenta de valor quan el voltatge del node VGND augmenta. Això passa perquè el voltatge V_{GS} aplicat als transistors quan en el circuit s'hi afegeix un sensor és menor, i perquè la tensió llindar del transistor NMOS és més gran (apartat 2.2.2). L'augment de la resistència promig R_{ON} serà [32]:

$$R_{ON}^* = R_{ON} \frac{1}{1 - \frac{(1+K)\epsilon}{1-n_0}} \quad (2.25)$$

on R_{ON}^* és la resistència equivalent dels transistors en conducció de la cel.la amb transistor de *bypass*, K és el coeficient que mesura la disminució de la capacitat de corrent del transistor i n_0 és la tensió llindar normalitzada del transistor. Per tant:

$$\begin{aligned} \gamma_S^* &= \gamma_{GS} \frac{R_{ON}^*}{R_S} = \gamma_{GS} \frac{1}{\epsilon \left(1 - \frac{(1+K)\epsilon}{1-n_0} \right)} \\ \gamma^* &= 1 + \gamma_{GS} + \gamma_{GS} \frac{1}{\epsilon \left(1 - \frac{(1+K)\epsilon}{1-n_0} \right)} \end{aligned} \quad (2.26)$$

Ara ja estem en condicions de calcular la degradació del retard del circuit.

Per això calculem primer el temps de propagació del circuit *sense* dispositiu de *bypass*. Com el circuit és una xarxa RC i suposem pendent infinita a l'entrada, obtenim com temps de retard en la commutació de la sortida desde V_{DD} a $V_{DD}/2$:

$$t_{pd0HL} = (\ln 2)R_{ON}C_{OUT} \quad (2.27)$$

i, tenim en compte les simplificacions proposades (negligir τ_2 i $\frac{R_{ON}}{R_S} = \frac{V_{DD}}{\Delta V}$), el retard, per la mateixa commutació, *amb* dispositiu de *bypass* és:

$$t_{pdHL} = \frac{2(\ln 2)R_{ON}C_{OUT} \frac{1}{1 - \frac{(1+K)\epsilon}{1-n_0}}}{\frac{2}{1+\epsilon} - \frac{\epsilon}{2(1+\epsilon)\gamma_{GS}}} \quad (2.28)$$

Utilitzant les expressions (2.27) i (2.28), podem escriure l'expressió de la degradació deguda al dispositiu de *bypass*:

$$\delta_{BHL} = \frac{4(1 - \epsilon)\gamma_{GS}}{4\gamma_{GS}(1 - A\epsilon) - (1 - A\epsilon)\epsilon} - 1 \quad (2.29)$$

on $A = \frac{1+K}{1-n_0}$ és una constant.

Simulacions

Per a validar l'expressió anterior s'han realitzat simulacions HSPICE (nivell 6) amb transistors de tecnologia de $1 \mu\text{m}$ i s'ha comparat els resultats amb els calculats a partir de l'expressió (2.29). El resultat es pot veure a la figura 2.12. En aquest cas l'error màxim obtingut entre els valors calculats i simulats és d'un 4 % en tot el rang simulat.

Discussió

Tant la simulació com les expressions mostren que la degradació del retard augmenta al augmentar la caiguda de tensió en el transistors de *bypass*. La caiguda de tensió, per la seva part, augmenta amb el valor de la resistència ON del transistor de *bypass* (R_S). El valor de R_S està directament relacionat amb l'àrea ocupada pel transistor de *bypass*, de manera que com més gran sigui el transistor més petita és R_S . Així, hi ha un *trade-off* entre la degradació màxima tolerada per un circuit i l'àrea màxima de silici de que es disposi per a implementar el transistor. Una manera d'escollir el valor de

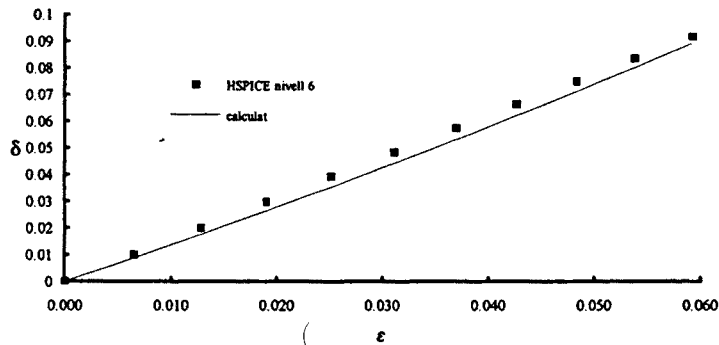


Figura 2.12: Degradació obtinguda per simulació i per les expressions. Tecnologia ES2 1 μm , $C_{OUT} = C_{VGND} = 2 \text{ pF}$.

R_S és dividir la caiguda de tensió màxima especificada pel pic de corrent màxim previsible del circuit [2]. Per exemple, si s'especifica una caiguda de tensió màxima de 0.1 volts per a un corrent de pic de 100 mA, això significa que s'ha d'utilitzar un transistor amb una resistència en conducció de 1 Ω . No obstant, aquest procediment pot donar lloc a dificultats en la estimació de la degradació esperada del circuit [44]. A més, la capacitat C_{VGND} en paral·lel amb R_S actua com un filtre passa-baixos que fa que la tensió al node VGND tendeixi a un valor mig que pot estar molt allunyat del valor $\hat{I}_{DD}R_S$ utilitzat en els càlculs anteriors.

Els baixos valors necessaris de la resistència R_S fan que els transistors caiguin dins la categoria de transistors de potència i que la seva implementació *on-chip* sigui costosa en termes d'àrea de Silici. No obstant això, Rubio *et al.* a [2] reporta un sensor amb la tècnica de Keating-Meyer amb un interruptor *on-chip* fet amb un transistor PMOS amb $R_S = 1\Omega$.

2.2.5 Anàlisi de la degradació del retard d'un circuit deguda a sensors BICS amb unions PN

A continuació estimarem la degradació del retard d'una porta lògica quan es connecta un sensor BICS entre la porta i GND. Quan la porta està comutant, el sensor BICS suporta el corrent transitori. La caiguda de tensió desenvolupada en l'element sensor durant el transitori impacta sobre la ve-

locitat del CUT amb una intensitat que depèn de les característiques del sensor i de la porta mateixa. Aquests paràgrafs es dediquen a l'anàlisi d'aquest impacte quan el sensor és un BICS amb resistència i unió PN. D'aquesta classe de sensors és de la que es coneixen més treballs, (capítol 1) ja que aquest enfoc té avantatges degut a la petita caiguda de tensió i la gran capacitat d'absorbir corrent inherent a les unions PN.

L'anàlisi considerarà el sensor BICS connectat a la línia de GND. Per simetria, el mateix anàlisi seria vàlid si el sensor estés connectat a la línia d'alimentació. L'anàlisi considerarà la transició de "1" a "0" a la sortida ja que és en aquesta transició on es produeix un retard addicional del circuit degut a la presència del sensor. De la mateixa manera que en l'apartat anterior, simplificarem el model dels transistors NMOS que participen en la commutació com una simple resistència R_{ON} connectada entre el node de sortida i VGND. La capacitat de sortida es modela amb un condensador C_{OUT} . Les capacitats paràsites dels nodes intermitjos de la porta també intervenen en el procés de commutació, però considerarem un model simple on totes aquestes capacitats es suposen connectades al node de sortida. El sensor BICS es modela per un díode D i una resistència R_S en paral·lel [45][53][9][4][33]. Aquesta resistència té com objectiu proveir un camí per la descàrrega del condensador C_{VGND} . Altres dissenys [22][53] no utilitzen aquesta resistència. L'anàlisi considerarà els dos casos, donant a R_S un valor finit o infinit segons convingui. Per completar aquest model simple, s'assumeix que els transistors de la porta lògica commuten instantàneament i, per tant, els efectes del pendent finit dels senyals d'entrada de la porta son negligits. La figura 2.13 mostra la xarxa elèctrica que modela la porta lògica i el sensor BICS.

El model presentat és una representació molt tosca del circuit i del procés de commutació. Tanmateix, en aquest cas els paràmetres C_{OUT} , C_{VGND} , R_{ON} i R_S del model donen el suficient coneixement del comportament del circuit com per a deduir conclusions sobre les dependències entre aquests paràmetres i la degradació del retard del circuit. Això és per que els paràmetres esmentats estan relacionats amb les característiques del circuit. Així, en un circuit gran amb molt transistors, R_{ON} es pot relacionar amb el corrent de pic de la descàrrega dels nodes del circuit que commuten de "1" a "0", mentre que C_{OUT} modela la capacitat del conjunt de nodes que commuten. Aquests dos paràmetres, R_{ON} i C_{OUT} , estan relacionats amb la grandària del circuit ja que si aquesta augmenta, llavors R_{ON} disminueix i C_{OUT} augmenta. De la mateixa manera, la capacitat C_{VGND} està relacionada amb la grandària del circuit. D'altra banda, R_S i el díode D

estan relacionats amb la grandària del sensor. Si R_S disminueix o el corrent invers de saturació del díode D augmenta, això vol dir que la mida del BICS és més gran. Com veurem en l'anàlisi utilitzan el model proposat, tots aquests paràmetres poden ser combinats per formar expressions tancades que mostren la seva influència en la degradació del retard del circuit.

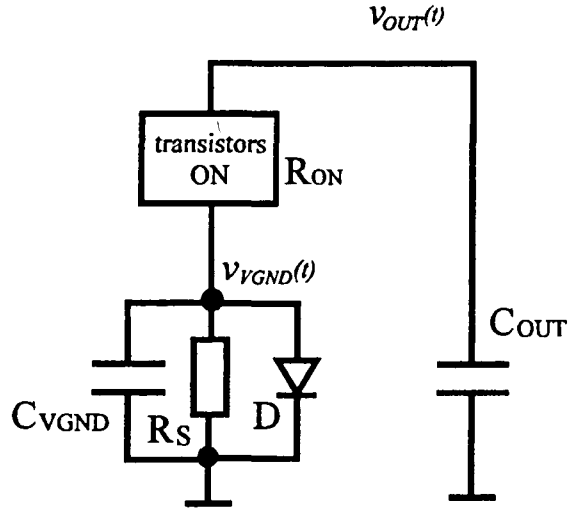


Figura 2.13: Model per analitzar el procés de commutació

Anàlisi complet

En la transició de "1" a "0" a la sortida de la porta, el corrent de descàrrega de C_{OUT} es distribueix entre R_S , D i C_{VGND} . Les equacions diferencials que governen l'evolució dels voltatges $v_{OUT}(t)$ i $v_{VGND}(t)$ de la xarxa de la figura 2.13 són les següents:

$$-C_{OUT} \frac{dv_{OUT}}{dt} = \frac{v_{OUT} - v_{VGND}}{R_{ON}} \quad (2.30)$$

$$\frac{v_{OUT} - v_{VGND}}{R_{ON}} = C_{VGND} \frac{dv_{VGND}}{dt} + \frac{v_{VGND}}{R_S} + I_S \left(e^{\frac{v_{VGND}}{V_T}} - 1 \right) \quad (2.31)$$

On l'equació (2.30) representa el corrent de descàrrega de C_{OUT} i l'equació (2.31) mostra com el corrent que arriba al node VGND es distribueix. Els símbols I_S i V_T signifiquen, respectivament, el corrent invers de saturació del díode D, i el voltatge equivalent a la temperatura absoluta. S'assumeix que la condició inicial de la tensió de sortida és $v_{OUT}(0) = V_{DD}$ i que la condició inicial de la tensió al node VGND és $v_{VGND}(0) = 0$, és a dir, que la freqüència de commutació del circuit és prou baixa per que el node VGND s'hagi descarregat via R_S .

Desgraciadament no és possible resoldre en forma tancada el conjunt d'equacions (2.30) i (2.31). Tanmateix, si dividim el procés de commutació en fases, aproximant la característica no lineal del díode, cadascuna representada per una xarxa elèctrica més simple, el problema pot ser resolt analíticament. Aquesta divisió és possible i és el subjecte dels següents paràgrafs.

Fases de la commutació

Per a dividir el procés de commutació en fases el que fem és aproximar la característica I-V combinada del díode D i de la resistència R_S . La característica I-V aproximada del díode D i la resistència R_S es pot veure a la figura 2.14. En línies primes es mostra la característica I-V de la resistència i del díode mentre que en línia de ratlletes es mostra la característica I-V combinada dels dos elements. Com es pot veure, la característica combinada és molt propera a la característica de la resistència per corrents baixes i, en canvi, és molt propera a la característica del díode per a corrents altes. Per aquesta raó, es proposa la característica aproximada en segments rectes a trams representada per una línia gruixuda.

Així, en el model aproximat, s'assumeix que per corrents menors que un valor crític I_C , tot el corrent passa per la resistència (el díode D no condueix), mentre que per corrents per sobre del valor crític, el corrent passa només pel díode (considerat com una font de tensió constant de valor V_C). Fixar correctament els valors de V_C i I_C és important perquè, com es veurà, depenent dels valors que s'utilitzin, les expressions finals seran les d'una cota superior o inferior de la degradació del retard. En el següent paràgraf descriurem un procediment per calcular V_C i I_C de tal manera que les expressions trobades siguin les d'una cota inferior de la degradació del retard; després, modificant el procediment, es trobaran uns altres valors per a V_C i I_C de tal manera que les mateixes expressions descriuran una cota superior de la degradació.

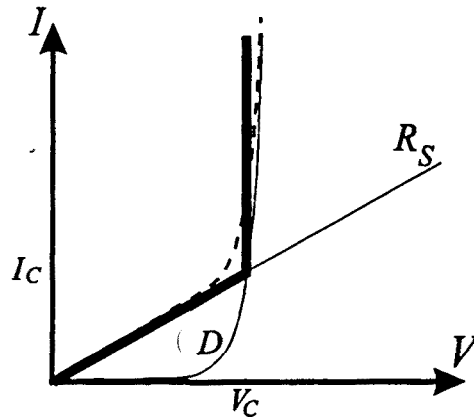


Figura 2.14: Característiques I-V de R_S , D i combinada. Característica I-V simplificada

Procediment per calcular V_C i I_C

Com s'ha dit abans, la figura 2.14 mostra en línies fines la característica I-V del díode D i la resistència R_S . La intersecció entre les dues línies defineix un voltatge V_C i una corrent $I_C = \frac{V_C}{R_S}$. La característica lineal a trams és la dibuixada amb línia gruixuda. Per corrents menors que I_C tot el corrent circula per la resistència i per corrents més grans que I_C tot el corrent circula pel díode considerat com una font de tensió constant de valor V_C . Aquest valor V_C és menor que el voltatge real de la característica I-V combinada de la resistència i el díode. Per aquest motiu, i com que la degradació del retard està estretament lligada al voltatge del node VGND, la expressió trobada amb aquest valor de V_C donarà una cota inferior a la degradació real. L'error degut a aquest model simplificat serà evaluat en les comparacions amb simulacions.

Per calcular V_C s'ha de resoldre la següent equació implícita:

$$\frac{V_C}{R_S} = I_S \left(e^{\frac{V_C}{V_T}} - 1 \right) \quad (2.32)$$

on I_S és el corrent invers de saturació del díode i V_T la tensió equivalent a la temperatura absoluta.

Coneixent V_C es pot descriure l'evolució de $v_{VGND}(t)$ i de $v_{OUT}(t)$.

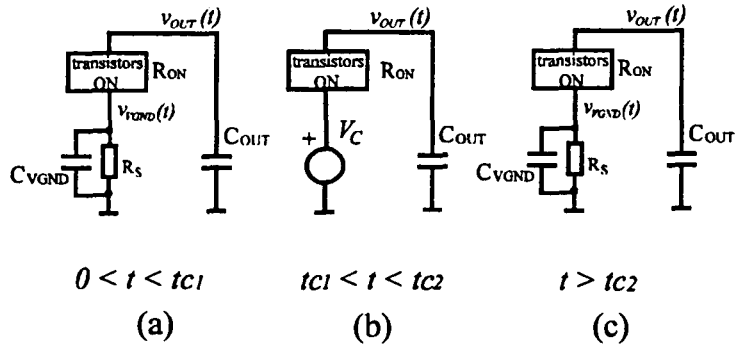


Figura 2.15: Topologia de cada fase del procés de commutació per a la degradació del retard amb sensors amb unions PN

Primera fase

La primera fase comença quan un camí conductor es crea entre el node de sortida del circuit i GND a través de R_{ON} . Es desenvolupa un corrent a través de R_{ON} , la capacitat C_{VGND} comença a carregar-se, el voltatge al node VGND s'incrementa i un corrent comença a fluir per R_S . Com s'ha explicat abans, en aquesta fase s'assumeix que el voltatge $v_{VGND}(t)$ és menor que V_C i que el corrent pel díode D es pot negligir. La topologia de la xarxa elèctrica que representa el circuit està il·lustrada a la figura 2.15(a), que és idèntica a la xarxa de la figura 2.11.

Les equacions a ser resoltes es poden derivar de (2.30) i (2.31) simplificant els termes relacionats amb el díode. El parell d'equacions que queden i les seves solucions són les mateixes que en l'anàlisi de la degradació del retard amb dispositius de *bypass* feta en l'apartat anterior (expressions (2.16) a (2.19)) però les repetim per conveniència:

$$-C_{OUT} \frac{dv_{OUT}}{dt} = \frac{v_{OUT} - v_{VGND}}{R_{ON}} \quad (2.33)$$

$$\frac{v_{OUT} - v_{VGND}}{R_{ON}} = C_{VGND} \frac{dv_{VGND}}{dt} + \frac{v_{VGND}}{R_S} \quad (2.34)$$

Les condicions inicials són: $v_{OUT}(0) = V_{DD}$ i $v_{VGND}(0) = 0$. Aixó vol dir que es considera la freqüència de treball del circuit prou baixa com per

que el voltatge al node VGND hagi arribat a zero volts *abans* que comenci una nova commutació.

Les solucions de (2.33) i 2.34) són:

$$v_{OUT}(t) = A e^{-\frac{t}{\tau_1}} - B e^{-\frac{t}{\tau_2}} \quad (2.35)$$

$$v_{VGND}(t) = \frac{\gamma_{GS} V_{DD}}{\sqrt{\gamma^2 - 4\gamma_S}} \left[e^{-\frac{t}{\tau_1}} - e^{-\frac{t}{\tau_2}} \right] \quad (2.36)$$

on els paràmetres τ_1 , τ_2 , A , B , γ , γ_S i γ_{GS} tenen el següent significat:

$$A = \frac{V_{DD} (\gamma + \sqrt{\gamma^2 - 4\gamma_S} - 2)}{2\sqrt{\gamma^2 - 4\gamma_S}}, \quad B = \frac{V_{DD} (\gamma - \sqrt{\gamma^2 - 4\gamma_S} - 2)}{2\sqrt{\gamma^2 - 4\gamma_S}}$$

$$\gamma = 1 + \gamma_S + \gamma_{GS}, \quad \gamma_S = \frac{R_{ON} C_{OUT}}{R_S C_{VGND}}, \quad \gamma_{GS} = \frac{C_{OUT}}{C_{VGND}}$$

$$\tau_1 = \frac{2R_{ON} C_{OUT}}{\gamma - \sqrt{\gamma^2 - 4\gamma_S}}, \quad \tau_2 = \frac{2R_{ON} C_{OUT}}{\gamma + \sqrt{\gamma^2 - 4\gamma_S}}$$

Les expressions anteriors són vàlides per $0 \leq t \leq t_{C1}$.

A partir de l'expressió (2.36), es pot veure que $v_{VGND}(t)$ augmenta des de zero volts fins un màxim i després disminueix fins a zero altra vegada. No obstant, en l'instant t_{C1} aquest voltatge arriba a valer V_C , el díode comença a conduir, la topologia canvia i les expressions (2.35) i (2.36) no són vàlides. En aquest instant la primera fase acaba i comença la segona fase. La definició de t_{C1} és, doncs, la d'aquell moment en que $v_{VGND}(t_{C1}) = V_C$. Com que V_C és conegut, es calcula t_{C1} , assumint que $\tau_1 \gg \tau_2$ (aquesta suposició es demostra a les expressions (2.23) i (2.24) per $\frac{V_C}{V_{DD}} \ll 1$). Amb aquesta simplificació, l'equació (2.36) es transforma en :

$$v_{VGND}(t) \approx \frac{\gamma_{GS} V_{DD}}{\sqrt{\gamma^2 - 4\gamma_S}} \left[1 - e^{-\frac{t}{\tau_2}} \right] \quad (2.37)$$

o sigui:

$$V_C = \frac{\gamma_{GS} V_{DD}}{\sqrt{\gamma^2 - 4\gamma_S}} \left[1 - e^{-\frac{t_{C1}}{\tau_2}} \right] \quad (2.38)$$

i d'aquesta equació es pot aïllar directament t_{C1} :

$$t_{C1} = \tau_2 \ln \frac{1}{1 - \frac{V_C \sqrt{\gamma^2 - 4\gamma_S}}{\gamma_S V_{DD}}} \quad (2.39)$$

Coneixent t_{C1} , és possible calcular $v_{OUT}(t_{C1})$ a partir de (2.35). El resultat és:

$$v_{OUT}(t_{C1}) = V_{DD} - \frac{V_C \left(-\gamma + \sqrt{\gamma^2 - 4\gamma_S} + 2 \right)}{2\gamma_S} \quad (2.40)$$

Segona fase

La segona fase comença en el moment t_{C1} quan $v_{VGND}(t_{C1}) = V_C$. La tensió al node VGND en aquesta fase es manté constant igual a V_C . La topologia del circuit en aquesta fase és la presentada en la figura 2.15(b). La equació diferencial a resoldre, en aquesta fase, és:

$$-C_{OUT} \frac{d v_{OUT}}{d t} = \frac{v_{OUT} - V_C}{R_{ON}} \quad (2.41)$$

La condició inicial de la equació diferencial està definida a l'expressió (2.40). Resolent (2.41) tenim:

$$v_{OUT}(t) = (v_{OUT}(t_{C1}) - V_C) e^{-\frac{t-t_{C1}}{R_{ON} C_{OUT}}} + V_C \quad (2.42)$$

$$v_{VGND}(t) = V_C \quad (2.43)$$

Aquestes expressions són vàlides per $t_{C1} \leq t \leq t_{C2}$.

La segona fase acaba en l'instant t_{C2} quan el corrent subministrat per C_{OUT} pren el valor crític $I_C = \frac{V_C}{R_S}$. En aquest moment, el voltatge al node de sortida pot ser calculat per la següent expressió:

$$\frac{v_{OUT}(t_{C2}) - V_C}{R_{ON}} = \frac{V_C}{R_S} \quad (2.44)$$

i, per tant:

$$v_{OUT}(t_{C2}) = V_C \left(1 + \frac{R_{ON}}{R_S} \right) \quad (2.45)$$

Substituint (2.45) a (2.42) obtenim:

$$t_{C2} = t_{C1} + R_{ON} C_{OUT} \ln \left[\frac{R_S}{R_{ON}} \left(\frac{v_{OUT}(t_{C1}) - V_C}{V_C} \right) \right] \quad (2.46)$$

Quan el temps arriba a t_{C2} , el procés de commutació passa a la tercera fase on la topologia és la mateixa que a la primera fase.

Tercera fase

La topologia d'aquesta última fase està representada a la figura 2.15(c). Les equacions diferencials a resoldre són les mateixes que a la primera fase però les condicions inicials són diferents: $v_{OUT}(t_{C2}) = V_C \left(1 + \frac{R_{ON}}{R_S} \right)$ i $v_{V_{GND}}(t_{C2}) = V_C$. Les solucions a les equacions diferencials amb aquestes condicions són:

$$v_{OUT}(t) = \frac{V_C}{4\gamma S} \left(A e^{-\frac{t-t_{C1}}{\tau_1}} - B e^{-\frac{t-t_{C2}}{\tau_2}} \right) \quad (2.47)$$

$$v_{V_{GND}}(t) = \frac{V_C}{2} \left(C e^{-\frac{t-t_{C1}}{\tau_1}} - D e^{-\frac{t-t_{C2}}{\tau_2}} \right) \quad (2.48)$$

on les constants A , B , C i D tenen el següent significat:

$$A = \frac{2\gamma(\gamma - 1) - 4\gamma S + 2(\gamma - 1)\sqrt{\gamma^2 - 4\gamma S}}{\sqrt{\gamma^2 - 4\gamma S}}$$

$$B = \frac{2\gamma(\gamma - 1) - 4\gamma S - 2(\gamma - 1)\sqrt{\gamma^2 - 4\gamma S}}{\sqrt{\gamma^2 - 4\gamma S}}$$

$$C = 1 + \frac{\gamma\sqrt{\gamma^2 - 4\gamma S}}{\gamma^2 - 4\gamma S}, \quad D = 1 - \frac{\gamma\sqrt{\gamma^2 - 4\gamma S}}{\gamma^2 - 4\gamma S}$$

Les equacions anteriors són vàlides per $t \geq t_{C2}$.

2.2.6 Cotes en la degradació del retard de circuits amb sensors BICS amb unions PN

De l'anàlisi previ és possible calcular la degradació del retard d'un circuit que inclogui un BICS amb una unió PN. Com s'ha mencionat en els apartats anteriors, el temps de propagació d'un circuit digital es defineix com el temps que transcorre des de que l'entrada pren el valor $V_{DD}/2$ fins que la sortida

pren el mateix valor. Així, la degradació del retard dependrà de la fase del procés de commutació en que el voltatge del node de sortida passi per $V_{DD}/2$.

Per investigar això, hem d'usar les expressions de $v_{OUT}(t)$ en els moments t_{C1} i t_{C2} (expressions (2.40) i (2.45)). Repetirem aquestes expressions per conveniència:

$$v_{OUT}(t_{C1}) = V_{DD} - \frac{V_C \left(-\gamma + \sqrt{\gamma^2 - 4\gamma_S + 2} \right)}{2\gamma_{GS}} \quad (2.49)$$

$$v_{OUT}(t_{C2}) = V_C \left(1 + \frac{R_{ON}}{R_S} \right) \quad (2.50)$$

Per això s'ha estimat el rang de valors dels paràmetres γ , γ_S i γ_{GS} . El valor d'aquests paràmetres depèn de la tecnologia usada per construir el circuit CMOS, de l'estructura del circuit i de la seva mida. Per tecnologies CMOS comercials i per una varietat de portes (des d'un inversor mínim fins a una porta gran que excita un *pad*) s'ha estimat el següent rang de valors per a C_{OUT} , C_{VGND} i R_{ON} [36]: $0.1 \text{ pF} \leq C_{OUT} \leq 0.05 \text{ pF}$, $0.05 \text{ pF} \leq C_{VGND} \leq 1 \text{ pF}$, $100 \text{ } \Omega \leq R_{ON} \leq 4000 \text{ } \Omega$. El paràmetre R_S està determinat pel disseny del sensor BICS i, per tant, depèn de l'estructura i de la mida del sensor. No obstant, el límit inferior del valor de R_S està acotat pel voltatge mínim requerit al node VGND (que també és el node VSENS) per a un corrent I_{DDQ} donat. Per altre banda, el límit superior de R_S no està acotat ja que la presència d'aquesta resistència és opcional i existeixen sensors que no l'inclouen en el seu disseny [23].

De les anteriors estimacions es conclou que el rang dels paràmetres γ , γ_S i γ_{GS} és el següent: $0.1 \leq \gamma_{GS} \leq 5$, $0 \leq \gamma_S \leq 2$ i $1.1 \leq \gamma \leq 8$. Els seus valors típics es poden estimar en: $\gamma_{GS_{tip}} = 1$, $\gamma_{S_{tip}} = 1$ i $\gamma_{tip} = 3$.

D'acord amb el rang de valors dels paràmetres γ , γ_S i γ_{GS} , les expressions del voltatge de sortida (2.49) i (2.50) es poden aproximar a: $v_{OUT}(t_{C1}) \approx V_{DD} - V_C$ i $v_{OUT}(t_{C2}) \approx 2V_C$. Per tant, com $V_C \equiv 0.6 \text{ V}$ (la caiguda de tensió d'una unió PN en polarització directa), i per $V_{DD} \geq 2.5 \text{ V}$, el voltatge $v_{OUT}(t)$ sempre assoleix el valor $V_{DD}/2$ en un moment $t_{C1} \leq t \leq t_{C2}$. Així, la degradació del retard ha de ser calculada en la segona fase.

Cota inferior de la degradació del retard

D'acord amb tot el que s'ha dit, i dins del marge de validesa del model emprat (és a dir: a) característica I-V de R_S i D lineal per trams, b) $V_C = \text{constant}$

i c) R_S prou gran per que $v_{VGND} = V_C$ en algún moment), l'expressió per a la cota inferior de la degradació del retard d'un circuit CMOS es pot trobar substituint l'expressió (2.42) a (2.1). El resultat és:

$$\delta_{LD} = \frac{1}{\ln(2)} \left[\frac{2}{\gamma + \sqrt{\gamma^2 - 4\gamma S}} \ln \frac{\gamma G_S V_{DD}}{\gamma G_S V_{DD} - V_C \sqrt{\gamma^2 - 4\gamma S}} \right. \\ \left. + \ln \frac{V_C [\gamma - 2 - \sqrt{\gamma^2 - 4\gamma S}] + 2(V_{DD} - V_C) \gamma G_S}{(V_{DD} - 2V_C) \gamma G_S} \right] - 1 \quad (2.51)$$

on δ_{LD} significa la cota inferior de la degradació del retard del circuit quan incorpora un sensor amb una unió PN.

L'anàlisi de l'expressió (2.51) prediu les següents dependències:

- La degradació del retard disminueix amb V_C , i per tant a l'augmentar I_S .
- La degradació del retard disminueix a l'augmentar C_{VGND}

Cota superior de la degradació del retard

La expressió (2.51) és una cota inferior de la degradació ja que el voltatge al node VGND durant la segona fase del procés de commutació és sempre inferior al voltatge real. Tanmateix, podem buscar un nou voltatge V_C^* de tal manera que el voltatge real sigui sempre inferior a V_C^* i, així, trobar una expressió per una cota superior de la degradació. El procediment per a trobar V_C^* s'il·lustra a la figura 2.16. Aquesta figura és similar a la 2.14, però els valors V_C^* i I_C^* són diferents. El procediment és el següent: V_C^* es pot trobar calculant el voltatge al díode quan està passant la màxima corrent a través d'ell. Aquest corrent màxim es pot estimar com:

$$\hat{I} = \frac{v_{OUT}(t_{C1}) - V_C}{R_{ON}} \quad (2.52)$$

on $v_{OUT}(t_{C1})$ és el voltatge al node de sortida calculat a l'expressió (2.40) i V_C és el voltatge crític calculat a (2.32). A partir de (2.52) es pot trobar V_C^* de la següent expressió:

$$V_C^* = V_T \ln \left(\frac{\hat{I}}{I_S} \right) \quad (2.53)$$

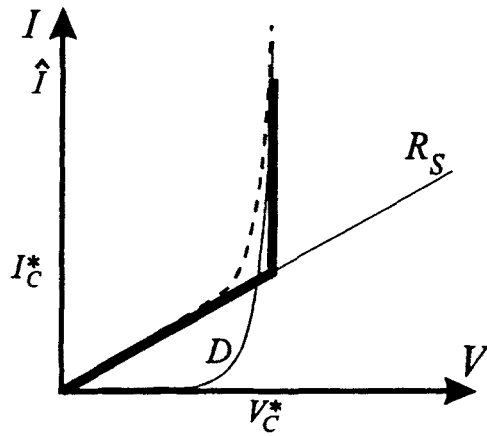


Figura 2.16: Característiques I-V de R_S , D i combinada. Característica I-V simplificada per trobar V_C^* i I_C^*

Coneixent V_C^* , el corrent I_C^* es pot calcular com la intersecció de la característica I-V de R_S i la línia $V = V_C^*$ (vegeu la figura 2.16). Com es pot veure V_C^* és sempre superior que el voltatge real del díode. Així, la expressió amb V_C^* dona una cota superior de la degradació. L'expressió final és idèntica que la (2.51) substituint V_C per V_C^* .

$$\delta_{UD} = \frac{1}{\ln(2)} \left[\frac{2}{\gamma + \sqrt{\gamma^2 - 4\gamma_S}} \ln \frac{\gamma_{GS} V_{DD}}{\gamma_{GS} V_{DD} - V_C^* \sqrt{\gamma^2 - 4\gamma_S}} \right. \\ \left. + \ln \frac{V_C^* [\gamma - 2 - \sqrt{\gamma^2 - 4\gamma_S}] + 2(V_{DD} - V_C^*) \gamma_{GS}}{(V_{DD} - 2V_C^*) \gamma_{GS}} \right] - 1 \quad (2.54)$$

En l'apartat següent es presentaran la comparació entre els resultats obtinguts per simulació i els calculats de les anteriors expressions.

Comparació entre simulacions i càlculs per circuits amb sensors amb unions PN

L'anàlisi i les expressions trobades són vàlids en la mesura en que el model emprat sigui vàlid, particularment quan el valor de R_S és suficientment gran

com per garantir que $v_{VGND}(t)$ arriba, en algún moment, al valor crític V_C . Afortunadament aquesta condició sempre s'acompleix per a sensors amb unions PN ja que, tal com s'ha dit anteriorment, aquests sensors necessiten alts valors de R_S per a desenvolupar un voltatge suficient al node VGND per a un corrent I_{DDQ} donat.

La figura 2.17 mostra una comparació entre el valors simulats i calculats en un circuit d'exemple. Els valors dels paràmetres són: $R_{ON} = 500\Omega$, $C_{VGND} = 1$ pF, $C_{OUT} = 1$ pF i R_S varia de 200 a 20000 Ω . Aquests valors corresponen als valors típics d'un inversor que excita un bus intern d'un circuit amb una capacitat de càrrega relativament alta. Els símbols representen els resultats obtinguts per simulació HSPICE de nivell 6 per a una tecnologia de 1 μm , mentre que les línies representen els resultats obtinguts amb les expressions. Com es pot veure, les cotes superior e inferior estan molt a prop dels resultats simulats per a valors de R_S per sobre de 2000 Ω . D'altra banda, el resultats mostren una degradació en el retard relativament alta (per sobre del 20 %). La presència del dispositiu de *bypass*, es fa doncs, necessaria en els circuits que usin aquest tipus de sensors.

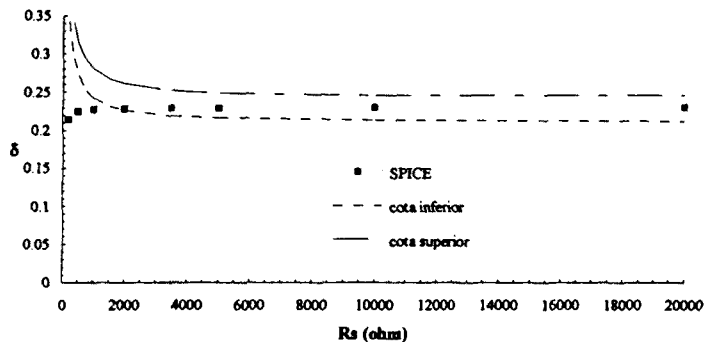


Figura 2.17: Comparació entre HSPICE (nivell 6) i les cotes inferior i superior de la degradació del retard

La taula 2.2 mostra els valors numèrics de la simulació i els calculats junt amb el percentatge d'error, per als mateixos paràmetres que la figura 2.17. E_{LD} i E_{UD} signifiquen l'error del valor calculat per la cota inferior i superior, respectivament, respecte el valor simulat i δ_{LD} i δ_{UD} signifiquen el valor calculat de la cota inferior i superior, respectivament. La divergència entre

$R_S(\Omega)$	δ (HSPICE n.6)	δ_{LD}	$E_{LD}(\%)$	δ_{UD}	$E_{UD}(\%)$
200	0.2140	0.343	+60.2	0.401	+87.4
500	0.2247	0.272	+21.0	0.315	+40.2
1000	0.2273	0.242	+6.47	0.280	+23.2
2000	0.2284	0.226	-1.05	0.261	+14.3
3500	0.2287	0.219	-4.24	0.252	+10.2
5000	0.2291	0.216	-5.71	0.249	+8.69
10000	0.2293	0.213	-7.11	0.245	+6.85
20000	0.2293	0.212	-7.54	0.244	+6.41

Taula 2.2: Valors simulats i calculats de la degradació del retard i errors relatius per alguns valors de R_S . E_{LD} i E_{UD} signifiquen l'error del valor calculat per la cota inferior i superior, respectivament, respecte el valor simulat. δ_{LD} i δ_{UD} signifiquen el valor calculat de la cota inferior i superior, respectivament.

els valors calculats i simulats per a petits valors de R_S s'explica pel següent motiu: quan R_S disminueix, l'interval de la segona fase de la commutació és més curt i la característica I-V simplificada del díode i la resistència R_S induïx un error més gran. Per a un determinat valor de R_S la segona fase del procés desapareix (estariem en el cas d'un circuit amb *bypass*) ja que el voltatge al node VGND *mai* arriba al valor crític V_C . A partir d'aquest valor de R_S en avall, les expressions trobades anteriorment són invàlides.

Resultats experimentals

Per validar els resultats anteriors van ser fabricats alguns circuits integrats amb tecnologia ES2 de 1 μm . Els circuits, reunits sota el nom de **CIR4**, consisteixen en 7 cadenes d'inversors, des de 16 a 64 inversors, en que cada una inclou un BICS amb una unió PN. Per mesurar la dependència de la degradació del retard respecte la mida del sensor, es van construir sensors de 4 mides diferents (la descripció detallada dels sensors es fa al capítol 3 d'aquesta tesi). La mida del sensor és proporcional al paràmetre I_S de la unió PN i aquest paràmetre guarda la següent relació amb V_C : $V_C = V_T \ln \frac{I_C}{I_S}$. Per tant, quan més gran és el sensor, més petit és V_C i més petita la degradació.

La resistència R_S i la capacitat C_{VGND} van ser connectades externament a cada sensor a través d'un *pin*. El seu valor, per tant, es podia ajustar al valor desitjat per a cada mesura. La sortida de l'últim inversor de la cadena

es podia connectar a una capacitat C_{OUT} externa a través d'un *pin*. Els experiments van tractar de determinar les relacions entre els paràmetres del sensor, del circuit, i la degradació trobada.

Els resultats obtinguts corroboren les dependències trobades per l'anàlisi, que es presentaran en l'apartat següent. Les figures 2.18 i 2.19 mostren els resultats obtinguts. La figura 2.18 mostra la disminució de δ amb el creixement de la mida del sensor per tres valors de la capacitat C_{VGND} . La figura 2.19 mostra el decreixement de δ quan C_{VGND} augmenta, per a un valor de C_{OUT} . Els resultats obtinguts mostren les mateixes dependències que els resultats calculats amb les expressions.

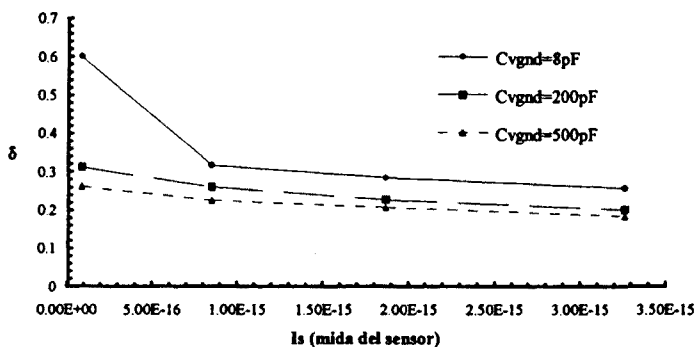


Figura 2.18: δ vs. I_S per a tres valors de C_{VGND} . Circuit amb 32 inversors

Comentaris sobre els resultats obtinguts

D'acord amb els resultats obtinguts per càlcul, simulació i experimentació, es poden establir les següents relacions entre els paràmetres del circuit i del sensor (C_{OUT} , C_{VGND} , R_{ON} i R_S) i la degradació del retard:

- Com més gran és el díode del sensor, més petita és la degradació del retard (figures 2.18 i expressió (2.51)). Això és cert perquè I_S , el corrent invers de saturació del díode, és proporcional a l'àrea del díode i , per tant, a l'àrea del sensor. Però, al seu torn, quan més gran és I_S , més petita és la caiguda de tensió V_C donada la relació logarítmica entre V_C i la inversa de I_S . Finalment, quan el valor de V_C disminueix, la degradació del retard disminueix.

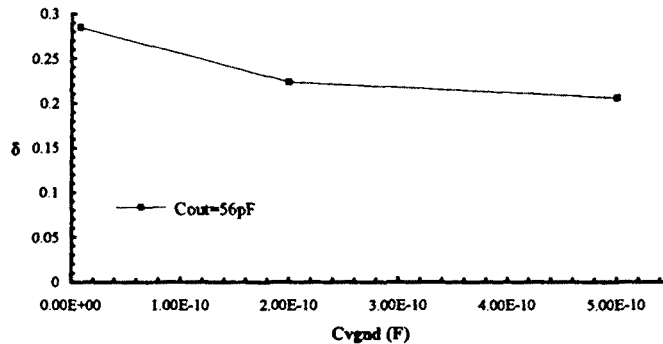


Figura 2.19: δ vs. C_{VGND}

- Com més gran és la capacitat C_{VGND} , menor és la degradació del retard (figura 2.19 i expressió (2.51)). Aquesta dependència es produeix perquè un valor alt de C_{VGND} implica un creixement lent del voltatge al node VGND i, per tant, el valor mig del voltatge en aquest node, durant el procés de commutació, és menor. Com a conseqüència, la degradació del retard és menor.
- La degradació del retard és quasi insensible al valor de R_S (figura 2.17 i expressió (2.51)). Pels valors de R_S requerits per aquest tipus de sensor, la degradació del retard roman pràcticament constant.

D'altra banda, els resultats mostren una degradació del retard relativament gran (superior al 20%). Aquest fet és una forta restricció per al ús dels sensors basats en unions PN en el test de corrent en circuits d'altas prestacions. En aquests circuits cal introduir un dispositiu de *bypass* que curtcircuiti el sensor mentre el circuit està en mode operatiu i que activi el sensor quan el circuit estigui en mode Test.

Amb els experiments no es va tractar de trobar resultats numèrics idèntics als resultats calculats (cosa impossible donades les simplificacions del model) sino *comprovar que les dependències* entre els paràmetres del circuit i del BICS i la degradació del retard trobades a partir del model, es complien en els circuits experimentals. Amb els experiments es van validar les respostes trobades a preguntes com: quin es l'efecte sobre la degradació del

retard quan la mida del circuit augmenta?, o quan el BICS disminueix la seva mida?, o quan les capacitats que commuten són més petites?.

2.2.7 Resultats conjunts: transistor de *bypass* i sensors BICS amb unions PN

Els anàlisi realitzats anteriorment inclouen dos casos: la degradació deguda a la inclusió d'un transistor de *bypass* en paral·lel al BICS, i la degradació deguda al propi BICS. Degut a les diferents característiques dels dos casos, s'han necessitat diferents models. Les expressions obtingudes tenen el seu propi marge de validesa, no més enllà dels límits en que el model i les simplificacions fetes són vàlides. Per exemple, les expressions obtingudes per al transistor de *bypass* són vàlides per valors petits de R_S , mentre que les expressions per als BICS amb unions PN són vàlides per valors alts de R_S . Aquest fet es pot veure a la figura 2.20, on s'ha representat la degradació obtinguda per simulació SPICE i la obtinguda de les expressions per als dos casos: transistor de *bypass* i BICS. Els paràmetres del circuit simulat van ser: $R_{ON} = 500\Omega$, $C_{V_{GND}} = 1\text{ pF}$, $C_{OUT} = 1\text{ pF}$ i R_S varia de zero a 5000Ω . Com es pot veure, l'acord entre el model de *bypass* i la simulació és bó per valors baixos de R_S , i el mateix succeeix entre el model de BICS i els valors alts de R_S . Hi ha una zona intermitja de valors de R_S on les simplificacions i hipòtesis dels models no són vàlides i les degradacions calculades són massa altes. No obstant, això succeeix per valors de R_S molt més elevats que les resistències dels transistors de *bypass* reals i molt més petits que les resistències dels sensors BICS amb resistència i unió PN reals.

2.2.8 Comparació entre els models de degradació del retard ΔV i RC

En els apartats anteriors s'ha estudiat el tòpic de la degradació del retard d'un inversor que incorpora un sensor de corrent utilitzant dos models. En el primer, (apartats 2.2.2 i 2.2.3) s'empra un model molt simple de sensor: una font de tensió constant ΔV , i una expressió acurada del retard. En el segon, (apartats 2.2.4 a 2.2.7) s'empra un model molt simple de retard: un model RC, i un model acurat de sensor que inclou els elements de que consta: resistència, condensador i díode. En aquest apartat s'estudia la validesa i es comparen ambdòs models.

El primer model de degradació del retard (que per concisió nomenarem model ΔV) redueix el sensor a una font de tensió constant. En el con-

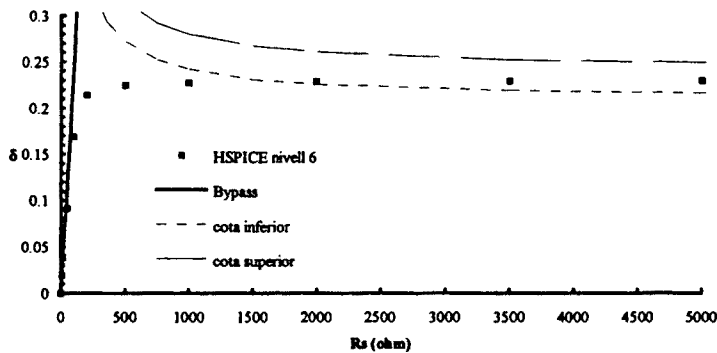


Figura 2.20: Degradació del retard: HSPICE, transistor de bypass i BICS amb unions PN

textes d'aquesta secció nomenem sensor a l'element o elements en sèrie amb el terminal d'alimentació. ¿En quines condicions el comportament del sensor s'acosta a la de una font de tensió?. Per respondre caldrà analitzar el comportament del sensor en funció de la freqüència.

Com hem vist, en paral·lel amb el sensor sempre hi ha una capacitat (C_{VGND}). Aquesta capacitat es carrega cada vegada que l'inversor té una transició 1→0 al node de sortida i després es descarrega a través de la resistència del sensor. Si la freqüència de commutació de l'inversor és baixa, el voltatge del node VGND és zero abans que s'iniciï una nova transició 1→0 al node de sortida. No obstant, si la freqüència de commutació de l'inversor és alta, el voltatge al node VGND no és zero a l'inici de cada transició perquè el període de temps entre transicions és massa petit perquè el sensor descarregui totalment la capacitat C_{VGND} . El resultat és que el voltatge $v_{VGND}(t)$ tendeix a ser constant a mesura que la freqüència de commutació de l'inversor va augmentant. En aquestes condicions es pot aproximar que el procés de commutació de l'inversor es produeix sobre una tensió constant al node VGND, els detalls de l'estructura del sensor desapareixen i la simplificació de representar el sensor per una caiguda de tensió ΔV és vàlida.

En canvi, a baixes freqüències la descàrrega de C_{VGND} no es produeix sobre un voltatge constant al node VGND, sinó que aquest voltatge és variable ja que el període de temps entre transicions 1→0 al node de sortida

és suficientment llarg per a descarregar C_{VGND} . En aquestes condicions simplificar el sensor com una font de tensió constant no és correcte i cal modelar el sensor amb tots els seus elements. Malauradament, no és possible trobar expressions tancades de la degradació del retard en aquest cas.

El segon model de degradació del retard (que nomenarem model RC) simplifica el model de retard d'un inversor a un model RC i inclou l'estructura del sensor. La principal font d'error d'aquest model és representar els transistors que participen en una commutació com una resistència constant R_{ON} . En una commutació, els transistors es comporten com una font de corrent durant un interval de temps, i com una resistència variable durant un altre interval. Això fa que les expressions que s'han trobat utilitzant aquest model siguin útils per a determinar les dependències de la degradació del retard amb els paràmetres del circuit i del sensor, i no per conèixer amb precisió la magnitud de la degradació del retard.

2.3 ÀREA DELS SENSORS

L'àrea ocupada pels sensors és un paràmetre que depen de moltes variables: el tipus de sensor, la tecnologia utilitzada, el nombre de senyals necessari per controlar el sensor, l'estil de disseny..., per aquest motiu, fer un estudi analític d'aquest paràmetre resulta complex.

Així, el que s'ha fet és un recull dels sensors experimentals publicats on es presenta: el nombre de transistors, l'àrea del sensor, l'àrea del circuit sobre el que s'aplica el sensor i el *overhead*, calculat com la relació entre l'àrea del sensor sobre l'àrea del circuit, o bé, el nombre de transistors del sensor sobre el nombre de transistors del circuit. En aquest últim cas els resultats s'han de pendre com una estimació.

Els resultats, per als BICS, es reflexen a la taula 2.3:

Com es pot veure, el percentatge de la penalització en àrea de la presència de BICS al C.I. no és molt gran i les diferències entre sensors no poden ser atribuïdes d'una manera concloent a un enfoc particular. Així, per exemple el sensor de Rubio *et al.* [2] és una implementació *on-chip* de la tècnica de Keating-Meyer, mentre que el circuit de Tang *et al.* [21] conté 28 sensors amb un amplificador operacional i una resistència sensora cadascun i el circuit de Shen *et al.* [45] conté un sensor amb díode i resistència.

Pel que respecte als sensors *off-chip*, cal distingir entre dues aplicacions possibles: si són sensors per al test *off-line* dels circuits, o per al test *on-line*. Tots els sensors *off-chip* publicats fins ara s'utilitzen en test *off-line*,

Sensor	Trans.	Àrea	Tecn.	Mida C.I.	Overhead
Santos [33]	13+1D	-	1.5 μ m	900 tr.	1.6 %
Brown [8]	25+2D	-	-	1800 tr.	1.5%
Tang [21]	16+1R	2.24mm ²	0.8 μ m	77.2mm ²	2.7% (*)
Rubio [2]	18+2C	0.3mm ²	1.2 μ m	33.4mm ²	0.9% (*)
Shen [45]	13+1D	8294 μ m ²	2 μ m	4.84mm ²	0.17% (*)
Singh [4]	34+4BJT	-	2 μ m	416 tr.	9%
Maly [53]	14+1BJT	-	3 μ m	480 tr.	3.1%

Taula 2.3: Mides dels BICS, dels C.I. i overhead. (*) = Dada donada per l'autor

Sensor QTAG	Mides
Classe 1	0.8 × 1 cm
Classe 2	2 × 2 cm
Classe 3	4 × 4 cm

Taula 2.4: Mides proposades pel comitè QTAG pels sensors off-chip

com una opció que s'afegeix a les màquines automàtiques de test (ATE) per a realitzar el test I_{DDQ} . En aquest cas, les consideracions d'àrea ocupada pel sensor *off-chip*, més que referir-se a un problema del cost del sensor, tenen que veure amb la disposició del sensor dins la tarjeta de proves (*DUT board*) per a minimitzar els problemes derivats de tallar l'alimentació del CUT.

També, en el cas dels sensors *off-chip*, l'intent de normalització dels sensors *off-line* a través del QTAG, ha definit un conjunt de mides estàndard per als sensors [26]. Aquestes mides estàndard es recullen en la taula 2.4.

En una hipotètica aplicació d'un sensor *off-chip* a una tarjeta electrònica per al test *on-line*, les consideracions d'àrea ocupada pel sensor i, per tant de cost del circuit imprès i del propi sensor tindrien prioritat.

2.4 PARTICIÓ DELS CUT

Com més gran és el CUT, és més difícil distingir entre un corrent I_{DDQ} anormal i un de correcte, ja que els corrents quiescents són més elevats. La solució a aquest problema consisteix en *partir* el CUT en mòduls i connectar un sensor a cada mòdul. La mida de cada mòdul (en termes del nombre màxim de transistors o de portes) ha de ser determinada. Per test *on-line*

amb sensors *off-chip*, caldria determinar el nombre de C.I. que han de ser vigilats per cada sensor.

Hi ha una raó addicional per a partir el CUT: com més gran sigui el circuit vigilat per un sensor, més gran és la capacitat paràsita al node virtual i , per tant, més temps li portarà al sensor determinar el corrent quiescent del circuit. Des d'aquest punt de vista, és desitjable la divisió del CUT en particions. Tanmateix, des d'altres punts de vista, el *overhead* d'àrea per exemple, és desitjable dividir el circuit en particions grans.

El problema de la grandària màxima de les particions ha estat estudiat per nombrosos autors. A continuació s'exposa un resum del que han dit.

Maly, a [51][52], estudia aquest tòpic senyalant que és necessari conèixer tres corrents per a poder determinar el nombre N_{\max} de transistors que poden ser inclosos en una partició. Aquestes tres corrents són: $I_{def\ min}$: el corrent mínim que pot ser identificat com anormal pel BICS, el corrent I_{DDQ} de la partició que es testa i el corrent $I_{noise\ max}$ de soroll màxim de la partició. Per avaluar el corrent I_{DDQ} , Maly senyala que té tres components: el primer, el corrent de fuga de les unions PN polaritzades en inversa de la partició, la segona el corrent sub-llindar dels transistors en tall de la partició i la tercera, la que Maly anomena corrent I_{DDQ} transitòria, que està relacionada amb el període de temps que la partició necessita per a arribar a l'estat quiescent. Com que aquest temps és molt llarg, per a realitzar el test per corrent a freqüències pràctiques cal tenir en compte que el circuit no ha arribat a l'estat quiescent i que, per tant, hi ha un corrent I_{DDQ} addicional (el corrent I_{DDQ} transitori). Aquest corrent I_{DDQ} transitori pot ser superior a la suma dels corrents subllindar i de fuites. Així, Maly senyala que cal tenir en compte la freqüència de test per a determinar quina és la mida de la partició, o sigui, quin valor pot tenir N_{\max} .

Malaiya, Menon *et al.* [40] [41] [55] analitzen estadísticament el problema de la partició del CUT suposant que la distribució de I_{DDQ} tant d'un circuit correcte com d'un circuit amb algun defecte que generi un corrent I_{DDQ} , segueix una llei Gaussiana (veieu figura 2.21).

La distribució del corrent quiescent en una partició del circuit sense defectes tindrà com valor mig i desviació típica:

$$\mu_{I_{DDQ}} = n \mu_{gI_{DDQ}} \quad (2.55)$$

$$\sigma_{I_{DDQ}} = \sqrt{n} \sigma_{gI_{DDQ}} \quad (2.56)$$

on n és el nombre de portes de la partició i $\mu_{gI_{DDQ}}$ i $\sigma_{gI_{DDQ}}$ són el valor mig i la desviació típica del corrent quiescent d'una porta. Aquesta

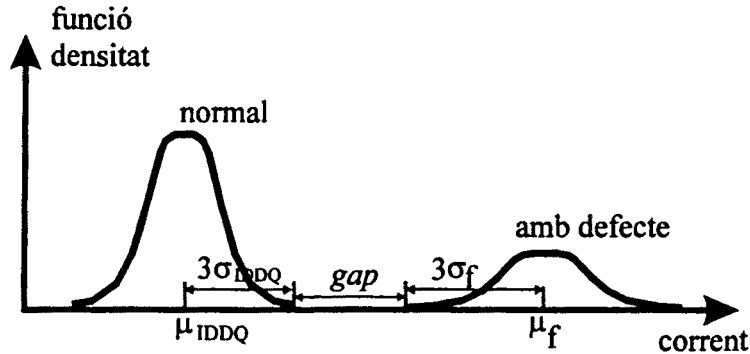


Figura 2.21: Funcions densitat de les distribucions de corrent quiescent en un circuit sense defectes i en un circuit amb defectes

variabilitat del valor del corrent quiescent és deguda a la variabilitat dels paràmetres deguda al procés de fabricació del CUT, però també, com han mostrat Ferré a [1] i Gu a [38], és deguda a les entrades del CUT.

Si la partició té un defecte, existirà un corrent quiescent addicional i_f , caracteritzat pels paràmetres μ_f i σ_f . Les dues distribucions de corrent (sense i amb defecte) tindran un *gap* tal que la seva mida serà funció del nombre n de portes de la partició. Així, acceptant que les distribucions estiguin separades per sis vegades la desviació típica, Malaiya i els seus col.laboradors van trobar la següent relació per a la mida màxima de la partició:

$$n_{\max} = \left(\frac{\mu_f}{6\sigma_{gIDDQ}} \right)^2 \quad [55] \quad (2.57)$$

D'altra banda, T.W. Williams *et al.* fan una predicció per al futur a [42][46][47] que vaticina que l'efectivitat del mètode de test dels circuits CMOS per vigilància del corrent quiescent pot disminuir. La seva tesi és la següent: en el futur disminuirà dramàticament la separació entre les dues distribucions de corrent quiescents representades a la figura 2.21. Els autors es basen en que el corrent quiescent dels circuits CMOS, augmenta a mesura que la longitud del canal es va fent més curta, degut a que el corrent sub-llindar dels transistors en tall augmenta i a que la mida dels circuits és cada vegada més gran. D'altra banda, el corrent quiescent degut

a la presència d'un defecte (un pont per exemple) disminueix degut a que el voltatge d'alimentació dels circuits és cada vegada més baix. de la conjunció dels dos fenòmens els autors extreuen la conclusió que el *gap* entre les dues distribucions de corrent serà cada vegada més petit, fins que les dues distribucions estaran tant juntes que serà molt difícil detectar un defecte mesurant el corrent quiescent. De fet, els autors estan pensant en el test *off-chip* de corrent, en que la partició és el circuit sencer. No obstant, aquest problema pot ser superat per mitjà del test *on-chip* amb BICS i el particionat del CUT junt amb d'altres tècniques per disminuir el corrent quiescent, tals com incloure transistors amb tensions llindars més elevades en sèrie amb el circuit [39], o polaritzar el substrat [50].

Wunderlich *et al.* [13] estudien el problema del particionat del CUT en relació al *overhead* d'àrea degut a la presència del sensor, a la degradació del retard del circuit, al cost d'interconnexió del BICS i als canvis en la freqüència de test. Els autors obtenen un algorisme que troba una partició que minimitza la suma dels costos associats amb cada un dels paràmetres anteriors. L'algorisme és general, però el pes relatiu de cada un dels paràmetres en la funció cost no es coneix *a priori* i s'ha de trobar per a cada circuit concret.

Rullán *et al.* a [30] senyala dos casos extrems en les estratègies de particionat en relació al *overhead* d'àrea:

- un *cas millor* en que l'estratègia de particionat s'orienta a agrupar en una partició el major nombre possible de portes *en sèrie* (en sèrie significa que les portes no commuten simultàneament, sino unes després de les altres).
- un *cas pitjor* en que l'estratègia de particionat agrupa en una partició les portes *en paral·lel* (en paral·lel significa que s'agrupen les portes que commuten al mateix temps).

En les estratègies descrites pels autors no s'especifica la mida de la partició. Així, els autors realitzen simulacions sobre circuits ISCAS85 al que afegeixen un sensor integrador [3] de mida parametrizable en funció de la caiguda de tensió màxima del sensor, i estudien l'*overhead* d'àrea per particions de 10, 25 i 100 portes admetent una caiguda de tensió de 250 mV. Els resultats mostren clarament que és preferible una estratègia de partició *en sèrie* degut a que el pic de corrent de la partició és més petit seguint aquesta estratègia i, per tant, la mida del sensor pot ser més petita per a la mateixa caiguda de tensió.

2.5 VARIACIÓ DEL CONSUM DEL CUT

El consum mig del CUT té la següent expressió:

$$P_{CUT_{avg}} = V_{DD} \bar{I} \quad (2.58)$$

on \bar{I} és el corrent mig de la font d'alimentació. Aquest corrent té varies components: el consum estàtic del sensor i del CUT, el consum dinàmic del CUT i el consum de curtcircuit. La presència d'un sensor BICS per al test I_{DDQ} modifica aquests components significativament. En el que segueix s'analitza breument el consum del CUT i del sensor així com els efectes de la presència del sensor sobre el consum del CUT.

2.5.1 El consum del CUT

El consum del CUT té tres components: el consum estàtic, el consum de curtcircuit, degut al corrent de curtcircuit, i el consum dinàmic, degut a la càrrega i descàrrega de les capacitats del circuit. El consum dinàmic és, en les tecnologies actuals, el més important [6]. Estudiarem, doncs, només l'efecte de la presència del sensor sobre el consum dinàmic.

El consum dinàmic té la següent expressió:

$$P_{CUT_{din}} = C_{eff} V_{DD} (V_{DD} - \Delta V) f \quad (2.59)$$

on C_{eff} és el valor de la capacitat efectiva del circuit que commuta, $C_{eff} = \sum \alpha_i C_i$, on α_i és el factor d'activitat del node i , C_i la capacitat del node i i la suma s'estèn a tots els nodes del CUT [6], f és la freqüència del CUT i $V_{DD} - \Delta V$ el valor de l'excursió de la tensió en la capacitat que commuta.

Considerant que el sensor genera una caiguda de tensió constant ΔV , l'expressió anterior dóna el consum dinàmic del CUT amb el sensor inclòs. Si el CUT no incorpora un sensor, llavors $\Delta V = 0$ i el consum dinàmic és superior al del CUT amb sensor.

2.5.2 El consum estàtic del BICS

El circuit del BICS es considera dividit en dues parts: una part digital amb lògica complementària i una part analògica. El consum estàtic del BICS és deguda a la part analògica i té dues fonts: els circuits de generació de la referència de corrent o tensió que determina el llindar del corrent quiescent

anormal i els circuits de polarització dels amplificadors del BICS. Ambdues fonts de consum han de ser operatives quan el sensor està funcionant, però poden ser desconnectades en cas necessari per reduir el consum. El consum estàtic de la part digital del BICS es pot negligir si s'ha dissenyat amb lògica complementària.

Referència de corrent o tensió

Els sensors publicats utilitzen un generador de corrent o de tensió per a determinar el llindar del corrent quiescent que el sensor detectarà com anormal. Aquests circuits tenen un consum estàtic que és una de les fonts de consum del sensor. El corrent es fa passar a través d'una resistència per transformar-la en una tensió que s'aplica a una de les entrades del comparador que determina si la tensió V_{sens} (reflexe del corrent I_{DDQ} o de la seva integral) és més gran que la tensió llindar generada pel corrent de referència. En els sensors publicats el comparador està construït per dos inversors realimentats que tenen consum estàtic negligible. Designarem el consum estàtic del circuit de referència com $P_{BICSref}$.

Una proposta interessant és la presentada a [10] i a [11] on la referència de corrent es construeix fent asimètrics els transistors del comparador. La asimetria crea un llindar "virtual" al corrent quiescent del CUT necessari per a activar el comparador. Aquesta proposta fa $P_{BICSref} = 0$.

Circuits de polarització

Els BICS amb amplificadors operacionals i transportadors de corrent (veieu capítol 1) necessiten circuits de polarització que tenen un consum estàtic. Això fa que aquests sensors presentin un desavantatge des del punt del consum. Designarem el consum estàtic dels circuits de polarització com $P_{BICSpol}$.

2.5.3 Variació del consum del CUT

D'acord amb l'anàlisi anterior, el consum del CUT amb el BICS connectat té com expressió:

$$P_{CUT+BICS} = P_{SC} + P_L + C_{eff} \dot{V}_{DD} (V_{DD} - \Delta V) f + P_{BICSref} + P_{BICSpol} \quad (2.60)$$

on P_{SC} és el consum de curtcircuit del CUT *amb* BICS i P_L és el consum estàtic del CUT *amb* BICS.

No s'han publicat dades sobre la variació del consum del CUT quan incorpora un sensor BICS. El consum propi del BICS tendeix a augmentar el consum total, mentre que el consum dinàmic tendeix a disminuir-lo. El resultat final depèn del disseny de cada BICS, de les característiques del CUT i de la freqüència de funcionament.

2.6 DISCRIMINABILITAT I SENSIBILITAT DELS SENSORS

2.6.1 Introducció

L'objectiu principal que han de complir els sensors, la seva raó d'ésser, és la de discriminar correctament els corrents quiescents dels circuits sense defectes i amb defectes. Vist com una caixa, el sensor té com entrada el corrent I_{DDQ} del CUT i com sortida un senyal (normalment digital) que indica si el corrent és anormal o no. La característica de transferència del sensor es representa esquemàticament a la figura 2.22. A l'eix horitzontal tenim el corrent quiescent del circuit i en el vertical la sortida del sensor. L'eix horitzontal està dividit en tres parts: a l'esquerra es representa l'interval de corrents del circuit sense defectes I_{DDQnd} i un esquema de la distribució de probabilitat d'aquest corrent. A la dreta es representa l'interval de corrents del circuit amb defectes amb la seva distribució de probabilitat. En mig es representa el *gap* entre ambdues distribucions de corrent (veieu la secció dedicada a la partició del CUT). Un sensor que funcioni correctament ha d'indicar NO FALLA si $I_{DDQ} \leq I_{DDQnd\max}$ i ha d'indicar FALLA si $I_{DDQ} \geq I_{DDQd\min}$ tal com es representa a la figura en línies gruixudes acabades en quadrats. En principi, la transició entre la sortida NO FALLA i FALLA es pot produir en qualsevol punt del *gap* i pot tenir qualsevol forma (zona sombrejada de la figura). No obstant, totes les implementacions de sensors publicades presenten una característica de sortida que s'aproxima a la que està representada a la línia de ratlletes de la figura. És a dir, defineixen un llindar de corrent passat el qual la sortida del sensor indicarà FALLA.

La característica de transferència extremadament no lineal representada en línia de ratlletes a la figura 2.22 s'obté, en tots els sensors publicats, per mitjà de dos blocs: el bloc *transductor* que captura el corrent quiescent del CUT i el transforma en una magnitud que pot ser comparada amb un

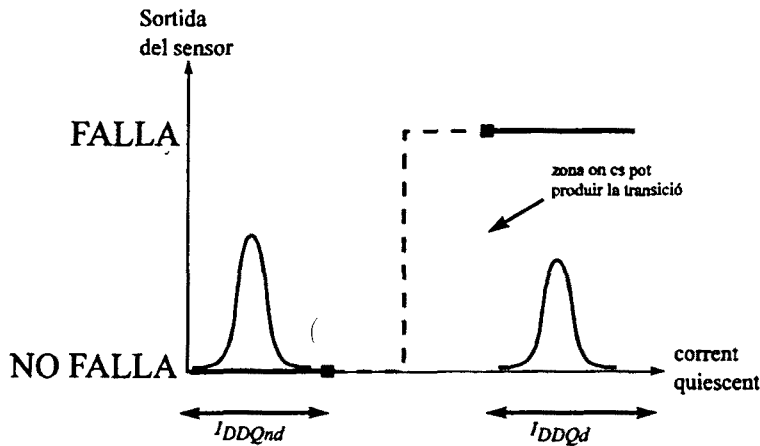


Figura 2.22: Característica de transferència d'un sensor. I_{DDQnd} : corrents quiescents d'un circuit sense defectes, I_{DDQd} : corrents quiescents d'un circuit amb defectes.

valor de referència pel bloc *comparador* que subministra la sortida digital FALLA/NO FALLA. Així, el bloc comparador és el responsable de la forma de graó de la característica del sensor.

No obstant, el tipus de transductor que s'utilitzi en el sensor no és indiferent. Un transductor amb una característica propera a un graó facilitarà la comparació, mentre que un transductor amb característica plana la farà més difícil. En els següents apartats s'analitzarà el comportament dels diferents tipus de transductors utilitzats en els sensors i es presentarà un criteri per avaluar la seva *discriminabilitat*. A continuació, per la categoria dels sensors lineals s'estrudiarà la seva *sensibilitat*.

2.6.2 Discriminabilitat dels sensors

D'acord amb la classificació feta al capítol 1 d'aquesta tesi, els sensors es poden classificar en lineals i no lineals. Aquest qualificatiu es refereix només a la característica del transductor. Recordem que els únics sensors no lineals que es coneixen són el de Maly [53] en que el element transductor és un díode i el de Santos-Teixeira [33] en que l'element transductor és una resistència variable. Tots els transductors presenten un comportament tal

que per un valor donat de I_{DDQ} la seva sortida es satura. A la figura 2.23 es presenta un esquema, en escala lineal, de la característica ideal d'un transductor i de les característiques reals dels sensors lineals i no lineals per a $I_{DDQd\min} = 1\mu A$. A la figura 2.24 es veu el mateix esquema en escala logarítmica. En les figures s'ha esquematitzat la resposta del transductor ideal i del transductor lineal de manera que la tensió de sortida del transductor estigui al voltant de 0.7 volt i es pugui comparar la *forma* de la seva funció de transferència amb la dels transductors no lineals. En les figures es pot veure clarament les diferències de comportament dels transductors quan, per exemple, $I_{DDQnd\max} = 0.1\mu A$.

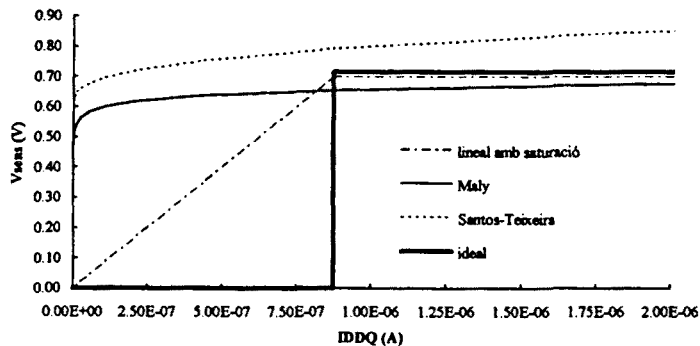


Figura 2.23: Funció de transferència d'un transductor ideal i dels transductors dels sensors I_{DDQ} lineals i no lineals. Eix X a escala lineal.

Com es pot veure, encara que no tant bona com la del transductor ideal, la característica dels sensors lineals és molt millor que la dels no lineals.

Es pot quantificar l'anterior anàlisi introduint un factor que mesuri la discriminabilitat del transductor.

$$\chi = \frac{V(I_{DDQd\min}) - V(I_{DDQnd\max})}{V_{MAX}} \quad (2.61)$$

on $V(I_{DDQd\min})$ és el voltatge del transductor quan rep el corrent $I_{DDQd\min}$, $V(I_{DDQnd\max})$ és el voltatge del transductor quan rep $I_{DDQnd\max}$ i V_{MAX} és el voltatge màxim que pot donar el transductor. En el transductor ideal $\chi = 1$ i en els transductors reals $\chi < 1$.

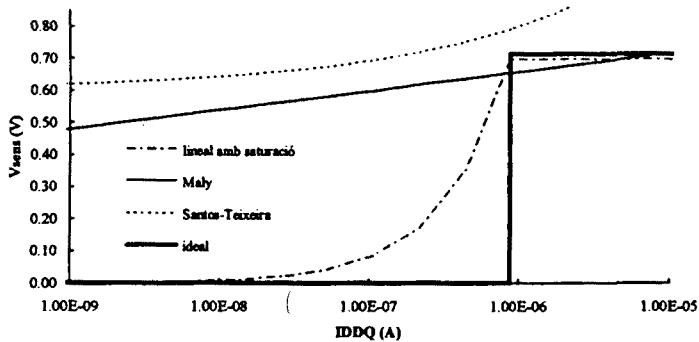


Figura 2.24: Funció de transferència d'un transductor ideal i dels transductors dels sensors I_{DDQ} lineals i no lineals. Eix X a escala logarítmica.

2.6.3 Sensibilitat dels sensors lineals

Com s'ha dit abans la gran majoria de sensors per al test I_{DDQ} són sensors lineals (proporcionals o integradors). Per aquests sensors un paràmetre fonamental és la sensibilitat (*Sensitivity* = "el cocient entre la magnitud de la resposta [d'un sistema] a la magnitud de l'entrada" [14]). Tots els sensors lineals (tant *on-chip* com *off-chip*) publicats converteixen el corrent I_{DDQ} (o una magnitud relacionada amb I_{DDQ}) en un voltatge que (amplificat o no) és comparat amb una tensió llindar que determina si el corrent és anormal o no. Aquest voltatge, que anomenarem V_{sens} , permet definir, quan el CUT està en estat quiescent, la següent relació:

$$S \triangleq \frac{V_{sens}}{I_{DDQ}} \quad (2.62)$$

En aquesta relació li direm *Sensibilitat* del sensor.

La sensibilitat d'un sensor té dimensions de resistència i mesura la capacitat del sensor de respondre davant de corrents I_{DDQ} petites. En general, els dissenyadors fan el sensor tan sensible com poden per detectar els petits corrents quiescents que es generen en alguns defectes [5]. No obstant, la màxima sensibilitat està acotada; com veurem després, pel factor de discriminabilitat. A més, els sensors han de complir altres especificacions, tals com la velocitat i l'àrea de Silici necessària per implementar-los que poden

tenir signe contrari a la sensibilitat. Així, el disseny dels sensors es objecte de compromisos per l'obtenció d'un disseny òptim.

Des del punt de vista de la sensibilitat els sensors lineals es poden classificar en les següents classes (capítol 1):

- Sensors proporcionals
- Sensors integradors

2.6.4 Sensibilitat dels sensors proporcionals

Els sensors proporcionals (veieu el capítol 1 per la seva descripció) utilitzen sempre el mateix principi de funcionament: fan passar el corrent quiescent (o una fracció d'aquest corrent) per una resistència R_S , i la caiguda de tensió generada en aquesta resistència és V_{sens} . Així, es pot escriure:

$$S_P = \frac{V_{sens}}{I_{DDQ}} = \frac{(KI_{DDQ})R_S}{I_{DDQ}} = KR_S \quad (2.63)$$

on S_P és la sensibilitat dels sensors proporcionals i K és una constant. La sensibilitat d'aquests sensor és constant en el marge de corrents en que els sensors són proporcionals. Es pot augmentar la sensibilitat d'aquests sensors augmentant el valor de R_S .

2.6.5 Sensibilitat dels sensors integradors

La sensibilitat dels sensors integradors que mesuren l'evolució del voltatge al node d'alimentació flotant (veieu capítol 1 d'aquesta tesi) compleixen la següent expressió:

$$S_I = \frac{V_{sens}}{I_{DDQ}} = \frac{\left(\frac{I_{DDQ}t_i}{C}\right)}{I_{DDQ}} = \frac{t_i}{C} \quad (2.64)$$

on S_I és la sensibilitat dels sensors integradors, t_i és el temps d'integració i C és la capacitat d'integració. La Sensibilitat dels sensors integradors és, potencialment, la més gran possible. Podria ser tan gran com es desitji, fent que el període de integració sigui prou gran. No obstant, però, l'augment de sensibilitat que s'aconsegueix incrementant el temps d'integració disminueix la freqüència de treball del sensor.

2.6.6 Cotes en la Sensibilitat dels transductors lineals

Normalment, la sensibilitat és un paràmetre que es pot ajustar dimensionant adequadament un element del sensor: el valor de la resistència sensora, el guany d'un amplificador, o d'altres. Així, per una banda, la sensibilitat mínima ve determinada per les característiques del circuit connectat a V_{sens} de tal manera que, si es connecta a un comparador o a un amplificador, llavors la tensió d'*offset* d'aquests circuits limitarà la sensibilitat. Per l'altra banda, les toleràncies de fabricació i les variacions dels valors dels paràmetres del sensor amb la temperatura i el voltatge d'alimentació, són altres factors que s'han de tenir en compte per fixar la sensibilitat mínima.

La sensibilitat màxima d'un transductor lineal està limitada pels corrents $I_{DDQnd\ max}$ de manera que, per el voltatge $V_{sens\ max}$ possible, la sensibilitat teòrica màxima S_{max} ha de complir la següent desigualtat:

$$S_{max} < \frac{V_{sens\ max}}{I_{DDQnd\ max}} \quad (2.65)$$

Per sensibilitats superiors el factor de discriminabilitat s'anularia i, per tant, la sortida del sensor donaria valors erronis.

El criteri correcte de disseny és seleccionar la sensibilitat que maximitzi el factor de discriminabilitat χ definit per l'expressió (2.61).

D'acord amb les dades dels autors, la sensibilitat dels sensors publicats està dins del marge de $S_{min} = 5000$ a 10000Ω , o sigui, de 5 a $10 \frac{mV}{\mu A}$ per detectar corrents $I_{DDQ} \geq 1\mu A$. No obstant, alguns autors [31] afirmen que imposar una sensibilitat tan alta com 5 a $10 \frac{mV}{\mu A}$ és innecessari i, fins i tot contraproduent, ja que els sensors dimensionats per aquestes sensibilitats poden penalitzar el rendiment en la fabricació dels CUT (*yield*) degut a que els sensors tan sensibles poden rebutjar CUT en bon estat però amb corrents de fuga elevades. A més, altes sensibilitats impliquen baixes freqüències de test, creant una penalització addicional. Els autors realitzen experiments (simulacions) on demostren que, per circuits *benchmark*, el corrent I_{DDQ} mínim anormal generat per un pont resistiu és superior a $200 \mu A$. D'acord amb aquests resultats, sensibilitats de 0.025 a $0.05 \frac{mV}{\mu A}$ serien suficients per detectar aquests ponts. La sensibilitat màxima reportada ha estat la d'un sensor *off-chip* integrador, on $S = 1000 \frac{mV}{\mu A}$ per a una freqüència de test de 100 KHz [28].

Un altre aspecte a considerar és que la sensibilitat dels sensors presenta un fort *trade-off* amb la velocitat del sensor ja que la constant de temps formada per la sensibilitat i la capacitat del node virtual és més gran a

mesura que la sensibilitat creix. La propera secció analitzarà en detall aquest fenomen.

2.7 VELOCITAT DEL MÈTODE DE TEST

La rapidesa, en vectors/s, amb que es pot realitzar el test de corrent quiescent d'un CUT depen de dos factors: el primer és el temps que triga el CUT en arribar al estat quiescent després de l'aplicació d'un vector d'entrada (t_{CUT}); el segon és el temps de resposta del sensor, des de que té a la seva entrada el corrent quiescent del CUT, fins que activa un senyal digital PASSA/FALLA a la sortida del comparador (t_S).

La velocitat és un altre dels paràmetres fonamentals dels sensors. Es defineix per velocitat d'un sensor a la inversa del període T de temps que transcorre des de que s'aplica un vector de test i al CUT fins que s'aplica el vector $i + 1$. El sensor ha d'haver determinat en aquest interval de temps si el corrent quiescent del CUT ha estat per sobre o per sota d'un llindar especificat.

Per a estudiar la velocitat, separarem T en els seus components: el temps t_{CUT} , el temps t_S i el temps de resposta del comparador. En el següent apartat analitzarem el temps de resposta del comparador i en els següents analitzarem la velocitat dels sensors integradors i dels sensors amb resistència i unió PN.

2.7.1 Temps de resposta del comparador

Els circuits comparadors utilitzats en els sensors I_{DDQ} tenen per objectiu proporcionar un senyal digital PASSA/FALLA que indica si el corrent quiescent durant l'interval considerat està per sobre o per sota d'un llindar. Diferents esquemes són possibles [49], no obstant el més utilitzat i del que es té més informació és el comparador-*latch* construït amb dos inversors.

Aquests comparadors estan construïts amb dos inversors connectats un amb l'altre formant un *latch*. Transistors o portes de pas addicionals, connecten les entrades dels inversors a la tensió V_{sens} i a una tensió de referència V_{REF} . El resultat de la comparació d'ambdues tensions s'emmagatzema en el *latch* en forma d'un senyal digital.

El temps de resposta d'aquests comparadors depèn de la tecnologia en que siguin fabricats i de la magnitud de les tensions que es comparin. No obstant, el temps de resposta és molt petit en comparació amb el temps de

resposta del sensor propiament dit. A [45] es reporta un temps de resposta del comparador de 2 ns i a [23] de 5.6 ns.

Els dissenyadors d'altres esquemes de comparadors utilitzats en sensors per al test per corrent no han subministrat informació sobre el seu temps de resposta.

A continuació s'estudiaran el temps de resposta dels sensors integradors i dels que tenen una unió PN en el seu sí: els sensors amb díode i resistència. El cas particular del temps de resposta del sensor PBICS serà estudiat extensament al capítol 3 d'aquesta tesi.

2.7.2 Temps de resposta dels sensors integradors

Un esquema d'aquests sensors es pot veure a la figura 1.1 del primer capítol d'aquesta tesi i un cronograma de l'evolució de les magnituds involucrades a la figura 1.2 del capítol 1. Un circuit equivalent adequat per l'estudi del temps de resposta d'aquest sensor es pot veure a la figura 2.25. La font de corrent $i_{DD}(t)$ representa el corrent (transitori i quiescent) que prové del CUT, S és un interruptor que només s'obre quan el CUT està en estat quiescent i el corrent que prové del CUT és I_{DDQ} , i C és el condensador que fa l'integració d'aquest corrent. En aquests sensors és possible separar t_{CUT} : temps fins el quiescent del CUT i t_S : temps de resposta del sensor.

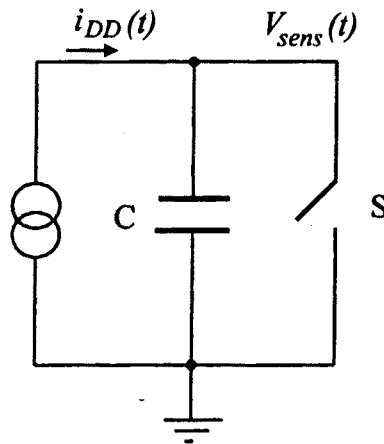


Figura 2.25: Esquema elèctric equivalent dels sensors integradors

Una vegada el transitori de corrent del CUT ha acabat, el temps de resposta del sensor t_S des de que el CUT està en estat quiescent es descomposa en les següents parts:

- t_{OFF} : temps en que l'interruptor s'obre. És el temps que necessita l'interruptor per passar de tancat a obert. Durant aquest temps la tensió $v_{sens}(t)$ pot fluctuar degut a la injecció de càrrega que prové de l'interruptor. El disseny del dit interruptor s'ha d'optimitzar per reduir al mínim aquestes fluctuacions. Al capítol 5 d'aquesta tesi s'estudia en profunditat aquest fenomen.
- t_i : temps d'integració. Durant aquest temps el corrent I_{DDQ} carrega la capacitat C i fa créixer v_{sens} . La tensió $v_{sens}(t) = \frac{t I_{DDQ}}{C}$ i, per tant, suposant que l'injecció de càrrega de l'interruptor és nul·la i que el comparador al que s'aplica $v_{sens}(t)$ no té *offset* el temps d'integració t_i val: $t_i = \frac{C V_{REF}}{I_{DDQ}}$
- t_{ON} : temps en que l'interruptor es tanca. És el temps que necessita l'interruptor per passar d'obert a tancat. Durant aquest temps, la tensió $v_{sens}(t)$ també pot fluctuar degut a l'injecció de càrrega de l'interruptor.

Així, tenim que:

$$t_S = t_{OFF} + \frac{C V_{REF}}{I_{DDQ}} + t_{ON} \quad (2.66)$$

Valors típics de t_{ON} i t_{OFF} són $t_{ON} = t_{OFF} \leq 1 \mu s$ [35]. D'altra banda, el temps t_{CUT} en que el CUT triga en arribar a l'estat quiescent és molt més llarg que el temps de propagació d'un circuit i pot abastar temps de l'ordre de $1 \mu s$ en circuits CMOS grans [40]. Així, pels sensors integradors, la freqüència màxima de treball té la següent expressió:

$$F_{\max}^{INTEG} = \frac{1}{K + \frac{C V_{REF}}{I_{DDQ}}} = \frac{1}{K + C S_I} \quad (2.67)$$

on S_I és la sensibilitat del sensor (expressió (2.64)) i $K = t_{CUT} + t_{ON} + t_{OFF}$ es considera constant per a un sensor i un circuit donats. Veiem l'ordre de magnitud de F_{\max}^{INTEG} .

La capacitat mínima d'integració C , és la capacitat del propi CUT, que pot ser de l'ordre de 1 nF per a circuits CMOS VLSI [28]. El voltatge

V_{REF} no pot ser superior a unes poques dècimes de volt per evitar que la tensió d'alimentació efectiva del CUT disminueixi excessivament. En aquestes condicions, per $I_{DDQ} = 1\mu A$, $\frac{CV_{REF}}{I_{DDQ}} \approx 100\mu s$. Si agafem els valors típics de t_{ON} i $t_{OFF} \approx 1\mu s$ i $t_S \approx 1\mu s$, llavors $F_{max}^{INTEG} < 10$ KHz. D'altra banda, com es pot veure a l'expressió (2.67), es pot aconseguir més velocitat perdent sensibilitat, és a dir, augmentant el corrent I_{DDQ} mínim detectable.

2.7.3 Velocitat del sensors amb unions PN

L'estimació de la velocitat dels sensors basats en unions PN és complexa perquè, a diferència dels sensors integradors, el voltatge $V_{sens}(t)$ d'aquells respon tant al corrent transitori del CUT com al corrent quiescent. Com que el sensor està connectat permanentment al CUT això altera el temps que triga el CUT en arribar a l'estat quiescent. Per tant, a diferència dels sensors integradors, per estimar la velocitat d'aquests sensors s'ha de estudiar el temps que triga el CUT en arribar a l'estat quiescent tant amb sensor com sense ell. Per això s'estudiarà la resposta d'un inversor (figura 2.26) activat per un senyal d'entrada $v_{IN}(t)$ linealitzat com una rampa de temps de pujada τ_{IN} variable, amb una capacitat de càrrega C_{OUT} i amb un sensor amb díode i resistència connectat entre el sortidor del transistor NMOS i terra representat a la figura 2.26 per la resistència R_S i el díode D. La capacitat C_{VGND} de la figura 2.26 representa la capacitat del node VGND a terra.

Per l'anàlisi s'utilitzarà el model de Sakurai del transistor [43] i per tal d'obtenir resultats de primer ordre es farà només pel cas en que el transistor NMOS està treballant en saturació mentre $v_{IN}(t) < V_{DD}$, és a dir, per inversors amb C_{OUT} gran i/o amb pendents grans al senyals d'entrada. A més, es suposarà nul el corrent de curtcircuit (corrent del transistor PMOS durant el procés de descàrrega). La figura 2.27 representa un cronograma de l'evolució de $v_{IN}(t)$ i de $v_{OUT}(t)$ així com els moments de transició entre les diferents regions del procés de commutació.

El procés està en la regió I mentre $\frac{V_{TN}}{V_{DD}}\tau_{IN} \leq t < \tau_{IN}$ essent V_{TN} la tensió llindar del transistor NMOS. En aquest interval el transistor NMOS està en saturació i les equacions diferencials del circuit són:

$$I_{D0} \left(\frac{V_{DD}t - V_{TN}}{V_{DD} - V_{TN}} \right)^\alpha = I_S \left(e^{\frac{V_{sens}(t)}{V_T}} - 1 \right) + \frac{V_{sens}(t)}{R_S} + C_{VGND} \frac{dV_{sens}(t)}{dt} \quad (2.68)$$

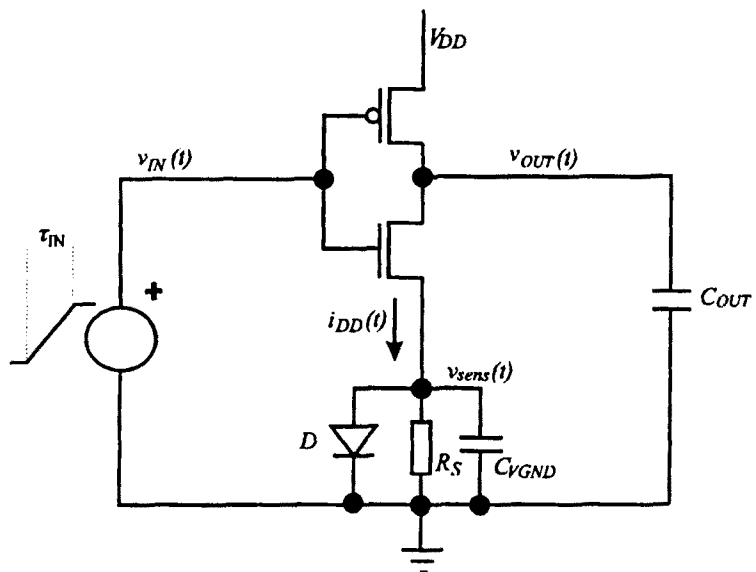


Figura 2.26: Esquema elèctric d'un inversor amb un sensor amb unió PN i resistència

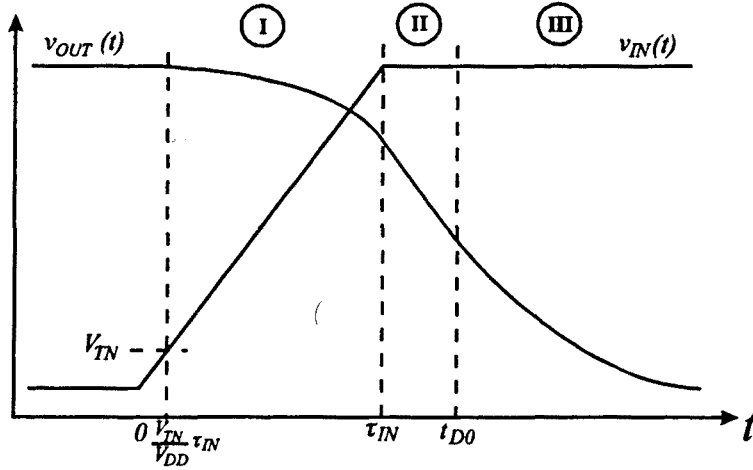


Figura 2.27: Cronograma de l'evolució de la tensió d'entrada i sortida d'un inversor mostrant les 3 regions del procés de commutació

$$I_{D0} \left(\frac{V_{DD}t - V_{TN}}{V_{DD} - V_{TN}} \right)^\alpha = -C_{OUT} \frac{dv_{OUT}(t)}{dt} \quad (2.69)$$

on I_{D0} i α són paràmetres del model, I_S és el corrent invers de saturació del díode, V_T és la tensió equivalent a la temperatura absoluta i V_{TN0} és la tensió llindar del transistor NMOS. Tant I_{D0} com V_{TN} depenen de V_{sens} (veieu secció 2.2).

En l'interval $\tau_{IN} \leq t < t_{D0}$ el transistor NMOS està en saturació i el procés està a la regió II i les equacions diferencials són:

$$I_{D0} = I_S \left(e^{\frac{V_{sens}(t)}{V_T}} - 1 \right) + \frac{V_{sens}(t)}{R_S} + C_{VGND} \frac{dV_{sens}(t)}{dt} \quad (2.70)$$

$$I_{D0} = -C_{OUT} \frac{dv_{OUT}(t)}{dt} \quad (2.71)$$

Finalment, a la regió III, on $t \geq t_{D0}$, el transistor NMOS està en zona òhmica i les equacions diferencials són:

$$\frac{I_{D0}}{V_{D0}}v_{OUT}(t) = I_S \left(e^{\frac{V_{sens}(t)}{V_T}} - 1 \right) + \frac{V_{sens}(t)}{R_S} + C_{VGND} \frac{dV_{sens}(t)}{dt} \quad (2.72)$$

$$\frac{I_{D0}}{V_{D0}}v_{OUT}(t) = -C_{OUT} \frac{dv_{OUT}(t)}{dt} \quad (2.73)$$

El conjunt d'equacions (2.68) a (2.73) no es poden resoldre explícitament i, per tant, no es pot trobar directament el temps fins el quiescent. S'utilitzarà un mètode indirecte que simplifica el problema. Primer es trobarà el temps fins el quiescent de l'inversor *sense* sensor (t_{IDDQ0}). La expressió trobada de t_{IDDQ0} estarà en funció de I_{D0} i de la tensió llindar del transistor NMOS quan l'inversor no té el sensor connectat (V_{TN0}). A continuació es modificaran les expressions de I_{D0} i de V_{TN0} com resultat de modelar el sensor com una font de tensió constant. El procediment és semblant a l'utilitzat a la secció 2.2. En l'apartat corresponent es justificarà les simplificacions fetes.

Temps fins el quiescent sense sensor

Sense sensor, les equacions diferencials a resoldre són les (2.69), (2.71) i (2.73) per les regions I, II i III, respectivament. Les solucions pel corrent en les tres regions són:

Regió I: ($\frac{V_{TN0}}{V_{DD}}\tau_{IN} \leq t < \tau_{IN}$)

$$i_{DD}(t) = I_{D0} \left(\frac{\frac{V_{DD}t - V_{TN0}}{\tau_{IN}}}{V_{DD} - V_{TN0}} \right)^\alpha \quad (2.74)$$

Regió II: ($\tau_{IN} \leq t < t_{D0}$)

$$i_{DD}(t) = I_{D0} \quad (2.75)$$

Regió III: ($t \geq t_{D0}$)

$$i_{DD}(t) = I_{D0} e^{-\frac{t-t_{D0}}{R_3 C_{OUT}}} \quad (2.76)$$

on t_{D0} i R_3 valen:

$$t_{D0} = \tau_{IN} + \frac{(V_{DD} - V_{D0})C_{OUT}}{I_{D0}} - \frac{\tau_{IN}(V_{DD} - V_{TN0})}{(1 + \alpha)V_{DD}} \quad (2.77)$$

$$R_3 = \frac{V_{D0}}{I_{D0}} \quad (2.78)$$

A la figura 2.28 es presenta un diagrama de l'evolució del corrent $i_{DD}(t)$. De les solucions a les equacions diferencials i de la figura es pot veure que el temps fins el quiescent t_{IDDQ0} val:

$$t_{IDDQ0} = \tau_{IN} + \frac{(V_{DD} - V_{D0})C_{OUT}}{I_{D0}} - \frac{\tau_{IN}(V_{DD} - V_{TN0})}{(1 + \alpha)V_{DD}} + \frac{V_{D0}}{I_{D0}} C_{OUT} \ln \frac{I_{D0}}{I_{DDQ}} \quad (2.79)$$

Agrupant els termes de (2.79) es pot descomposar el temps fins el quiescent en una part que depèn de C_{OUT} i una part que depèn de τ_{IN} :

$$t_{IDDQ0} = \frac{C_{OUT}}{I_{D0}} \left[V_{DD} + V_{D0} \left(\ln \frac{I_{D0}}{I_{DDQ}} - 1 \right) \right] + \tau_{IN} \left(1 - \frac{1 - n_0}{1 + \alpha} \right) \quad (2.80)$$

on $n_0 = \frac{V_{TN0}}{V_{DD}}$.

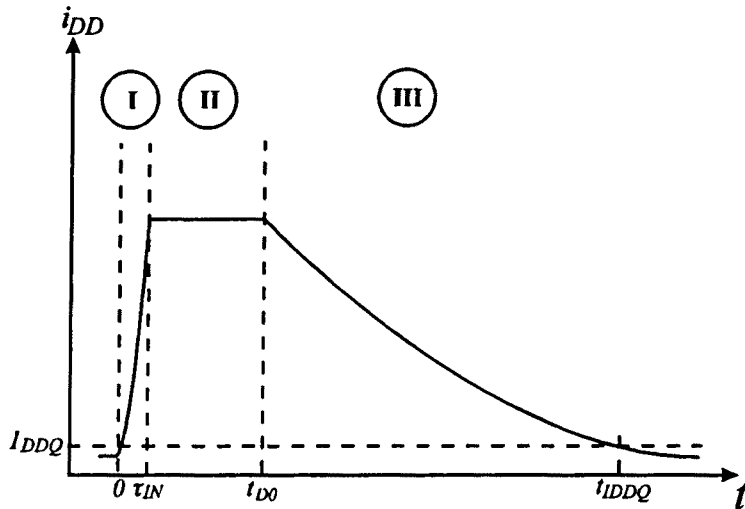


Figura 2.28: Cronograma de l'evolució de $i_{DD}(t)$

Amb aquesta expressió es troba el temps fins el quiescent de l'inversor *sense* sensor. En el següent apartat es trobarà el temps fins el quiescent de l'inversor *amb* un sensor amb resistència i unió PN.

Temps fins el quiescent amb sensor

En presència del sensor la commutació es desenvolupa en la regió I i II amb una tensió al sortidor del transistor NMOS igual a la caiguda de tensió en el sensor. Assumirem que el corrent a través del transistor és més gran que el corrent crític I_C estudiat a la secció 2.2 i, per tant, que és capaç de fer conduir el díode. En aquestes condicions, en les regions I i II la caiguda de tensió del sensor es considera constant e igual a V_C : la caiguda de tensió del díode que condueix tot el corrent del transistor. En la regió III, la condició de caiguda de tensió constant també serà vàlida mentre el corrent a través del transistor sigui superior a I_C . Quan aquesta condició no es compleixi, amb el transistor a la zona òhmica, la commutació passa a ser una descàrrega RC amb una constant de temps que caldrà calcular.

Així, amb la condició de caiguda de tensió constant al sensor, l'expressió (2.80) s'ha de modificar per tenir en compte l'efecte de la presència del sensor. Tal com s'analitzat a la secció 2.2 d'aquest capítol, el sensor desenvolupa una caiguda de tensió (V_{sens}) que s'aplica al terminal de sortidor del transistor NMOS. Com conseqüència, el voltatge V_{GS} aplicat entre porta i sortidor del transistor és menor que el voltatge v_{IN} . Això fa que el corrent a través del transistor sigui menor. D'altra banda, la tensió llindar V_{TN0} del transistor també resulta incrementada en una quantitat proporcional a V_{sens} . Aquest dos fenòmens fan que els paràmetres del transistor I_{D0} , V_{D0} i V_{TN0} (o n_0) resultin modificats de la següent manera (veieu secció 2.2):

$$n = n_0 + K v_C \quad (2.81)$$

$$I_{D0}^* = I_{D0} \left(1 - \frac{\alpha(1+K)v_C}{1-n_0} \right) \quad (2.82)$$

$$V_{D0}^* = V_{D0} \left(\frac{1-n_0-(1+K)v_C}{1-n_0} \right)^{\frac{\alpha}{2}} \quad (2.83)$$

on $v_C = \frac{V_C}{V_{DD}}$ i K és una constant que mesura l'increment de la tensió llindar del transistor (secció 2.2).

Així, l'expressió (2.80) queda modificada de la següent manera:

$$t_{IC} = \frac{C_{OUT}}{I_{D0}^*} \left[V_{DD} + V_{D0}^* \left(\ln \frac{I_{D0}^*}{I_C} - 1 \right) \right] + \tau_{IN} \left(1 - \frac{1 - n_0 - K v_C}{1 + \alpha} \right) \quad (2.84)$$

L'expressió (2.87) és vàlida només en l'interval $i_{DD}(t) \geq I_C$. Quan el corrent és inferior a I_C , llavors el díode deixa de conduir i la commutació passa a ser una descàrrega RC de la capacitat C_{OUT} de sortida i de la capacitat C_{VGND} . El corrent pren una forma com la de l'expressió (2.76) però amb una constant de temps diferent:

$$i_{DD}(t) = I_C e^{-\frac{t}{\tau_1}} \quad (2.85)$$

La constant de temps τ_1 es pot trobar de la següent manera: a la secció 2.2 s'ha demostrat que per caigudes de tensió petites les constants de temps de la xarxa RC de la figura 2.3 complien la següent relació: $\tau_1 \gg \tau_2$. Això ens porta a aproximar que $\tau_2 = 0$, i que, per tant l'expressió (2.85) té la forma:

$$i_{DD}(t) = I_C e^{-\frac{t}{\left(\frac{2R_3^* C_{OUT}}{\gamma - \sqrt{\gamma^2 + 4\gamma_S}} \right)}} \quad (2.86)$$

on els símbols γ i γ_S estan explicats a la secció 2.2, i $R_3^* = \frac{V_{D0}^*}{I_{D0}^*}$. En aquestes condicions el temps fins el quiescent amb el sensor connectat és:

$$t_{IDDQ} = t_{IC} + \frac{2R_3^* C_{OUT}}{\gamma - \sqrt{\gamma^2 + 4\gamma_S}} \ln \frac{I_C}{I_{DDQ}} \quad (2.87)$$

on t_{IC} està descrit per l'expressió (2.84).

Validació de les expressions

S'han efectuat simulacions HSPICE de nivell 6 d'inversors amb capacitats de càrrega i pendents d'entrada variables per a validar les expressions (2.80) i (2.87). A les figures 2.29, 2.30 i 2.31 es pot veure l'evolució del corrent $i_{DD}(t)$ de l'inversor amb i sense sensor, l'ajust de l'expressió (2.80) amb la simulació HSPICE i l'ajust de l'expressió (2.87) amb la simulació HSPICE, respectivament. El circuit simulat té els paràmetres descrits a la taula 2.5. Com es pot veure l'ajust entre les expressions i la simulació és molt bó tant per al temps fins el quiescent d'un inversor sense sensor com amb sensor.

Paràmetre	Valor	Paràmetre	Valor
C_{VGND}	0.2 pF	α	1.29
R_S	5000 Ω	V_{D0}	1.2 V
I_S del díode	10^{-14} A	I_{D0}	417 μ A
I_C	122 μ A	V_{TN0}	0.815 V
V_C	0.61 V	K	0.37
C_{OUT}	0.1 a 1 pF	V_{D0}^*	1.04 V
τ_{IN}	0.1 a 2 ns	I_{D0}^*	310 μ A

Taula 2.5: Paràmetres del circuit simulat per trobar el temps fins el quiescent. Tecnologia ES2 de 0.7 μ m

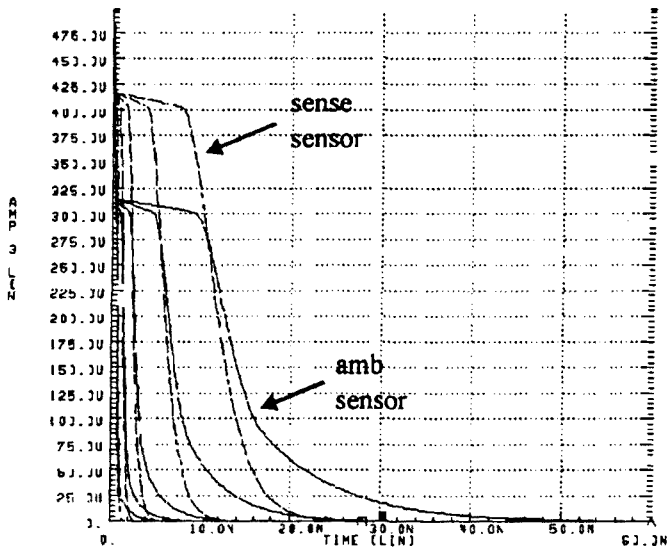


Figura 2.29: Evolució de $i_{DD}(t)$ d'un inversor amb i sense sensor. Línia contínua: amb sensor, línia discontinüa: sense sensor. $C_{OUT} = 0.1, 0.2, 0.5$ i 1 pF.

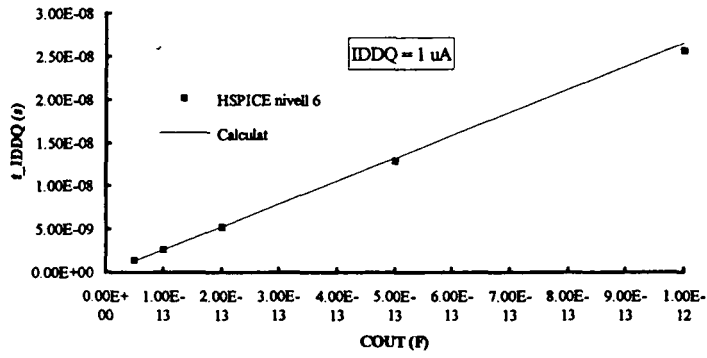


Figura 2.30: Temps fins el quiescent d'un inversor sense sensor amb unió PN.

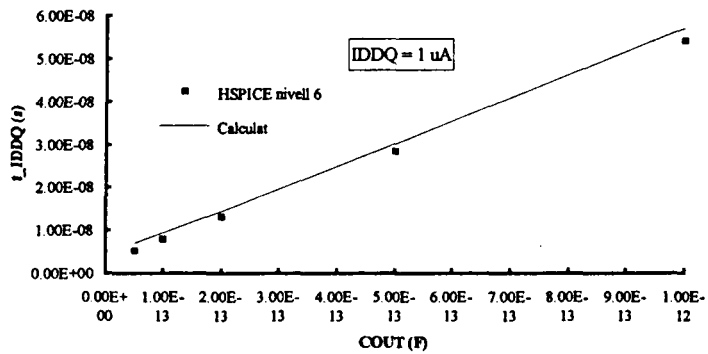


Figura 2.31: Temps fins el quiescent d'un inversor amb sensor amb unió PN

Freqüència màxima de treball dels sensors amb unions PN

De les expressions anteriors es pot extrapolar la freqüència de treball dels sensors PN com:

$$F_{\max}^{PN} = \frac{1}{t_{IDDQ_{\max}} + t_C} \quad (2.88)$$

essent $t_{IDDQ_{\max}}$ el temps màxim fins el quiescent del circuit del CUT amb sensor i t_C el temps de resposta del comparador.

La velocitat d'aquests sensors també és inversa a la seva sensibilitat. Si la sensibilitat augmenta (R_S augmenta) la constant de temps τ_1 de l'expressió (2.85) tendeix a $\tau_1 \rightarrow R_S(C_{OUT} + C_{V_{GND}})$ i, per tant, el temps fins al quiescent creix amb R_S . Sensors com el sensor de Maly, on R_S té un valor molt alt [53], tenen una velocitat molt petita.

Cas del sensor diferencial El sensor diferencial és un cas particular de BICS amb unions PN que és presentat pels autors com un sensor molt ràpid [4]. Disposa de dos sensors amb un circuit equivalent com el de la figura 2.26 cada un d'ells connectat a la mitat del CUT. Teòricament la freqüència de treball del sensor seria molt alta, ja que el comparador està comparant l'evolució del senyal $v_{sens}(t)$ de les dues mitats del sensor. No obstant, perquè això sigui així, s'han de complir els següents requisits:

- Les R_S i els díodes de les dues mitats del sensor han de ser idèntiques.
- Les capacitats C de les dues mitats del CUT han de ser idèntiques.
- Els pics de corrent \hat{I}_{DD} han de ser idèntics en les dues mitats del CUT

Qualsevol diferència entre dos elements equivalents reduiria la freqüència màxima de treball i, el que es pitjor, pot donar errors en la detecció de corrents I_{DDQ} anormals.

2.8 AUTOTESTABILITAT DELS SENSORS

La autotestabilitat dels sensor significa que el sensor tingui la propietat de que es verifiqui a si mateix. Com els sensors són circuits analògics amb entrades i sortides analògiques i digitals, és difícil representar les fallades del circuit sensor utilitzant models de fallades tals com *stuck-at*, *stuck-on* o altres. En comptes d'això, els autors (molt pocs) que han estudiat aquest

tòpic proposen una solució basada en fer entrar al sensor en un mode de treball especial que permet el seu test.

Així, Miura a [56] fa entrar el sensor en mode TEST, aturant l'activitat del CUT i activant un generador que emula un corrent quiescent anormal durant un temps determinat. Si el sensor és correcte indicarà a la seva sortida la presència d'un corrent anormal. Lo a [19] i Nicolaidis a [29] proposen un solució anàloga dins d'un esquema més elaborat de test concurrent I_{DDQ} -lògic, i Tang a [20] proposa afegir un *pin* extra per validar si l'amplificador operacional que és el cor del seu sensor (veieu capítol 1) funciona correctament. La resta d'autors no tracten aquest tòpic en els articles i informes en que presenten el seus sensors. No obstant, la implementació de les solucions esmentades anteriorment per a donar una certa capacitat de autotest al seus sensors no sembla que presenti cap dificultat especial.

2.9 ROBUSTESA DELS SENSORS

La robustesa dels sensors significa que, per disseny, el sensor segueix funcionant correctament en cas que algun dels paràmetres del CUT o del sensor peteixin una perturbació. Alguns sensors apareixen com més exposats a tenir algun malfuncionament degut a perturbacions:

- El sensor de Maly [53]. Donada la dependència exponencial entre V_{sens} i I_{DDQ} , qualsevol variació del corrent quiescent normal del CUT resulta enormement amplificada. Per exemple, si per efecte de qualsevol variació dels dopatges o per un canvi en les entrades del CUT [1], el corrent quiescent d'un circuit correcte passa de 1 nA a 100 nA, el voltatge V_{sens} augmentaria en 120 mV, el que faria molt difícil establir un llindar únic per a la detecció de defectes que generin corrents quiescents anormals.
- El sensor diferencial [4], com s'ha comentat ja en la secció dedicada a la velocitat dels sensors, és molt sensible a les desigualtats en la partició del CUT en dos parts iguals, i en la construcció de dos sensors amb unió PN i resistència amb paràmetres exactament iguals. Per disseny doncs, aquest sensor no presenta unes bones característiques de robustesa davant de variacions en els paràmetres del CUT i del sensor.
- Els sensors integradors (veieu capítol 1), contenen un interruptor connectat entre el CUT i una línia d'alimentació. Quan el CUT està en

estat quiescent, l'interruptor s'obre i el corrent quiescent carrega una capacitat. Al obrir l'interruptor el node VGND (o VVDD en els sensors connectats a VDD) resta en alta impedància i això el fa sensible al soroll present en el circuit que pot induir en aquest node tensions que perturbarien el funcionament del sensor. Això fa que en el disseny dels sensors integradors la protecció davant del soroll prengui una importància destacada. Al capítol 5 d'aquesta tesi es tractarà aquest problema extensament.

2.10 FACILITAT D'INTEGRACIÓ DELS SENSORS BICS

La facilitat d'integració dels sensors avalua el cost de la incorporació d'un sensor a un circuit en termes de modificació del procés de fabricació, de l'increment en el nombre de *pins* o en el nombre de tensions d'alimentació o de canvis en l'estil de disseny. Donat el gran nombre de casos possibles, en aquest tòpic s'ha optat per enumerar els temes relacionats i mostrar en una taula les característiques de cada sensor.

Canvis en el procés de fabricació

Els sensors BICS publicats no requereixen canvis en el procés de fabricació estàndard CMOS. Els transistors bipolars utilitzats a [53] i [22] són dispositius compatibles amb un procés estàndard CMOS (capítol 3).

Nombre de *pins* extres

Tots els sensors BICS publicats requereixen *pins* extres.

Nombre de tensions d'alimentació addicionals

Només els sensors BICS basats en amplificadors operacionals i transportadors de corrent necessiten tensions d'alimentació addicionals per alimentar els circuits del sensor.

Canvis en l'estil de disseny

Els BICS que estan connectats al terminal d'alimentació connectat al substrat del circuit integrat requereixen modificar les connexions dels transistors

Sensor	Pins extres	Alim. extres	Pou/substrat
Maly [53]	2	no	Pou
Rius [22]	2	no	Substrat
Rubio [2]	2	no	Pou
Shen [45]	2	no	Pou
Manhaeve [48]	4	si	-
Angulo [16]	3	no	-
Tang [21]	3	si	-
Miura [56]	2	no	-
Singh [4]	5	no	-
Brown [8]	2	si	-
Kesel [11]	3	no	-

Taula 2.6: Característiques dels BICS més representatius des del punt de vista de la facilitat d'integració.

al substrat i, per tant, en un estil de disseny de cel·les estàndard, requereix modificar les cel·les. En canvi, els BICS connectats al terminal d'alimentació connectat als pous del circuit integrat, no requereixen la modificació de les cel·les estàndard. Són, des d'aquest punt de vista, més fàcilment integrables que els anteriors. Per disseny *full-custom* no hi ha diferències entre els sensors.

La taula 2.6 resumeix les característiques d'integració dels BICS més representatius.

2.11 CONCLUSIONS

En aquest capítol s'han estudiat els paràmetres per avaluar la qualitat dels sensors per al test de corrent. S'han estudiat els paràmetres producte de la interacció entre el sensor i el CUT i els paràmetres propis del CUT. A continuació es resumeixen les conclusions resultat de l'anàlisi dels paràmetres més importants.

- **Degradació del retard del CUT.** L'anàlisi ha mostrat que la degradació del retard depèn de la caiguda de tensió del sensor. L'anàlisi s'ha fet amb un sensor connectat entre el circuit i GND i s'han estudiat dos casos:

- CUT amb interruptor o dispositiu de *bypass*. En aquest cas s'ha trobat que, per a un inversor, caigudes de tensió en el sensor de només un 1 % de la tensió d'alimentació poden generar degradacions del 2 % al 4 % en el temps de retard de les transicions 1→0 a la sortida de l'inversor (tecnologia ES2 de 0.7 μm i 1 μm). Es pot disminuir aquesta degradació fent que la resistència del dispositiu de *bypass* sigui més petita, per tal de disminuir la caiguda de tensió. Això implica que hi ha d'un *trade-off* entre l'àrea de Silici disponible pel transistor de *bypass* i la degradació del retard del CUT.
- CUT amb sensor amb resistència i díode. En aquest cas s'han trobat valors molt més alts de la degradació ja que la caiguda de tensió del sensor pot estar entre el 12 % i el 16% de la tensió d'alimentació (per $V_{DD} = 5$ volt). Les degradacions del temps de retard en les transicions 1→0 d'un inversor han estat entre el 30 % i el 60 %. L'anàlisi ha mostrat també que augmentant la grandària del díode es pot disminuir la degradació.

S'han utilitzat dos enfocis en l'anàlisi: en el primer s'ha modelat el sensor com una font de tensió constant i s'han utilitzat models acurats del retard d'un inversor (model ΔV). En el segon s'ha modelat acuradament el sensor i s'ha utilitzat un model RC pel retard d'un inversor (model RC). El model ΔV dona resultats quantitius molt propers als resultats obtinguts per simulació i pot ser utilitzat en el futur per a estudiar la degradació del retard de circuits complexos. El model ΔV és adequat per circuits que treballin a freqüència nominal ja que, en aquestes condicions, la caiguda de tensió del sensor és quasi constant. El model RC ha mostrat les dependències qualitatives entre els paràmetres del sensor i de l'inversor i la degradació del retard. Els resultats obtinguts en ambdós models són convergents.

- **Àrea de Silici.** De les dades subministrades pels dissenyadors de sensors s'observa que l'increment d'àrea de Silici degut a la presència de BICS és des d'un 0.17 % de l'àrea total (sensor amb díode i resistència), un 0.9 % (sensor integrador), a 2.7 % (sensor amb resistència i A.O.). Tanmateix, les dades no permeten decidir clarament quin sensor és més avantatjós ja que els BICS s'han implementat només que sobre circuits experimentals i aquesta tècnica no ha passat encara de l'estadi de recerca.

- **Discriminabilitat/sensibilitat dels sensors.** Els sensors han de discriminar els circuits que presenten corrents quiescents normals dels circuits amb corrents quiescents anormals. Els sensors disposen de dues parts per aquest fi: el *comparador* i el *transductor*. El comparador compara la magnitud subministrada pel transductor amb un llindar i obté un senyal PASSA/FALLA a la sortida. El transductor transforma el corrent quiescent en la variable adequada pel comparador. Des del punt de vista de la discriminabilitat els sensors amb transductors lineals (veieu capítol 1) són millors que els no lineals. En els sensors lineals es pot definir un altre paràmetre: la sensibilitat. La sensibilitat d'un sensor lineal és la relació entre el valor de la variable de sortida del transductor i el corrent I_{DDQ} . Els sensors lineals més sensibles són els integradors on el que es mesura és la caiguda de tensió al node d'alimentació després d'un interval de temps donat. La sensibilitat dels sensors presenta un *trade-off* amb la seva velocitat.
- **Velocitat del sensors.** El nombre de vectors per segon en que es pot fer el test d'un CUT amb un sensor de corrent depèn del temps que el CUT triga en arribar a l'estat quiescent (t_{CUT}) i del temps de resposta del sensor (t_S) i, per tant, la seva velocitat. En els sensors integradors és possible separar t_{CUT} de t_S . El temps de resposta del sensor és funció de: el temps de commutació de l'interruptor, el valor de la capacitat d'integració i la sensibilitat del sensor. Com més gran és qualsevol d'aquests tres paràmetres, més gran és el temps de resposta del sensor. En el cas dels sensors amb díode i resistència no és possible separar t_{CUT} de t_S i s'ha de fer una anàlisi conjunta. El resultat de l'anàlisi és una expressió pel càlcul del temps que requereix un inversor *amb i sense* sensors per arribar a l'estat quiescent on es veu la dependència d'aquest temps amb els paràmetres del circuit i la sensibilitat del sensor. Aquesta expressió permet estimar la velocitat d'aquest tipus de sensors i dona resultats molt propers als obtinguts per simulació. L'anàlisi pot ser utilitzat en el futur per circuits més complexos.

Cada paràmetre té una importància que depèn del sistema que tingui incorporat el sensor i dels objectius de l'utilitzador. Per exemple, en un sistema alimentat per una bateria, el paràmetre del canvi del consum del CUT quan el circuit incorpori un BICS tindrà més importància que quan el mateix circuit s'integra en un sistema amb accés a la xarxa elèctrica. El

mateix es podria dir respecte qualsevol dels altres paràmetres analitzats en aquest capítol.

Així, per avaluar un sensor s'ha d'especificar les següents variables:

1. El valor del corrent quiescent mínim sobrepassat el qual es rebutgarà el circuit.
2. El valor del corrent quiescent normal màxim.
3. La velocitat mínima en vectors/s del test del circuit *amb* el sensor.
4. L'*overhead* màxim tolerat en l'àrea de Silici ocupada pels BICS.
5. La degradació del retard màxima tolerada per la presència del sensor.
6. El consum màxim del circuit amb el sensor.
7. Les característiques d'autotestabilitat i robustesa desitjades.
8. El nombre màxim de *pins* i fonts d'alimentació addicionals que es permeten.
9. L'estil de disseny del circuit.

En funció d'aquestes especificacions el dissenyador del circuit ha de prendre les següents decisions:

1. Seleccionar el tipus de sensor.
2. Dimensionar el sensor o sensors per a obtenir la discriminabilitat/sensibilitat requerida respectant la especificació de velocitat del sensor i la degradació del retard.
3. Incloure o no un dispositiu de *bypass* del sensor.
4. Determinar el nombre de particions del CUT (si el sensor és un BICS)

Finalment, per a prendre la decisió correcte s'han d'avaluar els següents *trade-offs*:

- Discriminabilitat/sensibilitat del sensor *vs.* velocitat.
- Àrea del sensor *vs.* degradació del retard.

Bibliografia

- [1] A. Ferré, J. Figueras. On Estimating Bounds on the Quiescent Current for IDDQ Testing. A *Proceedings of 14th VLSI Test Symposium*, pàgines 106–111, Abril 1996.
- [2] A. Rubio, E. Janssens, H. Casier, J. Figueras, D. Mateo, P. De Pauw, J. Segura. A Built-in Quiescent Current Monitor for CMOS VLSI Circuits. A *Proceedings of ED&TC95*, pàgines 581–585, Març 1995.
- [3] A. Rubio, J. Figueras, J. Segura. Quiescent Current Sensor Circuits in Digital VLSI CMOS Testing. *Electronic Letters*, pàgines 1204–1206, Juliol 1990.
- [4] Adit D. Singh, Jason P. Hurst. Incorporating IDDQ Testing in BIST: Improved Coverage through Test Diversity. A *Proceedings of 12th VLSI Test Symposium*, pàgines 374–379, Abril 1994.
- [5] Alan W. Righter, Jerry M. Soden, Richard W. Beegle. High Resolution IDDQ Characterization and Testing - Practical Issues. A *Proceedings of ITC'96*, pàgines 259–268, Octubre 1996.
- [6] Ananta P. Chandrasakan, Samuel Sheng, Robert W. Brodersen. Low Power CMOS Digital Design. *IEEE Journal of Solid-State Circuits*, pàgines 473–483, Abril 1992.
- [7] B. Straka, H. Manhaeve, J. Vanneuville. Programmable off-chip IDDQ Monitor. A *Proceedings of ETW96*, pàgines 99–102, Juny 1996.
- [8] B.D. Brown, R.D. McLeod. Built-in Current Mode Circuits for IDDQ Monitoring. A *Proceedings of 1993 IEEE Custom Integrated Circuits Conference*, pàgines 30.6.1–30.6.4, 1993.

- [9] Ching-Wen Hsue, Chih-Jen Lin. Built-in Current Sensor for IDDQ Test in CMOS. A *Proceedings of ITC93*, pàgines 635–641, 1993.
- [10] E. Lupon, G. Gorriz, C. Martinez, J. Figueras. Compact BIC Sensor for IDDQ Testing of CMOS Circuits. *Electronic Letters*, Vol. 29, No. 9, pàgines 772–774, Abril 1993.
- [11] Frank Kesel. Design of Self-Testable circuits for Logic and Parametric self-test. A *Proceedings of ARCHIMEDES Workshop.*, pàgines 38–42, Juliol 1993.
- [12] Hans A.R. Manhaeve, Paul L. Wrighton, Jos van Sas, Urbain Swerts. An off-chip IDDQ Current Measurement Unit For Telecommunication ASICs. A *Proceedings of ITC94*, pàgines 203–212, Octubre 1994.
- [13] H.J. Wunderlich, M. Herzog, J. Figueras, J.A. Carrasco, A. Calderon. Synthesis of IDDQ-Testable Circuits: Integrating Built-In Current Sensors. A *Proceedings of ED&TC95*, pàgines 573–580, Març 1995.
- [14] IEEE. *The New Standard Dictionary of Electrical and Electronic Terms*. IEEE Press, New York, fifth edition, Gener 1993.
- [15] J. M. Daga, S. Turgis, D. Auvergne. Design Oriented Standard Cell Delay Modelling. A *Proceedings of PATMOS'96*, pàgines 265–274, Septembre 1996.
- [16] J. Ramirez-Angulo, G. Gonzalez-Altamirano. High Speed IDDQ Current Sensors for VLSI System Testing. A *Proceedings of ISCAS96, Vol I*, pàgines 389–392, Maig 1996.
- [17] J. Rius, A. Brosa. Estimating the CIrcuit Delay Degradation due to Bypassed Built-in Current Sensors. A *Proceedings of DCIS'96*, pàgines 547–551, Novembre 1996.
- [18] Jerry M. Soden, Charles F. Hawkins, Ravi K. Gulati, Weiwei Mao. IDDQ Testing: A Review. *Journal of Electronic Testing*, Vol 3, No 4, pàgines 291–303, Desembre 1992.
- [19] Jien-Chung Lo, James C. Daly, Michael Nicolaidis. A Strongly Code Disjoint Built-In Current Sensor for Strongly Fault-Secure Static CMOS Realizations. *IEEE Transactions on CAD VOL 14, No 11*, pàgines 1402–1407, Novembre 1995.

- [20] Jing-Jou Tang, Kuen-Jong Lee, Bin-Da Liu. A Practical Current Sensing Technique for IDDQ Testing. *IEEE Transactions on VLSI Systems* Vol. 3, No. 2, pàgines 302–310, Juny 1995.
- [21] Jing-Jou Tang, Kueng-Jong Lee, Bin-Da Liu. Built-in Intermediate Voltage Testing for CMOS Circuits. A *Proceedings of ED&TC95*, pàgines 372–376, Març 1995.
- [22] Josep Rius, Joan Figueras. Proportional BIC Sensor for Current Testing. *Journal of Electronic Testing: Theory and Applications*, pàgines 387–396, Decembre 1992.
- [23] Josep Rius, Joan Figueras. Dynamic Characterization of Built-in Current Sensors based on PN Junctions: Analysis and Experiments. *Journal of Electronic Testing, Vol 9, No. 3*, pàgines 295–310, Decembre 1996.
- [24] Junichi Hirase, Masanori Hamada. The Effect of CMOS VLSI IDDQ Measurement on Defect Level. *IEICE Transactions on Inf. and Systems, Vol E78-D, No 7*, pàgines 839–844, Juliol 1995.
- [25] K. Baker, A. Bratt, A. Richardson, A. Welbers. Development of a Class 1 QTAG Monitor. A *Proceedings of ITC94*, pàgines 213–222, Octubre 1994.
- [26] Keith Baker. QTAG: A Standard for Test Fixture based IDDQ/ISSQ Monitors. A *Proceedings of ITC94*, pàgines 194–202, Octubre 1994.
- [27] Keith Baker, Alan Hales. Plug and Play IDDQ Testing for Test Fixtures. *IEEE Design and Test of Computers*, pàgines 53–61, Tardor 1995.
- [28] Kenneth M. Wallquist, Alan W. Righter, Charles F. Hawkins. A General Purpose IDDQ Measurement Circuit. A *Proceedings of ITC93*, pàgines 642–651, 1993.
- [29] M. Nicolaidis. Finitely Self-Checking Circuits and their Application on Current Sensors. A *Proceedings of 11th VLSI Test Symposium*, pàgines 66–69, Abril 1993.
- [30] M. Rullan, C. Ferrer, J. Oliver, D. Mateo, A. Rubio. Analysis of IDDQ Testing Implementation and Circuit Partitioning for a CMOS Cell-

- Based Design. *Journal of Microelectronics Systems Integration*, Vol. 3, No. 3, pàgines 173–187, 1995.
- [31] Marcello Dalpasso, Michele Favalli, Piero Olivo. Correlation between IDDQ Testing Quality and Sensor Accuracy. *A Proceedings of ED&TC95*, pàgines 568–572, Març 1995.
- [32] Masakazu Shoji. *CMOS Digital Circuit Technology*. Prentice Hall, New Jersey, 1988.
- [33] M.B. Santos, J.P. Teixeira. Self-Adaptive BIC Sensor for IDDQ Detection in Static CMOS Digital ICs. *A Proceedings of PATMOS'94*, pàgines 218–225, Octubre 1994.
- [34] Mike Keating, Dennis Meyer. A new Approach to Dynamic IDD Testing. *A Proceedings of ITC87*, pàgines 316–321, 1987.
- [35] Ned Mohan, Tore M. Undeland, William P. Robbins. *Power Electronics: converters, applications and design*. John Wiley and Sons, New York, first edition, 1989.
- [36] Neil H.E. Weste, Kamram Eshraghian. *Principles of CMOS VLSI Design. A Systems perspective*. Addison-Wesley, Reading, Massachusetts, second edition, 1993.
- [37] Rafic Z. Makki, Shyang-Tai Su, Troy Nagle. Transient Power Supply Current Testing of Digital of Digital CMOS Circuits. *A Proceedings of ITC95*, pàgines 892–901, Novembre 1995.
- [38] R.X. Gu, M.I. Elmasry. Power Dissipation Analysis and Optimization of Deep Submicron CMOS Digital Circuits. *IEEE Journal of Solid-State Circuits*, Vol 31, No. 5, pàgines 707–713, Maig 1996.
- [39] S. Mutoh, T. Douseki, Y. Matsuya, T. Aoki, S. Shigematsu, J. Yamada. 1-V Power Supply High Speed Digital Circuit Technology with Multi-threshold Voltage CMOS. *IEEE Journal of Solid-State Circuits*, Vol. 30. No. 8, pàgines 847–854, Agost 1995.
- [40] Sankaran M. Menon, Y.K. Malaiya, Anura P. Jayasumana, Carol Q. Tong. Limitations of Built-in Current Sensors (BICS) for IDDQ Testing. *A Proceedings of Second Asian Test Symposium*, pàgines 243–248, Novembre 1993.

- [41] Sankaran M. Menon, Y.K. Malaiya, Anura P. Jayasumana, Carol Q. Tong. The Effect of Built.in Current Sensors (BICS) on Operational and Test Performance. A *Proceedings of VLSI Design*, pàgines 187–190, Gener 1994.
- [42] T. W. Williams, R. Kapur, M.R. Mercer, R.H. Dennard. IDDQ Testing for High Performance CMOS - the next ten years. A *Proceedings of EDTC96*, pàgines 578–583, Març 1996.
- [43] Takayasu Sakurai, A. Richard Newton. Alpha-Power Law MOSFET Model and its Applications to CMOS Inverter Delay and Other Formulas. *IEEE Journal of Solid-State Circuits*, pàgines 584–593, Abril 1990.
- [44] Thomas Lindenkreuz, Matthias Ringe. On-chip IDDQ-Test as a BIST-Technique in a Standard Cell Based Design - A review of specific design problems. A *Proceedings of PATMOS'96*, pàgines 3–6, Septembre 1996.
- [45] Tung-Li Shen, James C. Daly, Jien-Chung Lo. A 2-ns Detecting Time, 2-um CMOS Built-in Current Sensing Circuit. *IEEE Journal of Solid State Circuits*, pàgines 72–77, Gener 1993.
- [46] T.W. Williams, R. Kapur, M.R. Mercer, R.H. Dennard, W. Maly. IDDQ-Test: Sensitivity Analysis of Scaling. A *Proceedings of ITC96*, Octubre 1996.
- [47] T.W. Williams, R.H. Dennard, R. Kapur, M.R. Mercer, W. Maly. IDDQ Test: Sensitivity Analysis of Scaling. A *Proceedings of ITC'96*, pàgines 786–792, Octubre 1996.
- [48] V. Stopjaková, H. Manhaeve, B. Weber. Design of a BIC Monitor for IDDQ testing of CMOS VLSI Circuits. A *Proceedings of ETW96*, pàgines 76–80, Juny 1996.
- [49] Victor Suñé. *Disseny, emprant tecnologia CMOS digital, d'un comparador ràpid de baix offset per a test IDDQ*. PFC, UPC, Barcelona, Maig 1995.
- [50] Vincent R. von Kaenel, Martthijs D. Pardoën, Evert Dijkstra, Eric A. Vittoz. Automatic Adjustment of Threshold and Supply Voltage for Minimum Power Consumption in CMOS Digital Circuits. A *Proceedings of IEEE Symposium on Low Power Electronics*, pàgines 78–79, Octubre 1994.

- [51] W. Maly, M. Patyra. Design of ICs Applying Built-in Current Testing. *Journal of Electronic Testing*, pàgines 111–120, Juliol 1992.
- [52] W. Maly, Marek Patyra. Built-in Current Testing. *IEEE Journal of Solid-State Circuits*, pàgines 425–428, Març 1992.
- [53] W. Maly, Phil Nigh. Built-in Current Testing. Feasibility Study. Technical Report CMUCAD-88-27, Carnegie Mellon University, Juny 1988.
- [54] Yannis P. Tsividis. *Operation and Modeling of the MOS Transistor*. McGraw Hill, New York, 1988.
- [55] Y.K. Malaiya, Anura P. Jayasumana, Carol Q. Tong, Sankaran M. Menon. Resolution Enhancement on IDDQ Testing for Large ICs. *VLSI Design*, pàgines 277–284, Gener 1994.
- [56] Yukiya Miura, Kozo Kinoshita. Circuit Design for Built-in Current Testing. A *Proceedings of ITC92*, pàgines 873–881, Septembre 1992.
- [57] Yukiya Miura, Sachio Naito. A Method of Current Testing for CMOS Digital and Mixed-Signal LSIs. *IEICE Transactions on Information and Systems*, VOL. E78-D, No.7, pàgines 845–852, Juliol 1995.

Capítol 3

El sensor integrat proporcional (PBICS)

3.1 INTRODUCCIÓ

En el capítol anterior s'ha analitzat les característiques dels sensors per al test I_{DDQ} i el seu impacte sobre les prestacions del CUT. En aquest capítol es descriu una proposta original de sensor BICS que conté unions PN en la seva estructura: el sensor BICS proporcional (**PBICS: Proportional BICS**)[3] [4]. L'objectiu de la proposta és obtenir un sensor integrat que reuneixi les següents prestacions:

- detectar corrents quiescents anormals en un marge de valors ampli
- simplicitat i dimensió reduïda per tal de minimitzar l'àrea de Silici necessari per construir-lo
- rapidesa
- emmagatzemar l'estat de fallada del CUT en el test de corrent quiescent
- tenir un consum quiescent reduït
- minimitzar la perturbació introduïda al CUT pel sensor
- robustesa
- fàcil integració en la tecnologia CMOS

El PBICS és una variant dels BICS amb resistència i unió PN descrits al capítol 1 en el que la funció del díode connectat entre el node VGND i terra es realitzada per un transistor bipolar lateral. La introducció del transistor separa el node VGND del node VSENS i això permet obtenir una relació diferent, en relació als BICS amb díode, entre la sensibilitat del sensor i la seva velocitat.

En aquest capítol s'analitza l'estructura del PBICS i, a partir d'un model del sensor, s'obtenen les característiques estàtiques i dinàmiques. S'obté també les relacions entre la sensibilitat, la velocitat i la mida del PBICS en els termes en que s'han estudiat en el capítol 2.

3.2 ESTRUCTURA DEL PBICS

El diagrama de blocs del PBICS quan està connectat a un circuit CMOS es pot veure a la figura 3.1

El corrent I_{DDQ} que prové del circuit CMOS circula traspasant el PBICS des de VGND a terra. Un transistor BJT lateral, compatible amb un procés tecnològic CMOS (CLBJT: **C**ompatible **L**ateral **B**JT) té l'emissor connectat al node VGND, la base a GND i el col·lector a una resistència R_{sens} construïda amb un transistor NMOS operant a la regió lineal. El díode paràsit D_1 , present en qualsevol estructura de transistor BJT lateral compatible CMOS, junt amb la unió base-emissor del CLBJT, deriva una part del corrent cap a terra. El condensador C_1 representa la capacitat del node VGND i el condensador C_2 és la capacitat del node VSENS. Aquest components formen el nucli del sensor PBICS. El comparador representat a la figura 3.1 compara el voltatge V_{sens} amb una tensió de referència V_{ref} i dona a la seva sortida un valor lògic que indica si el corrent quiescent és o no superior al llindar determinat per V_{ref} .

El CLBJT deriva una fracció del corrent I_{DDQ} cap a la resistència R_{sens} on es desenvolupa un voltatge *proporcional* al corrent desviat. La tensió al node VGND no pot ser superior a unes dècimes de Volt degut a la polarització directe de la unió Base-Emissor del CLBJT i del díode D_1 . Així, per corrents I_{DDQ} petits, el voltatge V_{sens} és proporcional a I_{DDQ} mentre que per corrents superiors, el CLBJT es satura i l'increment del voltatge V_{sens} ja no és proporcional a l'increment de I_{DDQ} .

En els apartats següents es fa una descripció detallada de l'estructura del PBICS que comença amb una presentació de l'element sensor: el transistor BJT lateral, després es presenta un model del PBICS que té en compte tots

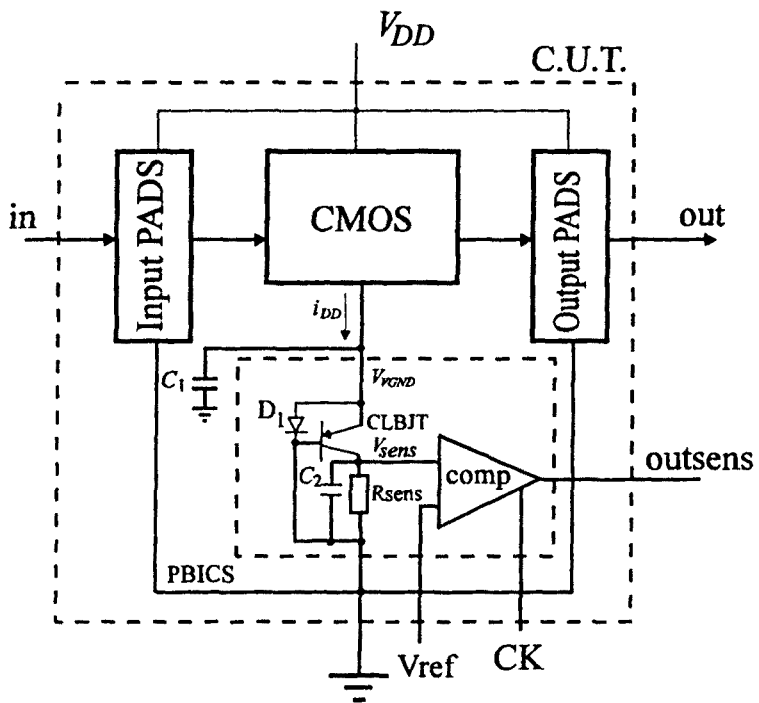


Figura 3.1: Diagrama de blocs del PBICS

Procés	Tipus	Lateral	Vertical
pou N	PNP	sí	sí
pou P	NPN	sí	sí
doble pou	NPN,PNP	sí	sí
SOI	NPN,PNP	sí	no

Taula 3.1: Transistors bipolars compatibles amb tecnologies CMOS

els elements físics que el conformen i que permetrà acomplir l'anàlisi del seu funcionament. Finalment es descriu el comparador.

3.2.1 Els CLBJT

És conegut de fa temps que és possible construir estructures de transistors bipolars utilitzant un procés de fabricació purament CMOS [2][9][1][11]-[10] i es coneixen algunes aplicacions d'aquests BJT que han estat publicades [5][14]. Els transistors bipolars compatibles amb tecnologies CMOS (**CLBJT**) poden ser de dos tipus: BJT laterals o BJT verticals, i segons el procés emprat podran ser PNP o NPN. La taula 3.1 resumeix les diferents possibilitats. Per exemple, amb tecnologia CMOS de pou N es poden construir transistors PNP. El transistor lateral té el col·lector i l'emissor format per les difusions $p+$ dins del pou, mentre que la base està formada pel propi material n del pou (figura 3.2(b)). Els transistors verticals tenen l'emissor format per la difusió tipus $p+$, la base pel material n del pou i el col·lector pel substrat tipus p .

La figura 3.2 mostra com es formen aquestes estructures en un procés de pou N o pou P.

Els transistors QL són els transistors laterals i els Qv1 i Qv2 són els verticals. Convé remarcar que aquestes estructures es diferencien de les que produeixen el fenomen del *latch-up* en que els BJT laterals es formen en el sí d'un pou i no per la interacció entre dos transistors MOS (un en el pou i l'altre en el substrat). Els transistors laterals construïts directament sobre el substrat, sense el pou, sembla que no tenen tant d'interès perquè l'electrode de la Base queda fixat al potencial del substrat [2].

Per aconseguir la màxima eficiència en el comportament del BJT lateral han de seguir-se algunes regles de disseny tals com [2][9]:

- El col·lector ha d'envoltar totalment l'emissor per tal d'aconseguir la seva màxima eficiència.

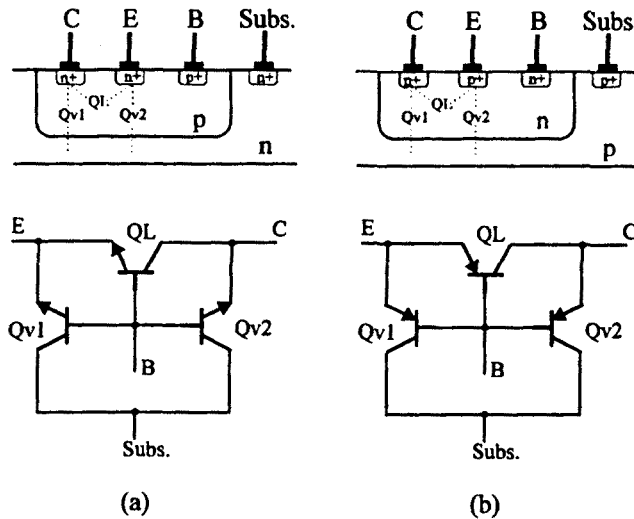


Figura 3.2: Transistors bipolars compatible amb processos CMOS. (a) pou P, (b) pou N

- Per què els transistors verticals paràsits tinguin el menor efecte possible, l'àrea transversal del seu emissor ha de ser el més petita possible i l'àrea lateral de l'emissor el més gran possible.
- La longitud de la base del BJT lateral s'ha de fer el més petita possible, i la del BJT vertical el més gran possible, compatible amb el procés de fabricació.

La figura 3.3 mostra dos *layouts* possibles [9] que il·lustren les condicions mencionades anteriorment. El *layout* (b) permet unes millors característiques del BJT lateral perquè la longitud de la base (l'amplada de la línia de polisilici) és menor que la del *layout* (a) (separació entre dues difusions p+). S'han implementat amb èxit diversos circuits amb el *layout* (b) [5][14][15]. El terminal de la porta (G) en el *layout* (b) de la figura 3.3 ha de ser polaritzat convenientment per afavorir el comportament de l'estructura. Això s'aconsegueix aplicant-li una tensió de signe oposat a la càrrega dels portadors majoritaris del pou on es construeix el CLBPT per a portar l'estructura MOS subjacent a la condició d'acumulació.

Per a la simulació del sensor PBICS cal obtenir els paràmetres SPICE

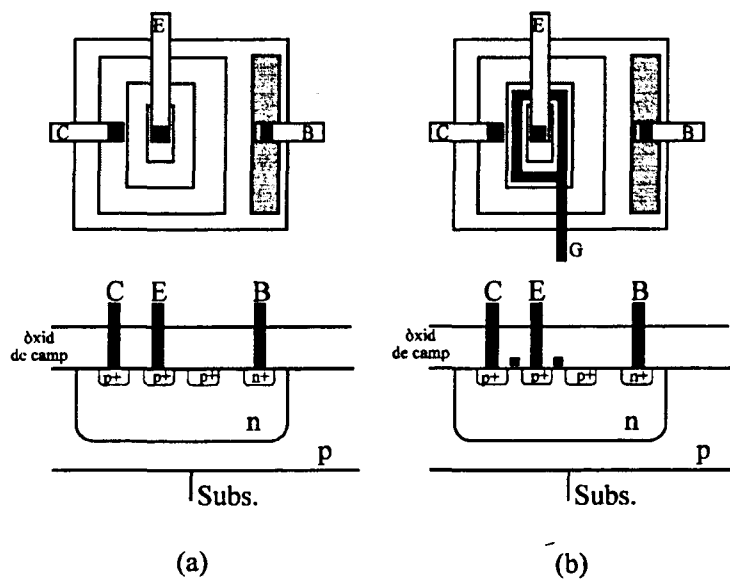


Figura 3.3: CLBJT en tecnologia de pou N. (a) la longitud de la base és la separació entre dos difussions p+, (b) la longitud de la base és l'ampçada del polisilici.

Paràmetre	QL	Qv1	Unitats
IS	1e-14	2.6e-15	A
BF	93	38.6	-
NF	1.07	1.07	-
IKF	1e-3	2.5e-3	A
NE	2.88	2.88	-
RB	850	200	Ω
RE	38	13.3	Ω
RC	128	65	Ω

Taula 3.2: Paràmetres estàtics dels CLBGT (tecnologia ES2 ECDM20 2 μm)

dels transistors CLBGT. Això pot ser difícil si els fabricants de circuits CMOS no subministren els models SPICE dels CLBGT i/o les eines de disseny no extreuen les estructures bipolars a partir del *layout* d'un circuit CMOS. Aquest és el cas del fabricant de la tecnologia disponible pel disseny i fabricació de sensors PBICS. Per això, els paràmetres SPICE dels CLBGT s'han obtingut a partir de la mesura directa sobre dispositius experimentals construïts amb la mateixa tecnologia que els PBICS. S'han realitzat els següents treballs:

- obtenció experimental dels paràmetres SPICE de CLBGT de tecnologia ES2 de 2 μm i 1 μm
- obtenció dels paràmetres SPICE de transistors CLBGT de tecnologia ES2 ECPD10 de 1 μm per mitjà del simulador MEDICI [12]

Els resultats de les mesures dels paràmetres estàtics es presenten a les taules 3.2 i 3.3. El significat de cada paràmetre es pot trobar a [8].

A continuació es desenvolupa el model del sensor proporcional PBICS.

3.2.2 Model del PBICS

El model del PBICS té com a element central el transistor CLBGT. Tanmateix, per poder fer l'anàlisi dinàmic del sensor cal afegir als elements bàsics del sensor (el CLBGT, la resistència R_{sens}) les capacitats paràsites a l'entrada i sortida del sensor. A més, el circuit al que està connectat el sensor (el CUT) i el comparador també han de formar part del model. La representació completa del model de circuit del PBICS es presenta a la figura 3.4.

Paràmetre	QL	Qv1	Unitats
IS	1.905e-17	2.413e-17	A
BF	79.8	67.7	-
NF	1.012	1.030	-
IKF	1.954e-4	1.324e-4	A
NE	1.000	1.001	-
RB	16990	4244	Ω
RE	12.5	36.44	Ω
RC	131.7	478.2	Ω

Taula 3.3: Paràmetres estàtics dels CLBJT (Tecnologia ES2 ECPD10 1 μm)

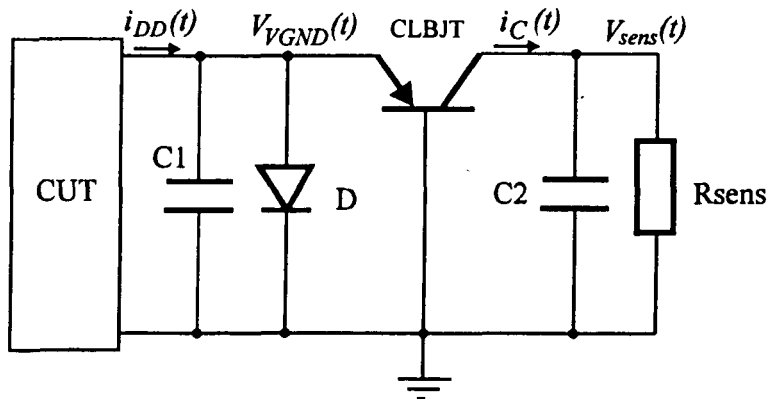


Figura 3.4: Model del sensor proporcional

El corrent que prové del CUT és $i_{DD}(t)$. La presència del sensor en el circuit fa que les característiques del corrent que entrega el CUT (sobre tot el corrent transitori) siguin lleugerament diferents respecte a quan el sensor no és present. Això és degut a que el sensor es equivalent a una impedància no lineal connectada en sèrie amb el circuit. La conseqüència és que el corrent transitori entregat pel CUT quan no hi ha sensor és de magnitud inferior i de duració superior al corrent quan el sensor és present, tal com s'ha analitzat al capítol 2. El corrent $i_{DD}(t)$ modela, per tant, el corrent entregat pel CUT *quan aquest incorpora el PBICS* i en l'anàlisi que es farà posteriorment així es tindrà en compte.

El condensador C_1 representa la capacitat associada al node VGND, mentre que el condensador C_2 representa la capacitat del node VSENS i R_{sens} és la resistència sensora.

El comparador utilitzat en el PBICS és similar al comparador descrit a [13]. La funció del comparador és la de convertir el senyal analògic $V_{sens}(t)$ que indica un corrent quiescent anormal, en un senyal digital PASSA/FALLA i la de emmagatzemar aquest senyal digital en un biestable. El comparador està construït per dos inversors interconnectats que formen un *latch*. Els dos inversors són alimentats quan un senyal de control CK té el valor lògic "0" i són desconnectats de l'alimentació si CK val "1". Si CK val "1" un transistor NMOS connecta el voltatge V_{sens} que prové del sensor a l'entrada d'un dels inversors. Un altre transistor NMOS connecta l'entrada de l'inversor oposat a un voltatge extern V_{ref} . El circuit complet treballa com un comparador de V_{sens} i V_{ref} i una memòria que guarda el valor lògic corresponent al resultat de la comparació [6]. Si el senyal digital OUTSENS passa a "0" després que CK caigui a "0", això indica que V_{sens} és més gran que V_{ref} i, per tant, que el corrent pel CUT és superior al llindar especificat per V_{ref} . A més, el consum del comparador descrit és mínim ja que una vegada efectuada la comparació, el corrent consumit és el corrent de fuites del *latch*. La figura 3.5 mostra el circuit del comparador.

Per tal de minimitzar l'*offset* del comparador cal dissenyar-lo amb la màxima simetria. L'efecte del comparador sobre V_{sens} es modela afegint la seva capacitat d'entrada a C_2 i la seva resistència d'entrada a R_{sens} .

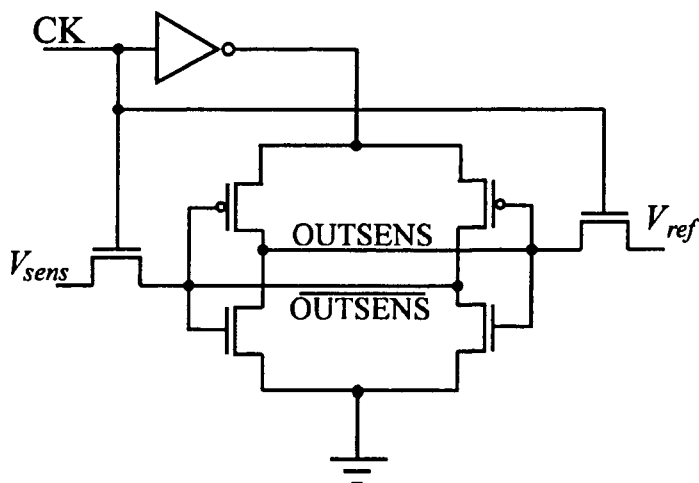


Figura 3.5: Comparador del PBICS

3.3 ANÀLISI DEL PBICS

3.3.1 Introducció

L'anàlisi del PBICS pretèn obtenir una descripció del comportament del sensor tant en règim permanent com transitori, és a dir, tant davant del corrent quiescent (I_{DDQ}) com del corrent transitori (i_{DD}). L'objectiu és obtenir una descripció, simple però suficientment acurada, que resalti les dependències de les característiques del sensor (sensibilitat, velocitat...etc) dels paràmetres elèctrics i tecnològics, per proporcionar així unes guies per al disseny als utilitzadors d'aquest sensor.

3.3.2 Anàlisi completa

Del circuit de la figura 3.4 es pot derivar el següent parell d'equacions diferencials que caracteritzen la evolució de $v_{VGND}(t)$ i de $v_{sens}(t)$ per a un corrent $i_{DD}(t)$ arbitrari. Utilitzarem la següent notació: C_1 és la capacitat associada al node VGND, C_2 és la capacitat del node VSENS, R_{sens} és la resistència sensora, I_{SL} és el corrent de saturació del CLBGT, V_T és la tensió equivalent a la temperatura absoluta i I_1 i I_2 són constants de les que el seu valor depèn dels corrents de saturació del CLBGT i del díode D.

El corrent que entra al PBICS $i_{DD}(t)$ es distribueix a través de la capacitat C_1 , del díode D i de l'emissor del CLBJT. L'expressió d'aquest corrent és, si s'assumeix que C_1 és constant:

$$i_{DD}(t) = C_1 \frac{d v_{VGND}(t)}{d t} + I_1 \left(e^{\frac{v_{VGND}(t)}{V_T}} - 1 \right) - I_{SL} \left(e^{\frac{v_{sens}(t)}{V_T}} - 1 \right) \quad (3.1)$$

on el primer terme de la part dreta de l'equació és el corrent de càrrega de C_1 , i el segon i tercer termes representen el corrent d'emissor del CLBJT (utilitzant el model de Ebers-Moll) i el corrent a través del díode D. El paràmetre I_1 inclou el corrent invers de saturació del díode D i els paràmetres corresponent del model d'Ebers-Moll del CLBJT.

El corrent de col·lector del CLBJT, $i_C(t)$ vé donat per:

$$i_C(t) = I_{SL} \left(e^{\frac{v_{VGND}(t)}{V_T}} - 1 \right) - I_2 \left(e^{\frac{v_{sens}(t)}{V_T}} - 1 \right) = \frac{v_{sens}(t)}{R_{sens}} + C_2 \frac{d v_{sens}(t)}{d t} \quad (3.2)$$

En aquesta expressió, $i_C(t)$ està expressada en termes dels paràmetres I_{SL} i I_2 del CLBJT utilitzant el model d'Ebers-Moll. Els termes de la dreta de l'expressió (3.2) són el corrent que circula a través de R_{sens} i el corrent de càrrega de C_2 assumint que té una capacitat constant.

Per a l'anàlisi que segueix a partir de les equacions diferencials, es fan les següents aproximacions:

1. model d'Ebers-Moll del CLBJT
2. la resistència intrínseca de base i el corrent de base del CLBJT s'assumeix que són petites. Per tant el voltatge a la base és, a efectes pràctics, zero volt
3. la resistència intrínseca del col·lector del CLBJT és petita i és inclosa a R_{sens}
4. la resistència intrínseca de l'emissor del CLBJT és negligida
5. els guanys de corrent i els corrents de saturació del CLBJT són constants
6. les capacitats al node VGND (C_1) i al node VSENS (C_2) són constants

Com es veurà més endavant els resultats obtinguts per simulació i en circuits experimentals proven que aquestes aproximacions són vàlides per a un ampli rang de valors de corrent. Només per a altes corrents l'efecte de la resistència intrínseca de base és significatiu, i els resultats mesurats difereixen lleugerament dels resultats calculats.

3.3.3 Anàlisi estàtica

En el règim permanent

$$\begin{aligned}\frac{d v_{sens}(t)}{d t} &= 0 \\ \frac{d v_{VGND}(t)}{d t} &= 0 \\ i_{DD}(t) &= I_{DDQ}\end{aligned}\quad (3.3)$$

El sistema d'equacions resultant permet obtenir la relació entre I_{DDQ} i V_{sens} , o sigui, la funció de transferència en DC del sensor. Aplicant les igualtats de (3.3), l'equació (3.1) es transforma en:

$$I_{DDQ} = I_1 \left(e^{\frac{v_{VGND}}{V_T}} - 1 \right) - I_{SL} \left(e^{\frac{V_{sena}}{V_T}} - 1 \right) \quad (3.4)$$

i (3.2) es transforma en:

$$\frac{V_{sens}}{R_{sens}} = I_{SL} \left(e^{\frac{v_{VGND}}{V_T}} - 1 \right) - I_2 \left(e^{\frac{V_{sena}}{V_T}} - 1 \right) \quad (3.5)$$

aïllant $\left(e^{\frac{v_{VGND}}{V_T}} - 1 \right)$ de (3.4) i substituint a (3.5) obtenim la següent relació:

$$V_{sens} = S I_{DDQ} - K_2 \left(e^{\frac{V_{sena}}{V_T}} - 1 \right) \quad (3.6)$$

On S és una constant igual a:

$$S = \frac{R_{sens} I_{SL}}{I_1} \quad (3.7)$$

i K_2 és un altre constant igual a $K_2 = R_{sens} \left(I_2 - \frac{I_{SL}^2}{I_1} \right)$. La característica estàtica ($V_{sens}-I_{DDQ}$) descrita per (3.6) mostra dos regions ben definides: la

regió proporcional, en que, a baixes corrents I_{DDQ} , el primer terme de la part dreta de (3.6) predomina sobre el segon i, per tant, el voltatge V_{sens} és **proporcional** a I_{DDQ} , i la regió de saturació, en que, quan els corrents I_{DDQ} són alts, el voltatge V_{sens} deixa de ser proporcional a I_{DDQ} .

La figura 3.6 mostra la corba de transferència del sensor PBICS obtinguda de un dels C.I. experimentals construït amb el sensor. S'observen clarament les dues regions definides per (3.6).

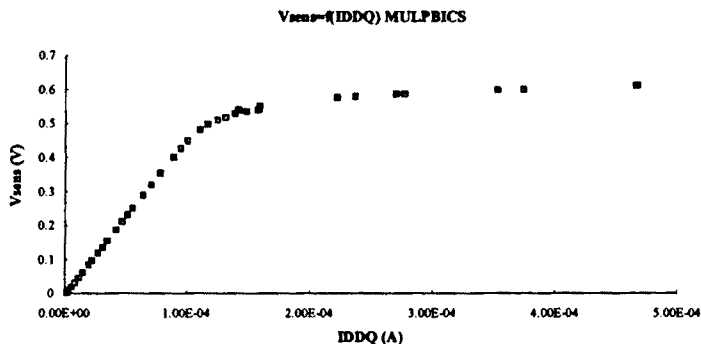


Figura 3.6: Corba de transferència experimental del PBICS

Per al PBICS, a la regió proporcional, la sensibilitat S del sensor és constant e igual al pendent de la corba. Fora de la regió proporcional la sensibilitat és variable. Com es pot veure per l'expressió (3.7) S és igual al valor de R_{sens} multiplicat per un factor de proporcionalitat $\frac{I_{SL}}{I_1}$. Aquest factor depèn dels corrents de saturació del CLBJT i del díode D i, per tant, amb la geometria del CLBJT i amb la tecnologia amb que estigui construït. De fet, si els guanys de corrent del CLBJT són prou elevats es pot escriure que $I_2 \approx I_{SL}$ i que $I_1 \approx \frac{I_{SL}}{I_{SL} + I_{SD}}$ on I_{SD} és el corrent invers de saturació del díode D. Això fa que que el corrent que circula pel CLBJT (d'emissor a col·lector) i el corrent que circula cap a terra pel díode D i per l'unió base-emissor del CLBJT siguin proporcionals, amb un factor de proporcionalitat $K = \frac{I_{SL}}{I_{SD}}$. Aquesta representació del CLBJT serà utilitzada més tard, en l'anàlisi dinàmica del sensor. Per tot el que s'ha dit es dedueix que $S = R_{sens} \frac{K}{1+K}$ i que la sensibilitat del sensor PBICS pot ser ajustada dimensionant adequadament R_{sens} i/o les mides del transistor CLBJT.

L'anàlisi estàtica ens dona com resultat la funció de transferència del

sensor PBICS en funció de paràmetres de disseny tals com el valor de la resistència R_{sens} i la geometria del CLBGT, en el següent apartat es farà l'anàlisi dinàmica del sensor.

3.3.4 Anàlisi dinàmica

Amb l'anàlisi dinàmica el que es tractarà de trobar serà una estimació de la resposta dinàmica del PBICS davant dels canvis en el corrent subministrat pel CUT. Quan el CUT acaba el transitori i està subministrant el corrent quiescent, el sensor encara pot no haver acabat el seu transitori i, per tant, pot no estar preparat per a determinar si el corrent quiescent és, o no, anormal. Avaluar l'evolució del transitori del sensor és, doncs, essencial per a determinar la velocitat de resposta del PBICS.

L'anàlisi començarà per una revisió del model del PBICS per tal de donar-li una forma més adequada per a resoldre les equacions diferencials. Després, en els següents apartats, s'obtidran expressions de la resposta dinàmica i de la freqüència màxima de funcionament del PBICS per a diferents valors dels paràmetres del circuit.

A. Revisió del model

Com s'ha vist, els elements que caracteritzen el comportament dinàmic del PBICS són les capacitats C_1 i C_2 , el CLBGT, el díode D, la resistència R_{sens} i el corrent $i_{DD}(t)$ del CUT. Per l'anàlisi dinàmica s'utilitzarà una representació del CLBGT tal com s'ha descrit en l'últim paràgraf de l'apartat anterior. A la figura 3.7 es presenta el model de referència per l'anàlisi.

El díode D i el CLBGT han estat substituïts per les fonts de corrent controlades i_V i i_L . La font de corrent i_V representa el corrent a través del díode D i de la unió de Base-Emissor del CLBGT. Com aquests corrents segueixen la llei exponencial d'una unió PN podem escriure $i_V(t) = I_{SV}(e^{\frac{v_{VGND}(t)}{V_T}} - 1)$, on I_{SV} és el corrent invers de saturació combinat del díode D i de la unió Base-Emissor del CLBGT. Aquesta font de corrent desviarà una part del corrent $i_{DD}(t)$ cap a terra i, com té una funció I-V exponencial, limitarà el valor màxim del voltatge al node VGND. Com s'ha dit abans, els corrents i_L i i_V són proporcionals si el sensor està treballant a la regió proporcional. El factor de proporcionalitat, K , es pot ajustar dissenyant apropiadament les mides del CLBGT i del díode D.

El CUT està representat per una font de corrent i una impedància Z en paral·lel. En l'anàlisi s'assumeix que el valor de Z durant el transitori és

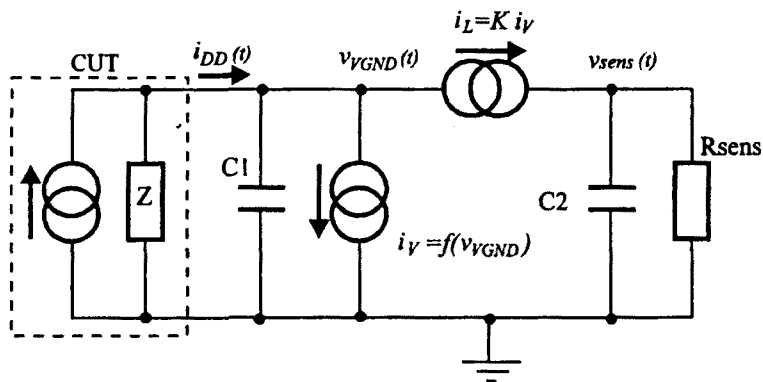


Figura 3.7: Model del PBICS per l'anàlisi dinàmic

molt més alt que la impedància que presenta el sensor i , per tant, que Z pot ser negligida. Aquesta hipòtesi és certa ja que el component principal de la impedància d'entrada del sensor és la resistència dinàmica del díode D , que és de l'ordre dels ohms, mentre que Z és la impedància dels transistors que participen en la commutació que és de l'ordre dels $k\Omega$. Així, el corrent $i_{DD}(t)$ representa el corrent que prové del CUT assumint $Z = \infty$.

La resistència R_{sens} tradueix el corrent que prové de la font i_L (del Col·lector del CLBjt) en un voltatge v_{sens} que serà posteriorment comparat amb una tensió de referència.

La capacitat C_1 representa la capacitat del node VGND, és a dir, la capacitat dels terminals de Sortidor de tots els transistors MOS connectats a VGND, més la capacitat del *layout*, més la capacitat de l'Emissor del CLBjt, més la capacitat del díode D . El valor de C_1 pot ser gran (algunes desenes o centenes de pF) depenent de la mida de la partició del circuit sobre la que estigui aplicada el PBICS. La capacitat C_2 representa la capacitat del Col·lector del CLBjt, més la capacitat del *layout* associat a aquest node, més la capacitat d'entrada del comparador. El seu valor depèn de la mida del CLBjt i del sensor. No obstant, el seu valor és petit (comparat amb C_1) i es pot assumir que és independent de la mida del CUT. De la relació entre els valors de les capacitats C_1 i C_2 es podran deduir diferents comportaments del sensor.

B. Anàlisi dinàmica

A partir de les equacions diferencials del circuit del sensor és possible derivar la resposta del PBICS a un corrent $i_{DD}(t)$ d'entrada arbitrari. Una bona aproximació a la forma d'ona real del corrent $i_{DD}(t)$ d'un CUT, és la d'un graó ascendent, després un valor constant i, finalment, una caiguda exponencial (figura 3.8). En els següents apartats es derivaran les expressions de la resposta del PBICS a una forma d'ona com la representada amb l'etiqueta d'aproximada a la figura 3.8.

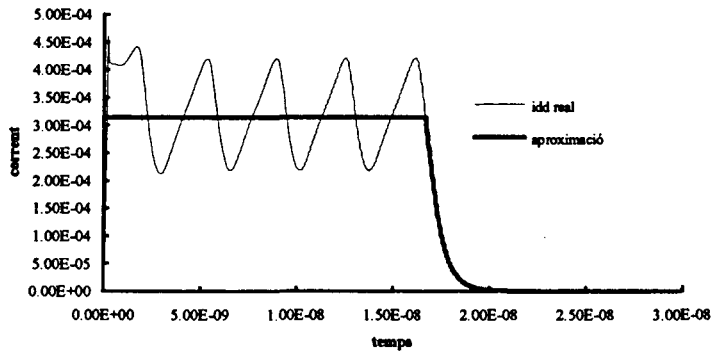


Figura 3.8: Forma d'ona del corrent $i_{DD}(t)$ d'un circuit CMOS amb 10 inversors obtinguda per simulació HSPICE i forma d'ona aproximada

Així, considerarem l'evolució del corrent $i_{DD}(t)$ com un graó ascendent inicial, és a dir, que els valors permesos per a $i_{DD}(t)$ seran, o bé $0 \mu\text{A}$ o bé una valor constant \hat{I}_{DD} . No es permeten valors intermitjos i la transició entre els dos valors és instantànea. Després, el corrent es manté en el valor constant \hat{I}_{DD} durant un temps indeterminat i, finalment, hi ha una caiguda exponencial en el corrent $i_{DD}(t)$ des de \hat{I}_{DD} fins $0 \mu\text{A}$. La constant de temps de la caiguda es representa per τ .

Les equacions a resoldre s'obtenen del model de la figura 3.7 i són:

$$i_{DD}(t) = (1 + K) I_{SV} \left(e^{\frac{v_{VGND}(t)}{V_T}} - 1 \right) + C_1 \frac{d v_{VGND}(t)}{d t} \quad (3.8)$$

$$K I_{SV} \left(e^{\frac{v_{VGND}(t)}{V_T}} - 1 \right) = \frac{v_{sens}(t)}{R_{sens}} + C_2 \frac{d v_{sens}(t)}{d t} \quad (3.9)$$

On el primer terme del costat dret de l'expressió (3.8) correspon al corrent per les fonts i_V i i_L i el segon terme al corrent de càrrega de C_1 . El terme de l'esquerra de l'expressió (3.9) correspon al corrent i_L , el primer terme de la dreta de la mateixa expressió es correspon amb el corrent per R_{sens} i el segon terme amb el corrent de càrrega de C_2 .

El PBICS respondrà als canvis en el corrent quiescent amb un retard que serà funció dels paràmetres del sensor. En les seccions següents resoldrem aquestes equacions per trobar el temps de resposta del PBICS a un corrent tal com el descrit anteriorment.

3.4 TEMPS DE RESPOSTA DEL PBICS

A partir de la solució de les anteriors equacions per a diferents valors dels paràmetres, s'obindrà el temps de resposta del sensor *avaluat com el temps en que el voltatge $v_{sens}(t)$ triga en assolir el valor quiescent (V_{DDQ}) després d'una commutació del circuit*. Ens referirem a la figura 3.9 per precisar aquest concepte.

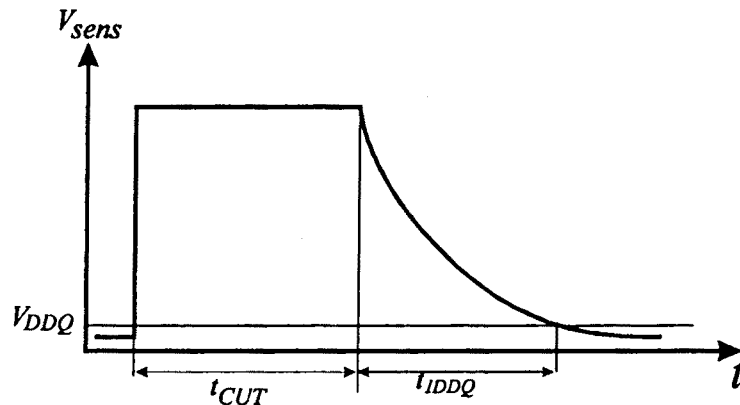


Figura 3.9: Resposta del PBICS

El valor *quiescent* V_{DDQ} de $v_{sens}(t)$ és el que correspon al valor en règim permanent, per a un corrent quiescent donat. A partir de la funció de transferència del PBICS sabem que el seu valor és (si el PBICS està a la zona proporcional):

$$V_{DDQ} = S I_{DDQ} = R_{sens} \frac{K}{1+K} I_{DDQ} \quad (3.10)$$

Com es veu a la figura 3.9, es defineix t_{CUT} com el temps des de l'inici de la commutació fins l'inici de la caiguda exponencial del corrent i es defineix t_{IDDQ} com el temps des de l'inici de la caiguda exponencial del corrent fins que $v_{sens}(t) = V_{DDQ}$ per un sensor PBICS *real*, és a dir, amb capacitats C_1 i C_2 . La freqüència màxima de funcionament del PBICS es definirà com $F_{max}^{PBICS} = (t_{CUT} + t_{IDDQ})^{-1}$.

3.4.1 Casos per l'anàlisi del temps de resposta

Com la dinàmica del PBICS depèn de les capacitats C_1 i C_2 , es consideraran els tres casos següents:

1. $C_1 \gg C_2$, és el cas en que la partició del CUT és gran i la capacitat del node VSENS es pot assumir que és negligible. Aquest seria el cas normal.
2. $C_2 \gg C_1$, és el cas d'una partició del CUT molt petita i un sensor gran.
3. $C_1 \approx C_2$, és un cas intermig.

El cas més freqüent és el primer, ja que la capacitat C_1 està formada per la capacitat del sortidor de tots els transistors NMOS connectats a VGND, més la capacitat del *layout* d'aquest node. Depèn, per tant, de la grandària de la partició controlada per cada PBICS. Per petita que sigui la partició, aquesta capacitat serà molt més gran que la capacitat del node VSENS que no depèn de la mida de la partició. Recordant les dades recollides al capítol 2, l'*overhead* d'àrea dels sensors estava al voltant del 1-2 % de l'àrea del CUT. Això implica que, a *grosso modo*, la capacitat C_2 estaria dins d'aquest ordre de magnitud respecte el valor de la capacitat C_1 .

3.4.2 Cas $C_1 \gg C_2$

En aquest cas la resposta del PBICS és controlada per la dinàmica del voltatge $v_{VGND}(t)$. Analtzarem el comportament del sensor per a un graó ascendent i per a una caiguda exponencial. El parell d'equacions diferencials

a resoldre, en aquest cas, s'obtenen de (3.8) i (3.9) anul·lant els termes que inclouen C_2 . Les equacions a resoldre són:

$$i_{DD}(t) = (1 + K) I_{SV} \left(e^{\frac{v_{VGND}(t)}{V_T}} - 1 \right) + C_1 \frac{d v_{VGND}(t)}{d t} \quad (3.11)$$

$$K I_{SV} \left(e^{\frac{v_{VGND}(t)}{V_T}} - 1 \right) = \frac{v_{sens}(t)}{R_{sens}} \quad (3.12)$$

Graó ascendent

La resposta del PBICS durant el graó ascendent del corrent es superposa amb el temps t_{CUT} i, per tant, no és un factor limitador de la velocitat de test. No obstant, per a completar l'anàlisi, a continuació es dedueix la evolució del voltatge $v_{sens}(t)$ en aquest cas.

Per a un graó ascendent, $i_{DD}(t) = 0$ si $t < 0$, i $i_{DD}(t) = \hat{I}_{DD}$ si $t \geq 0$. A més, si assumim que $v_{VGND}(t) \gg V_T$ (cosa que és certa ja que el voltatge al node VGND és el d'una unió PN en conducció, és a dir, aproximadament $700 \text{ mV} \approx 27 V_T$), llavors la expressió (3.11) es transforma en:

$$\frac{d v_{VGND}(t)}{d t} = \frac{\hat{I}_{DD}}{C_1} - \frac{(1 + K) I_{SV} e^{\frac{v_{VGND}(t)}{V_T}}}{C_1} \quad (3.13)$$

i l'expressió (3.12) es transforma en:

$$v_{sens}(t) = K R_{sens} I_{SV} e^{\frac{v_{VGND}(t)}{V_T}} \quad (3.14)$$

Per a resoldre (3.13) i trobar $v_{sens}(t)$ a partir de l'equació (3.14) farem el següent canvi de variable: $y = e^{\frac{v_{VGND}(t)}{V_T}}$ i, per tant: $\frac{d v_{VGND}(t)}{d t} = \frac{V_T}{y} \frac{d y}{d t}$. Amb aquest canvi de variable l'expressió (3.13) es transforma en:

$$\frac{d y}{d t} = \frac{\hat{I}_{DD}}{C_1 V_T} y - \frac{(1 + K) I_{SV}}{C_1 V_T} y^2 \quad (3.15)$$

que és una equació diferencial de Bernoulli [7].

La condició inicial és $y = y(0)$, o sigui, $v_{VGND}(t = 0) = v_{VGND}(0)$. Amb aquesta condició inicial es suposa que el node VGND està a una tensió $v_{VGND}(0)$ abans de que el graó ascendent de corrent s'apliqui al sensor. En l'instant $t = 0$, o sigui quan s'aplica el graó de corrent, la capacitat del node VGND no està completament descarregada a les freqüències de test pràctiques i això fa que $v_{VGND}(0) \neq 0$.

La solució de (3.15) és [7]:

$$y = e^{\frac{v_{VGND}(t)}{V_T}} = \frac{e^{\frac{t}{\left(\frac{C_1 V_T}{\hat{I}_{DD}}\right)}}}{\frac{1}{y(0)} + \frac{(1+K)I_{SV}}{\hat{I}_{DD}} \left(e^{\frac{t}{\left(\frac{C_1 V_T}{\hat{I}_{DD}}\right)}} - 1 \right)} \quad (3.16)$$

I ara substituïnt a (3.14) ens queda:

$$v_{sens}(t) = \frac{K R_{sens} I_{SV}}{e^{\frac{-v_{VGND}(0)}{V_T}} e^{\frac{-t}{\left(\frac{C_1 V_T}{\hat{I}_{DD}}\right)}} + \frac{(1+K)I_{SV}}{\hat{I}_{DD}} \left(1 - e^{\frac{-t}{\left(\frac{C_1 V_T}{\hat{I}_{DD}}\right)}} \right)} \quad (3.17)$$

Si $t \rightarrow \infty$, llavors $v_{sens}(\infty) = \frac{K}{1+K} R_{sens} \hat{I}_{DD} = S \hat{I}_{DD}$, tal com havia de ser. D'altra banda, si $t \rightarrow 0$, el voltatge $v_{sens}(0)$ depèn exponencialment del voltatge $v_{VGND}(0)$ segons l'expressió

$$v_{sens}(0) = K R_{sens} I_{SV} e^{\frac{v_{VGND}(0)}{V_T}} \quad (3.18)$$

Per això, si després d'haver acabat una commutació del CUT, el voltatge $v_{VGND}(t)$ cau unes poques desenes de milivolts, llavors $v_{sens}(0)$ val pràcticament zero volt.

La constant de temps del procés és $\tau_1 = \frac{C_1 V_T}{\hat{I}_{DD}}$. La resposta del PBICS davant d'un graó ascendent es representa a la figura 3.10 on es pot veure l'evolució del voltatge del node VSENS per a diferents valors del voltatge inicial del node VGND i per a una gran capacitat C_1 .

El retard en la resposta de $v_{sens}(t)$ que s'observa a la figura 3.10 és degut a a que el corrent transitori que vé del CUT primer ha de carregar la capacitat C_1 del sensor fins que el voltatge al node VGND assoleixi un determinat valor, abans que el CLBJT comenci a injectar corrent cap a R_{sens} . No obstant, com hem dit abans, aquest retard està superposat amb el temps de retard del CUT (t_{CUT}) i per tant es pot negligir.

Caiguda exponencial

S'estudiarà ara la resposta del sensor davant d'una caiguda exponencial del corrent del CUT, des d'un valor màxim fins a zero. Es derivaran les

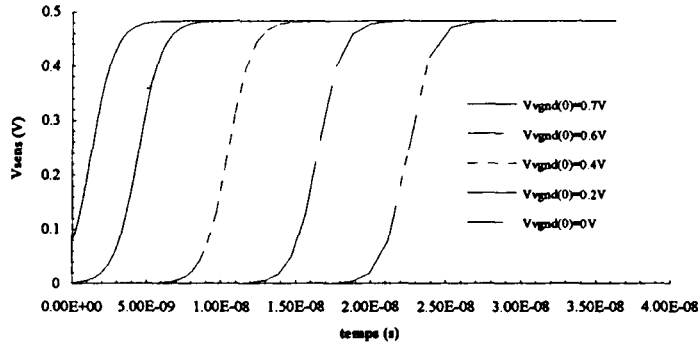


Figura 3.10: Evolució de $v_{sens}(t)$ per a un grao ascendent de corrent $\hat{I}_{DD} = 5$ mA a $t = 0$ i diferents voltatges inicials del node VGND. ($C_1 = 150$ pF, $K = 0.63$, $R_{sens} = 250 \Omega$)

expressions completes i després es simplificaran per trobar el temps t_{IDDQ} que necessita el voltatge $v_{sens}(t)$ per assolir el valor V_{DDQ} .

Per a una caiguda exponencial, $i_{DD}(t) = \hat{I}_{DD}$ si $t < 0$ i $i_{DD}(t) = \hat{I}_{DD} e^{-\frac{t}{\tau}}$ si $t \geq 0$, on τ és la constant de temps de la caiguda exponencial del corrent. La capacitat C_1 està inicialment carregada i es descarrega a través del díode D i del CLBCT. Assumint, com abans, que $v_{VGND}(t) \gg V_T$, les equacions diferencials a resoldre es deriven de (3.11) i de (3.12) que es transformen en:

$$\frac{d v_{VGND}(t)}{d t} = \frac{\hat{I}_{DD}}{C_1} e^{-\frac{t}{\tau}} - \frac{(1+K) I_{SV} e^{\frac{v_{VGND}(t)}{V_T}}}{C_1} \quad (3.19)$$

$$v_{sens}(t) = K R_{sens} I_{SV} e^{\frac{v_{VGND}(t)}{V_T}} \quad (3.20)$$

Per resoldre (3.19) fem el canvi de variable: $y = e^{\frac{v_{VGND}(t)}{V_T}}$ i, per tant, $\frac{d v_{VGND}(t)}{d t} = \frac{V_T}{y} \frac{d y}{d t}$ el que fa que l'expressió (3.19) es transformi en una equació diferencial de Bernoulli:

$$\frac{d y}{d t} = \frac{\hat{I}_{DD}}{C_1 V_T} e^{-\frac{t}{\tau}} y - \frac{(1+K) I_{SV}}{C_1 V_T} y^2 \quad (3.21)$$

La condició inicial de (3.21) és $y = \frac{\hat{I}_{DD}}{(1+K)I_{SV}}$ quan $t = 0$.
 Quan es resol (3.21) ens trobem amb la següent equació:

$$\frac{e^{\frac{-\tau \hat{I}_{DD}}{C_1 V_T} e^{-\frac{t}{\tau}}}}{y} = \frac{(1+K)I_{SV}}{C_1 V_T} \int e^{\frac{-\tau \hat{I}_{DD}}{C_1 V_T} e^{-\frac{t}{\tau}}} dt + Constant \quad (3.22)$$

Per a resoldre la integral de (3.22) farem el canvi de variable: $v = e^{-\frac{t}{\tau}}$ i, per tant, $dt = -\frac{\tau dv}{v}$. Llavors la integral i la seva solució és:

$$-\tau \int \frac{e^{-Kv}}{v} dv = -\tau \left[\ln v - Kv + \frac{(Kv)^2}{4} \dots \right] \quad (3.23)$$

Per $Kv \ll 1$ podem truncar la sèrie en els primers dos termes. Això és vàlid amb la suficient aproximació per $t \geq 2\tau$ ja que en aquest cas l'error és inferior al 0.01%. Llavors, desfent el canvi de variable i substituint a (3.22) obtenim:

$$\frac{e^{\frac{-\tau \hat{I}_{DD}}{C_1 V_T} e^{-\frac{t}{\tau}}}}{y} = \frac{(1+K)I_{SV}}{C_1 V_T} \left[t + \frac{\tau^2 \hat{I}_{DD}}{C_1 V_T} e^{-\frac{t}{\tau}} \right] + Constant \quad (3.24)$$

Utilitzant la condició inicial i, després de trobar la constant, desfent el primer canvi de variable i simplificant obtenim el següent resultat sobre l'evolució del voltatge $v_{V_{GND}}(t)$ davant d'una caiguda exponencial del corrent:

$$v_{V_{GND}}(t) = V_T \ln \frac{\left(\frac{C_1 V_T}{(1+K)I_{SV}} \right) e^{\frac{-\tau \hat{I}_{DD}}{C_1 V_T} e^{-\frac{t}{\tau}}}}{t + \frac{C_1 V_T}{\hat{I}_{DD}} e^{\frac{-\tau \hat{I}_{DD}}{C_1 V_T}} + \frac{\tau^2 \hat{I}_{DD}}{C_1 V_T} \left(e^{-\frac{t}{\tau}} - 1 \right)} \quad (3.25)$$

A partir de l'expressió (3.20) trobem l'expressió de $v_{sens}(t)$ per a una caiguda exponencial del corrent:

$$v_{sens}(t) = \frac{C_1 V_T S e^{\frac{-\tau \hat{I}_{DD}}{C_1 V_T} e^{-\frac{t}{\tau}}}}{t + \frac{C_1 V_T}{\hat{I}_{DD}} e^{\frac{-\tau \hat{I}_{DD}}{C_1 V_T}} + \frac{\tau^2 \hat{I}_{DD}}{C_1 V_T} \left(e^{-\frac{t}{\tau}} - 1 \right)} \quad (3.26)$$

Si assumim, com abans, que $\frac{t}{\tau} \geq 2$ podem simplificar l'expressió (3.26) per trobar t_{IDDQ} , fem:

$$V_{DDQ} = \frac{C_1 V_T S}{t_{IDDQ} + \frac{C_1 V_T}{\hat{I}_{DD}} e^{\frac{-\tau \hat{I}_{DD}}{C_1 V_T}} - \frac{\tau^2 \hat{I}_{DD}}{C_1 V_T}} \quad (3.27)$$

De l'expressió anterior podem trobar t_{IDDQ} :

$$t_{IDDQ} = C_1 V_T \left(\frac{S}{V_{DDQ}} - \frac{e^{\frac{-\tau \hat{I}_{DD}}{C_1 V_T}}}{\hat{I}_{DD}} \right) + \frac{\hat{I}_{DD} \tau^2}{C_1 V_T} \quad (3.28)$$

A continuació s'estudiarà el cas en que C_1 és molt més petita que C_2 . L'anàlisi estarà orientat també a trobar el temps de resposta del PBICS fins el quiescent.

3.4.3 Cas $C_1 \ll C_2$

Aquest és un cas improbable on la capacitat del node VGND és molt més petita que la capacitat al node VSENS. Estudiarem aquest cas principalment per a completar l'anàlisi.

En aquest cas, la resposta dinàmica del PBICS està controlada per la capacitat C_2 i el comportament del sensor és equivalent a la càrrega i descàrrega d'un circuit RC.

La derivació de les equacions és molt més senzilla que en el cas anterior ja que en les equacions diferencials els termes que multipliquen a C_1 s'anul·len. Així les expressions (3.8) i (3.9) es transformen en:

$$i_{DD}(t) = (1 + K) I_{SV} \left(e^{\frac{v_{VGND}(t)}{V_T}} - 1 \right) \quad (3.29)$$

$$K I_{SV} \left(e^{\frac{v_{VGND}(t)}{V_T}} - 1 \right) = \frac{v_{sens}(t)}{R_{sens}} + C_2 \frac{d v_{sens}(t)}{d t} \quad (3.30)$$

on $i_{DD}(t)$ és, o bé un graó ascendent de valor \hat{I}_{DD} , o bé una caiguda exponencial $\hat{I}_{DD} e^{\frac{-t}{\tau}}$ amb constant de temps τ .

La solució de les equacions (3.29) i (3.30) és immediata per a una excitació en graó ascendent.

Per a $v_{VGND}(t)$ la solució és:

$$v_{V_{GND}}(t) = V_T \ln \left(1 + \frac{\hat{I}_{DD}}{(1+K)I_{SV}} \right) \quad (3.31)$$

Per a completar l'anàlisi es dona la solució per a un graó ascendent, però tal com succeïa en el cas $C_1 \gg C_2$ la resposta del PBICS queda superposada amb la del CUT. La solució per a $v_{sens}(t)$ és:

$$v_{sens}(t)_{graó_asc} = \hat{I}_{DD} S \left(1 - e^{-\frac{t}{\tau_2}} \right) \quad (3.32)$$

Per la caiguda exponencial la solució és:

$$v_{sens}(t)_{caiguda_exponencial} = \hat{I}_{DD} S e^{-\frac{t}{\tau_2}} + \frac{\hat{I}_{DD} S \tau}{\tau_2 - \tau} \left(e^{-\frac{t}{\tau_2}} - e^{-\frac{t}{\tau}} \right) \quad (3.33)$$

on $\tau_2 = R_{sens}C_2$. De l'expressió (3.33) es pot calcular el temps t_{IDDQ} .

3.4.4 Cas $C_1 \approx C_2$

En aquest cas els valors de C_1 i C_2 són comparables, i el comportament dinàmic del PBICS estarà influenciat tant per C_1 com per C_2 . Com s'ha dit abans, el valor de C_2 depèn només de la mida del sensor i és independent de la mida del CUT, en un anàlisi de primer ordre. Pel contrari, C_1 depèn totalment de la mida del CUT. Així, si el CUT o la partició que incorpora és gran, llavors C_1 serà gran i viceversa. Si el CUT té una mida petita i/o la mida del sensor és gran, llavors els valors de C_1 i C_2 són comparables i el comportament del sensor serà un compost entre els dos comportaments extrems. En el proper apartat es comparen els resultats obtinguts per les expressions anteriors amb simulacions sobre un inversor que té incorporat un PBICS.

3.4.5 Comparació entre resultats calculats i simulats

Per a validar les expressions trobades s'han realitzat simulacions amb HSPICE (nivell 6) en un rang realista de valors dels paràmetres. Per a obtenir el valor de t_{IDDQ} degut tant a C_1 com a C_2 , s'ha suposat que ambdós contribucions a t_{DDQ} es sumaven, el que es correspon amb el comportament observat en la simulació. Els resultats estan representats en les següents figures i taules.

Paràmetre	Lateral	Vertical
IS	1.905e-17	2.413e-17
BF	7.984e+01	6.768e+01
NF	1.012e+00	1.030e+00
IKF	1.954e-04	1.324e-04
ISE	1.000e-38	1.000e-38
NE	1.000e+00	1.001e+00
RB	1.699e+05	4.244e+03
IRB	1.414e-08	1.497e-05
RBM	5.000e+00	4.437e+00
RE	0.000e+00	3.644e+01
RC	1.317e+02	4.782e+02
CJE	760e-18	810e-18
VJE	0.7	0.7
MJE	0.510	0.510
CJC	760e-18	1.567e-16
VJC	0.7	0.659
MJC	0.510	0.5

Taula 3.4: Paràmetres SPICE del CLBJT utilitzat a les simulacions

CLBJT

Per a les simulacions s'ha utilitzat el model HSPICE d'un transistor CLBJT experimental construït amb tecnologia ES2 de $1\ \mu\text{m}$. A la taula 3.4 es presenten els valors experimentals dels paràmetres HSPICE d'aquest transistor. El significat de cada paràmetre es pot trobar a [8] i a la taula de símbols de l'inici de la tesi.

La figura 3.11 mostra la funció de transferència estàtica del PBICS amb el CLBJT de la taula 3.4 i la calculada a partir de les expressions. Com es pot veure, la correspondència és bona a la zona proporcional i és més dolenta a la zona de saturació degut a les simplificacions fetes en el model.

Paràmetres del circuit

Per a les simulacions s'ha utilitzat un rang ampli i realista de valors de les capacitats C_1 i C_2 . A la taula 3.5 es pot veure els valors dels paràmetres del circuit.

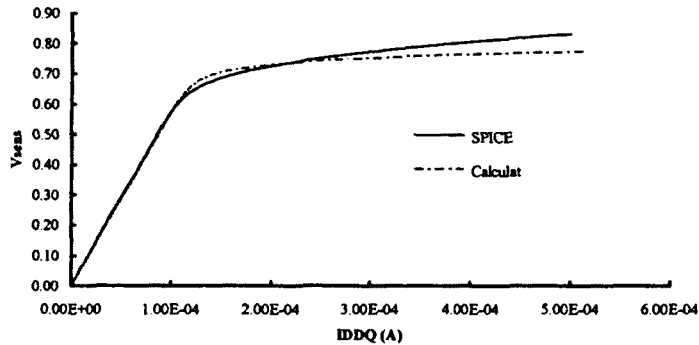


Figura 3.11: Comparació entre les funcions de transferència del PBICS obtinguda per simulació i calculada per les expressions. ($R_{sens} = 20306\Omega$ i $K = 0.277$)

Paràmetre	Valor
\tilde{I}_{DD}	275 μ A
C_{OUT}	1 pF
C_1	10 pF a 100 pF
C_2	0.1 pF a 3 pF
τ	4.07 ns
R_{sens}	2500 Ω
S	1470 Ω

Taula 3.5: Paràmetres del circuit per a la comparació del temps de resposta del PBICS donat per les expressions i per HSPICE

Resultats

El temps fins el quiescent t_{IDDQ} obtingut per simulació i per les expressions per a un circuit inversor amb un sensors PBICS es pot veure a la figura 3.12 on es representa el temps fins el quiescent d'un inversor amb les característiques de la taula 3.5 i un corrent quiescent llinar de $1 \mu\text{A}$. Com es pot veure hi ha una bona concordància entre els resultats simulats i els calculats amb les expressions dels apartats 3.4.2 i 3.4.3. A la figura es pot observar com el temps fins el quiescent depèn principalment de C_1 i molt menys de C_2 . L'error absolut màxim entre les expressions i la simulació és de un 13 % en tot el rang de variació de C_1 i C_2 .

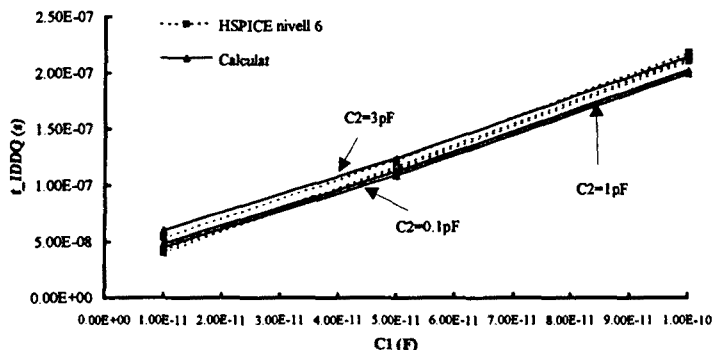


Figura 3.12: Temps fins el quiescent (t_{IDDQ}) segons HSPICE i segons les expressions

Evolució temporal de $v_{sens}(t)$

Finalment, i per il·lustrar la concordància de les expressions amb la simulació amb HSPICE, a les figures 3.13 i 3.14 es pot veure l'evolució de $v_{V_{GND}}(t)$ i $v_{sens}(t)$ per dues combinacions dels paràmetres i per excitació del PBICS en graó.

Com es pot veure la coincidència entre les gràfiques calculades i les simulades és bona.

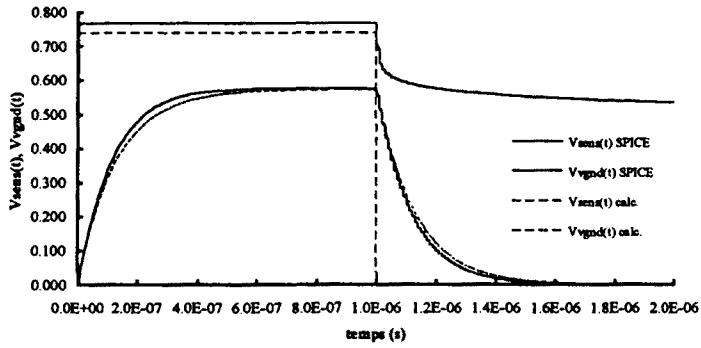


Figura 3.13: Evolució de $v_{GND}(t)$ i de $v_{sens}(t)$ per un corrent $i_{DD}(t)$ en graó a $t = 0$ i caiguda exponencial amb $\tau = 4$ ns a $t = 1\mu s$ i valors dels paràmetres: $C_1 = 1pF$, $C_2 = 10pF$ i $\hat{I}_{DD} = 100\mu A$.

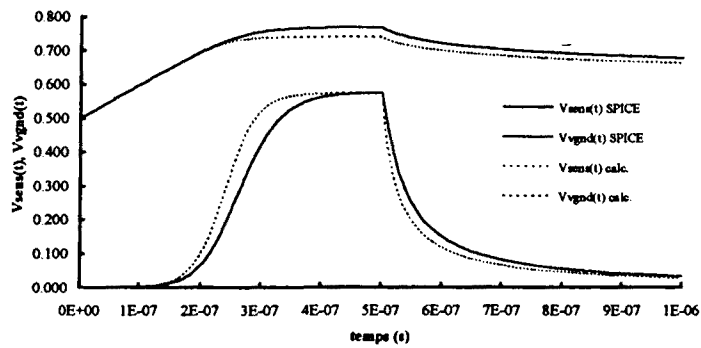


Figura 3.14: Evolució de $v_{GND}(t)$ i de $v_{sens}(t)$ per a un corrent $i_{DD}(t)$ en graó a $t = 0$ i una caiguda exponencial amb $\tau = 4$ ns a $t = 0.5\mu s$ i valors dels paràmetres: $C_1 = 100pF$, $C_2 = 0.1pF$ i $\hat{I}_{DD} = 100\mu A$

3.5 CONCLUSIONS

En el present capítol s'ha descrit el sensor PBICS i s'han obtingut les equacions del seu comportament estàtic i dinàmic. Les expressions trobades s'han validat amb simulacions HSPICE. L'anàlisi mostra que el sensor presenta una característica lineal de la tensió V_{sens} amb el corrent quiescent en un marge de valors ajustable amb la resistència R_{sens} . El sensor presenta una temps de resposta que és funció principalment de la capacitat del node VGND: com més gran és aquesta capacitat, més gran és el temps de resposta i més petita, per tant, és la freqüència de funcionament del circuit amb el PBICS. En canvi, el valor de la capacitat al node VSENS té una influència molt més petita sobre el temps de resposta. Això és degut a la particular estructura del sensor on els nodes VGND i VSENS estan separats. Així, el marge teòric de freqüències de funcionament del PBICS pot arribar als 30 MHz per circuits petits de tecnologia de $1 \mu\text{m}$ i corrents quiescents de $1 \mu\text{A}$. La dependència de la velocitat del sensor amb la seva sensibilitat s'estableix a través de la contribució de la capacitat C_2 del node VSENS i de la resistència R_{sens} al temps de resposta del sensor. Al ser aquesta contribució petita, com s'ha dit abans, la dependència de la velocitat amb la sensibilitat és també petita. Això fa que, a diferència d'altres sensors amb resistència i unió PN, el sensor PBICS pugui obtenir altes sensibilitats amb una penalització petita de la seva velocitat.

En el capítol següent es presentaran els treballs experimentals desenvolupats amb el sensor PBICS per tal de comprovar si els anàlisis i simulacions precedents s'ajusten al funcionament real del dispositiu.

Bibliografia

- [1] Denis J.F. Doyle, William A. Lane. Circuit Modeling of Bipolar Transistors for BICMOS. *IEEE Journal of Solid-State Circuits*, pàgines 189–193, Febrer 1989.
- [2] Eric A. Vittoz. MOS Transistors Operated in the Lateral Bipolar Mode and their Application in CMOS Technology. *IEEE Journal of Solid-State Circuits*, pàgines 273–279, Juny 1983.
- [3] Josep Rius, Joan Figueras. Proportional BIC Sensor for Current Testing. *Journal of Electronic Testing: Theory and Applications*, pàgines 387–396, Decembre 1992.
- [4] Josep Rius, Joan Figueras. Dynamic Characterization of Built-in Current Sensors based on PN Junctions: Analysis and Experiments. *Journal of Electronic Testing, Vol 9, No. 3*, pàgines 295–310, Decembre 1996.
- [5] Marc G. Degrauwe, Oskar N. Leuthold, E. A. Vittoz. CMOS Voltage References using Lateral Bipolar Transistors. *IEEE Journal of Solid-State Circuits, Vol. SC-20, No. 6*, pàgines 1151–1157, Decembre 1985.
- [6] Masakazu Shoji. *CMOS Digital Circuit Technology*. Prentice Hall, New Jersey, 1988.
- [7] Max Fogiel. Handbook of Mathematical, Scientific and Engineering formulas, tables, functions, graphs and transforms. A *Research and Education Association, New Jersey*, 1992.
- [8] Meta Software. HSPICE User's Manual. 1992.
- [9] M.R. Haskard, I.C. Maig. *Analog VLSI Design. NMOS and CMOS*. Prentice Hall, Sydney, 1988.

- [10] Sophie Verdonckt-Vandebroek, Jaehee You, Jason C.S. Woo, S.Simon Wong. High-Gain Lateral p-n-p Bipolar Action in a p-MOSFET Structure. *IEEE Electron Device Letters*, pàgines 312–313, Juny 1992.
- [11] Sophie Verdonckt-Vandebroek, S. Simon Wong, Jason C.S. Woo, Ping K. Ko. High-Gain Lateral Bipolar Action in a MOSFET Structure. *IEEE Transactions on Electron Devices*, pàgines 2487–2495, Novembre 1991.
- [12] Technology Modeling Associates. *TMA PISCES-2B. Two-dimensional Device Analysis Program*. second edition, 1990.
- [13] Tung-Li Shen, James C. Daly, Jien-Chung Lo. A 2-ns Detecting Time, 2-um CMOS Built-in Current Sensing Circuit. *IEEE Journal of Solid State Circuits*, pàgines 72–77, Gener 1993.
- [14] Tzu-Wang Pan, Asad A. Abidi. A 50 dB Variable Gain Amplifier Using Parasitic Bipolar Transistors in CMOS. *IEEE Journal of Solid-State Circuits*, pàgines 951–961, Agost 1989.
- [15] X. Arreguit, E.A. Vittoz. Performance Enhancement of Compatible Lateral Bipolar Transistors for High Precision CMOS Analog Design. *A Proceedings of ESSCIRC88*, pàgines 21–23, Septiembre 1988.