

T R I U

UPC
UNIVERSITAT
POLITÀCNICA
DE CATALUNYA



UNIVERSITAT POLITÈCNICA DE CATALUNYA
Departament d'Enginyeria Electrònica

**SENSORS I ESTRATÈGIES DE
TEST DE CIRCUITS DIGITALS
CMOS PER VIGILÀNCIA
DEL CONSUM**



BIBLIOTECA RECTOR GABRIEL FERRATE
Campus Nord

Memòria per a obtenir el títol
de Doctor Enginyer Industrial de:

Josep Rius Vázquez

Director:

Joan Figueras Pàmies

Febrer 1997

Capítol 4

Experimentació amb el PBICS

4.1 INTRODUCCIÓ

El present capítol està dedicat a la descripció de l'experimentació realitzada amb el sensor PBICS. L'objectiu de l'experimentació és comprovar el funcionament del PBICS en condicions estàtiques i dinàmiques i validar les anàlisis fetes anteriorment. Per això s'han construït sensors PBICS experimentals utilitzant diferents tecnologies que s'han connectat a diferents circuits. En aquest capítol es presentaran aquests circuits i els resultats de les proves que s'han fet amb ells.

L'experimentació realitzada es divideix en: a) mesures estàtiques, i b) mesures dinàmiques. Les mesures estàtiques que es presenten són:

- Funció de transferència: $I_{DDQ} - V_{sens}$ sobre sensors construïts amb tecnologia ES2 de $2 \mu\text{m}$, $1.5 \mu\text{m}$ i $1 \mu\text{m}$ [1][2][3]. Amb aquestes mesures es pretén comprovar la relació entre I_{DDQ} i V_{sens} derivada al capítol 3 i obtenir els paràmetres estàtics del sensor per cada una de les tecnologies.
- Resistència R_{sens} sobre sensors de tecnologies de $2 \mu\text{m}$ i $1.5 \mu\text{m}$. El valor d'aquesta resistència determina la sensibilitat del sensor.
- *Offset* del comparador per a obtenir el marge d'error del sensor degut al comparador.

Les mesures dinàmiques inclouen:

- Retard del comparador del PBICS. Aquesta mesura dona una de les dades necessàries per a determinar la velocitat del sensor.
- Freqüència màxima de funcionament del PBICS en tecnologies de 1.5 μm i 1 μm . Amb aquestes dades es verifica la validesa dels models dinàmics presentats al capítol anterior.
- Marges en la freqüència de treball del PBICS de 1.5 μm aplicat sobre un circuit multiplicador. Aquestes mesures verifiquen en un cas real la freqüència màxima a la que pot treballar el sensor, discriminant correctament entre el corrent quiescent degut a defectes del CUT i el corrent d'un CUT sense defectes després d'una commutació.

En les següents seccions s'expliquen els procediments i es mostren els resultats de cadascuna de les mesures esmentades.

4.2 FUNCIO DE TRANSFERÈNCIA: $I_{DDQ} - V_{sens}$

L'objectiu de les mesures de la funció de transferència és el de comprovar que la resposta del PBICS al corrent quiescent presenta una zona proporcional i una zona de saturació tal com s'ha analitzat en el capítol 3. La mesura de la funció de transferència permet, a més, determinar la sensibilitat del sensor i la relació entre el corrent del díode paràsit connectat entre l'emissor del CLB_{BJT} (transistor BJT lateral) i terra i el corrent del propi transistor (paràmetre K). A continuació es mostren els resultats obtinguts amb sensors de tecnologia de 2 μm , 1.5 μm i 1 μm .

4.2.1 Tecnologia ES2 de 2 μm

S'han construït tres circuits. El circuit **A** (Figura 4.1A) inclou una font de corrent controlada per tensió (VCCS) per tal d'aplicar al sensor un corrent I_{DDQ} perfectament controlat. El voltatge de la porta del CLB_{BJT} es manté fixat a V_{DD} . El circuit **B** (figura 4.1B) és idèntic al circuit **A** però permet polaritzar la porta del CLB_{BJT} a diferents voltatges. El circuit **C** (figura 4.2) està format per una porta NAND de dues entrades i el sensor PBICS. El *layout* d'aquests circuits es pot veure a les figures 4.3, 4.4 i 4.5.

El procediment de mesura de la funció de transferència és el següent: un amperímetre es connecta entre la sortida GND dels circuits **A** i **B** i terra, un voltímetre es connecta a la sortida VSENS i s'aplica un voltatge variable (de 0 volt a V_{DD}) a l'entrada VC. El terminal d'alimentació es connecta a un

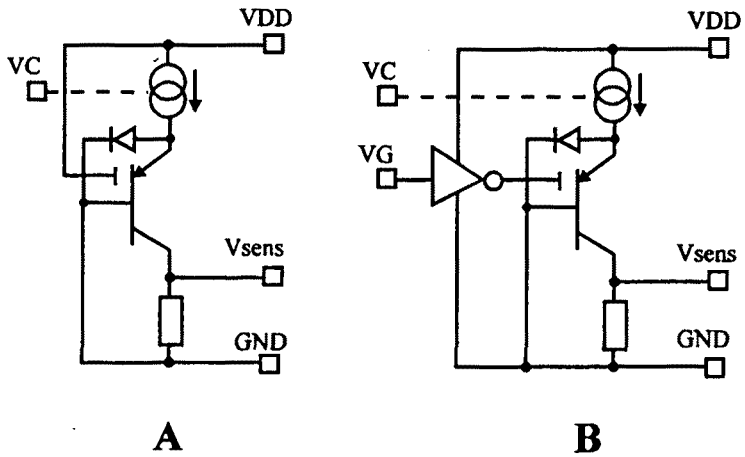


Figura 4.1: Esquemes elèctrics dels circuits A i B

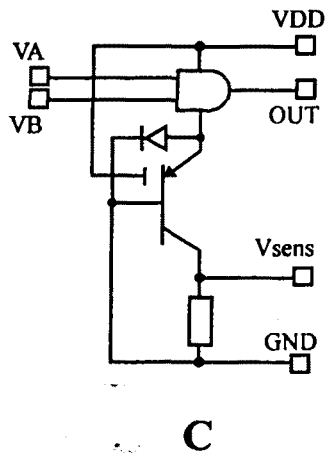


Figura 4.2: Esquema elèctric del circuit C

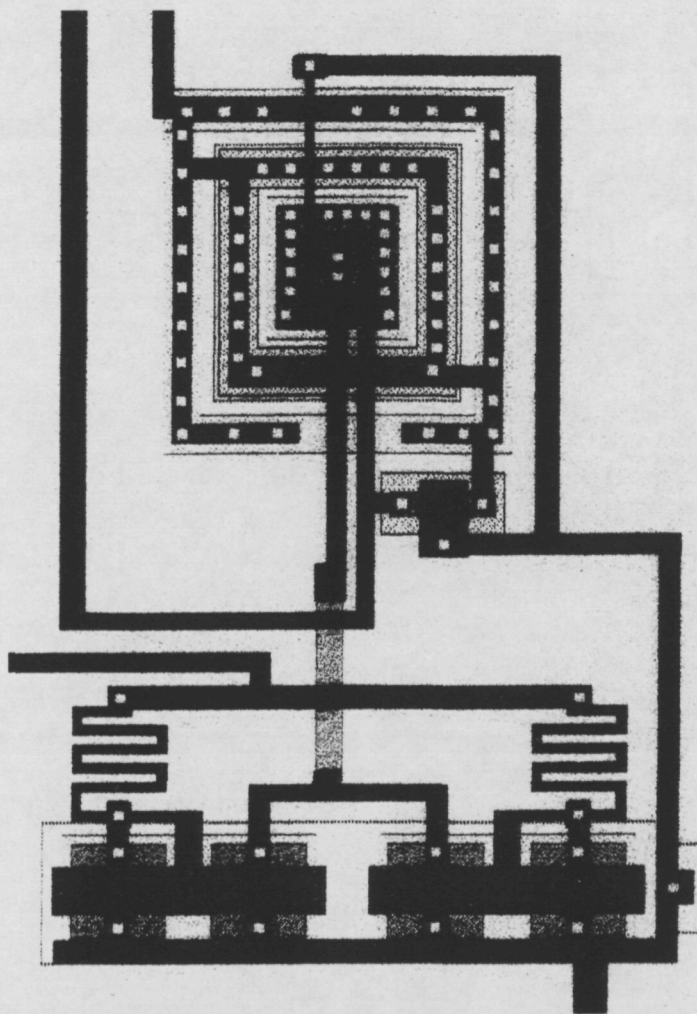


Figura 4.3: Layout del circuit A

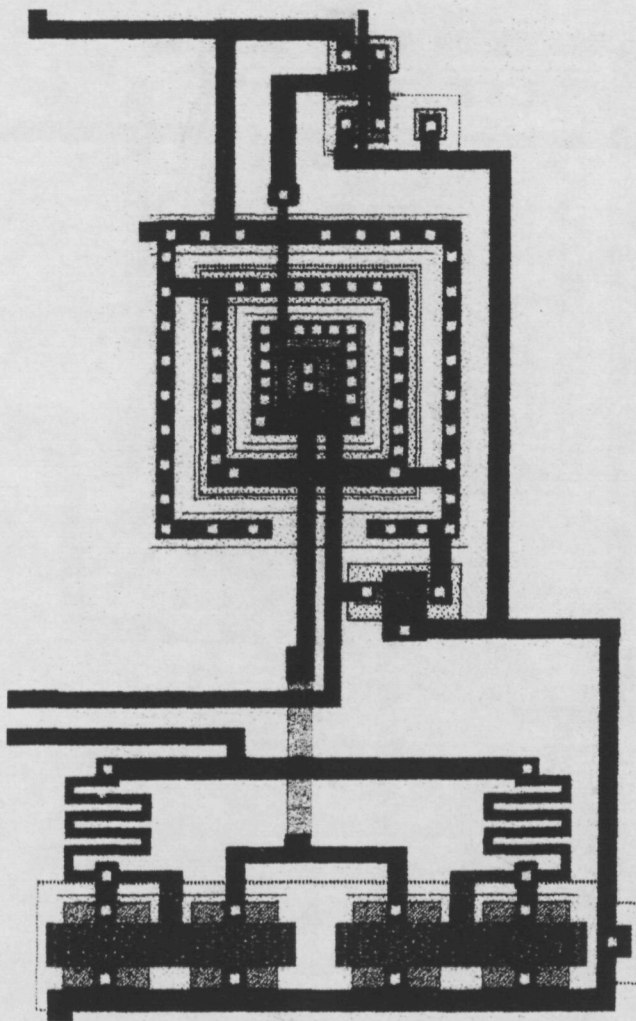


Figura 4.4: Layout del circuit B

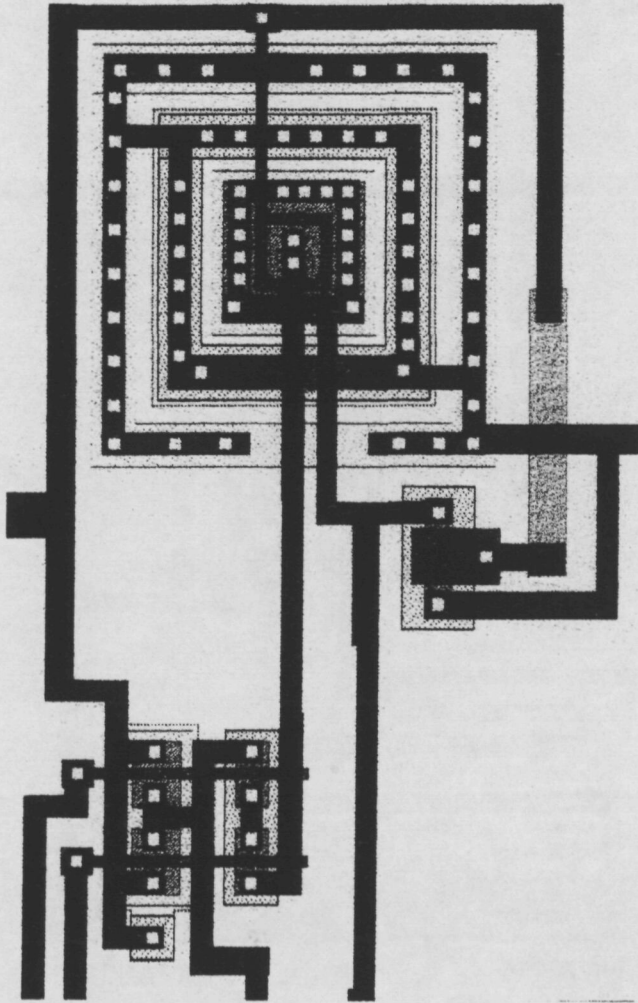


Figura 4.5: Layout del circuit C

voltatge constant V_{DD} . L'instrument utilitzat en la mesura és un traçador de corbes HP4145B [4]. El resultat de la mesura sobre el circuit **A** es pot veure a la figura 4.6. Com es pot comprovar, s'aprecien clarament les dues zones de treball del sensor (la proporcional fins a $I_{DDQ} \sim 90 \mu\text{A}$ i la de saturació per a corrents superiors). La sensibilitat del PBICS mesurada amb les dades de la corba de transferència és $S = 6400 \Omega$.

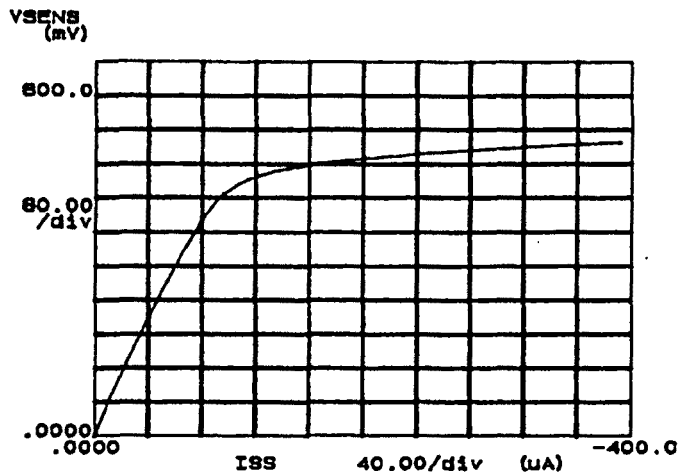


Figura 4.6: Funció de transferència del circuit **A**

La influència del voltatge de porta del CLBJT es mesura en el circuit **B** amb el mateix procediment que en el circuit **A** però aplicant a l'entrada V_G voltatges variables. El resultat es pot veure a la figura 4.7. Com es pot comprovar, el voltatge de porta modifica lleugerament el pendent de la zona proporcional, és a dir, modifica el guany del transistor CLBJT. Com s'ha dit anteriorment (capítol 3, secció 3.2), el voltatge de porta ha de ser tal que afavoreixi el comportament bipolar de l'estructura.

El procediment de mesura del circuit **C** és el següent: per cinc valors del voltatge a l'entrada V_B (entre 0 volt i V_{DD}) es fa variar V_A observant el voltatge a la sortida V_{SENS} . Aquest voltatge reproduïx la forma d'ona del corrent quiescent de la porta NAND de dues entrades. El resultat es pot veure a la figura 4.8. Per a comparar la correcció dels resultats experimentals

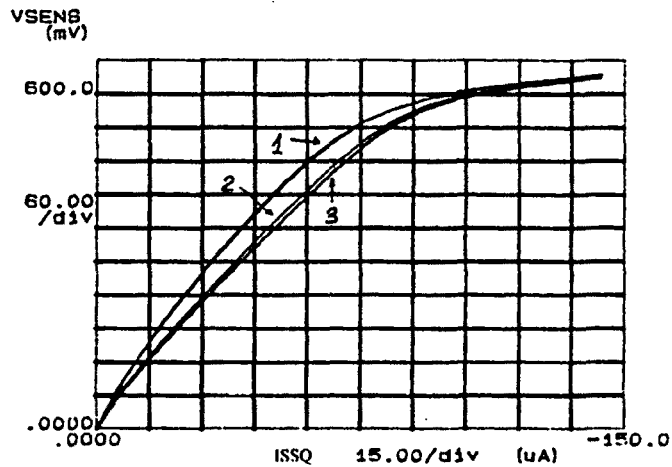


Figura 4.7: Resposta del circuit B. 1) $V_G = 0V$, 2) $V_G = 3V$, 3) $V_G = 5V$

amb el model de sensor, a la figura 4.9 es poden veure superposades les corbes simulades i experimentals.

4.2.2 Tecnologia ES2 de $1.5 \mu m$

S'han construït diferents circuits amb aquesta tecnologia per a comprovar el funcionament del PBICS. El primer és el circuit **STAPBICS** (figura 4.10) que inclou una VCCS per injectar un corrent I_{DDQ} controlat, el sensor i un comparador com el descrit a 3.2.3. En aquest circuit el node V_{SENS} no és accessible ja que està connectat al comparador, així, la determinació del voltatge V_{sens} es fa indirectament seguint el següent procediment:

1. es fixa un corrent I_{DDQ} conegut, a través del VCCS
2. es busca quin és el voltatge de referència V_{REF} a partir del qual s'activa el comparador
3. es fa $V_{sens} = V_{REF}$

Amb aquest procediment es construeix la corba de transferència de la figura 4.11

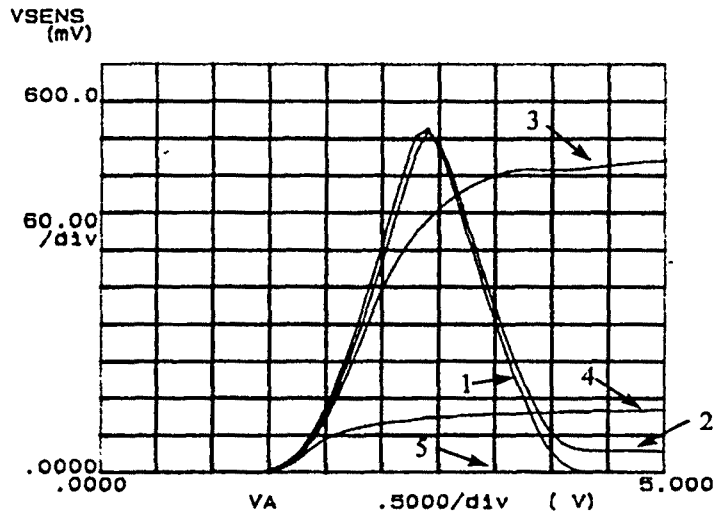


Figura 4.8: Resposta del circuit C. 1 $\rightarrow V_B = 5$ V, 2 $\rightarrow V_B = 4$ V, 3 $\rightarrow V_B = 3$ V, 4 $\rightarrow V_B = 2$ V, 5 $\rightarrow V_B = 1$ i 0 V.

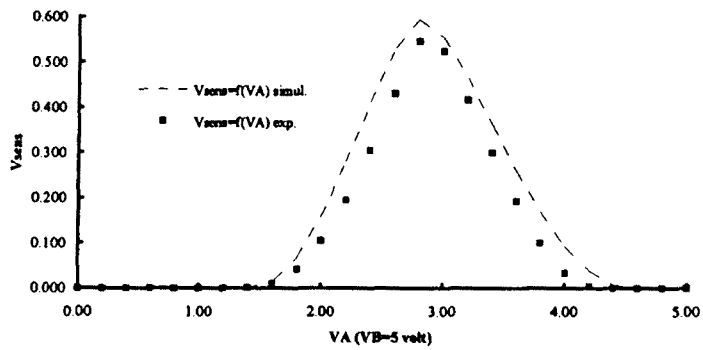


Figura 4.9: Corbes experimental i simulada de la resposta del circuit C amb $V_B = 5$ V

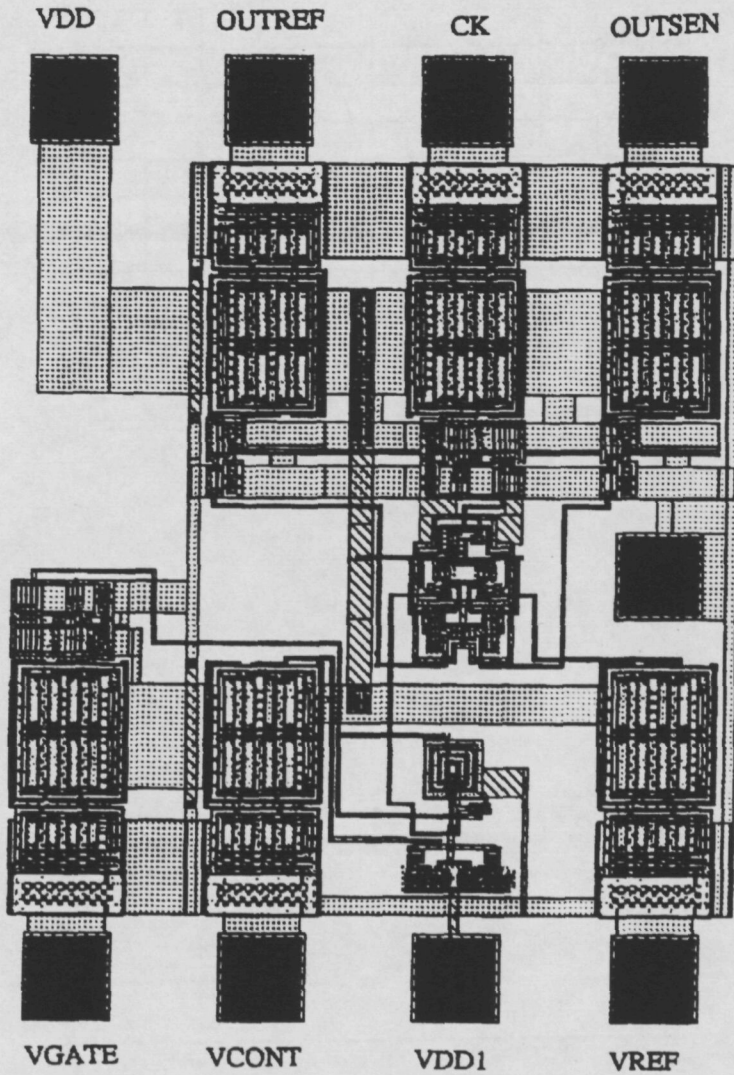


Figura 4.10: Layout del circuit STAPBICS

La figura 4.11 mostra la funció de transferència del PBICS obtinguda amb el circuit STAPBICS amb freqüència de rellotge de 1MHz i 10 MHz.

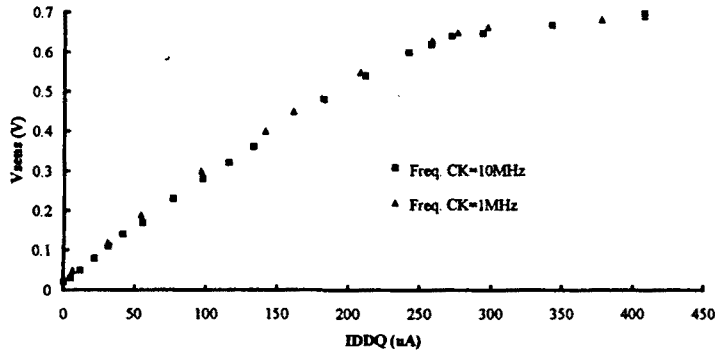


Figura 4.11: Funció de transferència obtinguda del circuit STAPBICS amb dos freqüències de rellotge

Un altre circuit de tecnologia $1.5 \mu m$ del que s'ha obtingut la característica de transferència és el **MPBICS**. Es farà una descripció detallada d'aquest circuit quan es presentin les mesures dinàmiques del PBICS. El circuit és un multiplicador de 3×3 bits que conté circuits addicionals que emulen ponts. Aquests ponts poden ser activats a voluntat per *pins* d'entrada especials. El procediment per a obtenir la funció de transferència és el mateix que el descrit per al circuit **STAPBICS**: activant un pont cada vegada, s'observa quin voltatge al node V_{REF} cal aplicar per a detectar el pont. Per a corrents I_{DDQ} per sota del marge de corrents dels ponts, s'ha construït la gràfica $V_{sens}-I_{DDQ}$ aplicant un corrent al node V_{GND} i observant quina tensió V_{REF} cal per a detectar el corrent injectat. La sensibilitat obtinguda amb aquest disseny és $S = 4490 \Omega$. La freqüència de rellotge del comparador utilitzada és de 1 MHz. Els resultats es mostren a la figura 4.12. Com es pot observar, el sensor té una resposta lineal fins un corrent quiescent de aproximadament $120 \mu A$.

4.2.3 Tecnologia ES2 de $1 \mu m$

Amb tecnologia ES2 de $1 \mu m$ es va construir el circuit **CIR4**. Aquest circuit està descrit amb detall al capítol dedicat a l'anàlisi de la degradació del

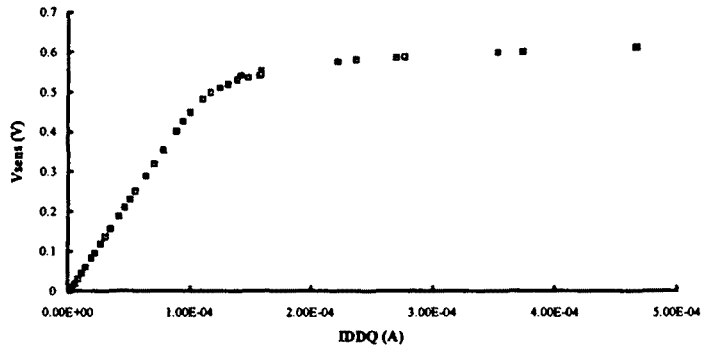


Figura 4.12: Funció de transferència del PBICS obtinguda amb el circuit MPBICS

Sensor	$I_{SL}(A)$	$I_{SV}(A)$	K	$S(\Omega)$
out320	$1.91 \cdot 10^{-17}$	$6.89 \cdot 10^{-17}$	0.277	4877
out323	$1.91 \cdot 10^{-17}$	$6.50 \cdot 10^{-16}$	0.029	762
out327	$1.91 \cdot 10^{-17}$	$11.67 \cdot 10^{-16}$	0.016	335
out3213	$1.91 \cdot 10^{-17}$	$16.81 \cdot 10^{-16}$	0.011	202

Taula 4.1: Corrents de saturació, sensibilitat i K de quatre sensors del circuit CIR4

retard (capítol 2, secció 2.2). El procediment per a obtenir la funció de transferència és el mateix que en els circuits anteriors. El circuit conté cadenes d'inversors amb sensors PBICS amb diferents paràmetres K , és a dir, sensors en que la relació del corrent de saturació del CLBJT i del díode D és diferent. A la taula 4.1 es mostra els diferents valors dels corrents de saturació, del paràmetre K i la sensibilitat obtinguda del sensor. A la figura 4.13 es mostra la resposta dels quatre sensors. Com es pot veure, el sensor out320 presenta la sensibilitat més alta i el out3213 la més baixa identificada pel pendent de la corba de transferència en la zona lineal.

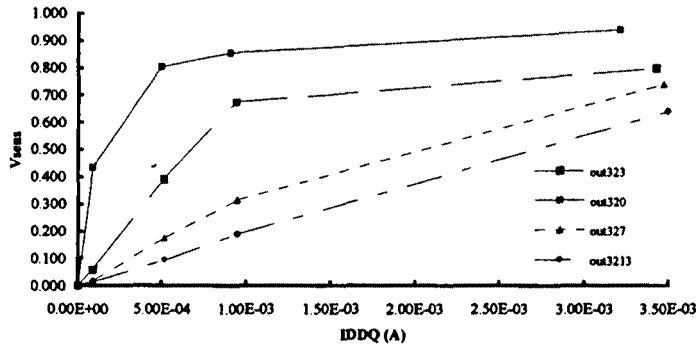


Figura 4.13: Resposta dels quatre sensors del circuit CIR4

4.2.4 Comentari

La sensibilitat dels sensors PBICS muntats sobre els circuits experimentals està dins del rang de $4 \frac{\text{mV}}{\mu\text{A}}$ a $7 \frac{\text{mV}}{\mu\text{A}}$. Aquests valors de sensibilitat són apropiats per a detectar corrents quiescents anormals mínimes $I_{DDQd_{\min}}$ en el rang de $50 \mu\text{A}$ a $100 \mu\text{A}$. Per $I_{DDQd_{\min}} = 100 \mu\text{A}$ i assumint que el corrent quiescent màxim d'un circuit sense defectes $I_{DDQd_{\max}}$ és de 100 nA , el factor de discriminabilitat està entre $\chi = 0.6$ i $\chi = 0.95$ que són uns valors acceptables. En canvi, si amb els sensors experimentals es pretén detectar $I_{DDQd_{\min}} = 1 \mu\text{A}$, llavors els factors de discriminabilitat estarien entre $\chi = 0.006$ i $\chi = 0.01$ que són valors excessivament petits.

No obstant, no hi ha cap raó per la que la sensibilitat del PBICS no pugui ser molt més gran. El paràmetre de disseny decisiu és el dimensionament de la resistència R_{sens} . Augmentant adequadament aquesta resistència és possible obtenir la sensibilitat necessària per a la detecció del corrent $I_{DDQd_{\min}}$ requerit. Per exemple, pel sensor out320, fent $R_{sens} \approx 2.7 \text{ M}\Omega$ obtindriem una sensibilitat de $600 \frac{\text{mV}}{\mu\text{A}}$ suficient per a obtenir un factor de discriminabilitat $\chi = 0.8$ per $I_{DDQd_{\min}} = 1 \mu\text{A}$.

En la següent secció s'explica el procediment per a mesurar el valor de R_{sens} i els valors obtinguts d'aquesta resistència en els sensors experimentals.

4.3 MESURA DE LA RESISTÈNCIA R_{sens}

La resistència R_{sens} del sensor PBICS està construïda per un transistor NMOS connectat entre el col·lector del CLBGT i terra. Aquest transistor té el terminal de porta connectat a $V_{DD} = 5 \text{ V}$ i la tensió V_{DS} és molt petita ($V_{DS} \leq 0.7 \text{ V}$), per tant, el transistor treballa a la zona ohmica amb resistència pràcticament constant. El valor de la resistència pot ser ajustat dimensionant adequadament la longitud i l'amplada del canal del transistor.

En aquesta secció es recull el procediment seguit per a determinar el valor d'aquesta resistència en els sensors experimentals.

4.3.1 Tecnologia ES2 de $2 \mu\text{m}$

Es va mesurar la resistència del transistor NMOS (R_{sens}) utilitzant el circuit **A** i el circuit **B**. Per això, es va desconnectar la VCCS aplicant un voltatge adient al node VC. Fent treballar al HP4145B com a font de corrent i voltímetre es va obtenir la gràfica de la resistència R_{sens} en funció del voltatge al node VSENS. El valor mig obtingut de R_{sens} fou de 11750Ω .

4.3.2 Tecnologia ES2 de $1.5 \mu\text{m}$

Utilitzant el mateix procediment amb el circuit **MPBICS** es va obtenir una resistència R_{sens} de 11540Ω .

4.3.3 Tecnologia ES2 de $1 \mu\text{m}$

Utilitzant el mateix procediment amb el circuit **CIR4** el valor de R_{sens} que es va obtenir va ser de 20306Ω .

4.4 MESURES SOBRE EL COMPARADOR

L'objectiu de les mesures sobre el comparador és determinar:

- la mesura de l'*offset* del comparador
- la mesura del temps de resposta

El disseny utilitzat en tecnologia ES2 de $2 \mu\text{m}$ i $1.5 \mu\text{m}$ es pot veure a la figura 4.14. Els resultats van ser els mostrats a la taula 4.2. Com es pot veure, el temps de resposta dels comparadors és molt petit però, en

Circuit	V_{OFFSET}	retard
COMPBICS	20 mV	11 ns
MPBICS	20 mV	5.8 ns
CIR4	110 mV	7 ns

Taula 4.2: V_{OFFSET} i retard dels comparadors implementats en el PBICS

canvi, la tensió de *offset* és bastant elevada. Això és degut a que l'objectiu buscat en el disseny va ser obtenir el comparador més senzill i ràpid possible (capítol 3, secció 3.2). Tanmateix, aquest comparador no disposa de circuits de compensació de V_{OFFSET} . Un altre enfoc, proposat a [6] inclou circuits de compensació que permetrien aconseguir $V_{OFFSET} \leq 1$ mV amb temps de resposta de 30 ns. El disseny i la fabricació d'un sensor amb aquest enfoc forma part del treball a desenvolupar en el futur.

El temps de resposta de la taula 4.2 està mesurat comparant el voltatge V_{sens} desenvolupat quan s'aplica un corrent quiescent de 100 μ A a l'entrada de cada sensor, amb una tensió de referència de 0 volt i activant el rellotge CK. El temps està mesurat des del flanc de baixada del rellotge fins que la sortida del comparador assoleix el nivell lògic alt.

4.5 PROVES DINÀMIQUES

L'objectiu de les proves dinàmiques és determinar la freqüència màxima de funcionament del PBICS davant de corrents quiescents anormals de diferents valors. Un altre objectiu és validar el model dinàmic del PBICS presentat al capítol 3.

4.5.1 Circuits de tecnologia ES2 1.5 μ m

El primer experiment s'ha realitzat amb el circuit **STAPBICS** aplicant al senyal VC un tren d'impulsos de 1.16 MHz i al senyal de rellotge CK del comparador impulsos de 10.37 MHz. Els resultats mostren el bon funcionament del sensor en aquestes freqüències. La caracterització completa d'un sensor PBICS s'ha fet, però, utilitzant el circuit **MPBICS** [5].

Aquest circuit és un multiplicador combinacional de 3×3 bits amb 264 transistors fabricat amb tecnologia ES2 de 1.5 μ m. El sensor PBICS està connectat al nucli del circuit (al multiplicador) i no als *pads* ja que el *layout* d'aquests està definit per una llibreria del fabricant i no pot ser modificat.

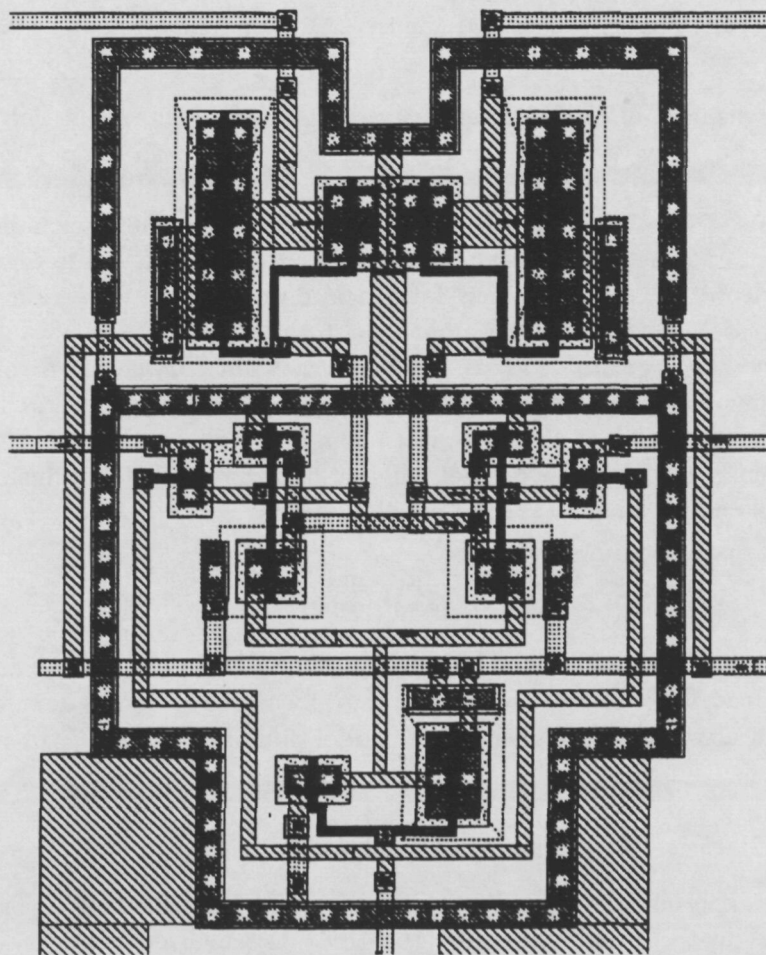


Figura 4.14: Layout del comparador del sensor PBICS en tecnologia ES2 de $2 \mu\text{m}$ i $1.5 \mu\text{m}$

Un diagrama de blocs del circuit es pot veure a la figura 4.15 i una fotografia del circuit a la figura 4.16.

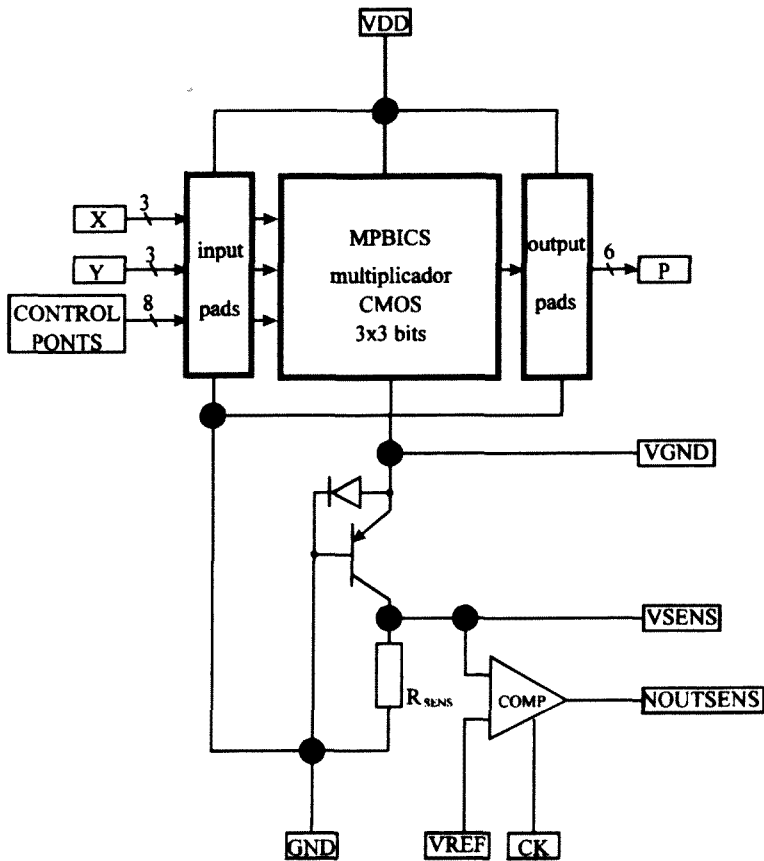


Figura 4.15: Diagrama de blocs del circuit MPBICS

Junt amb el circuit **MPBICS** s'ha fabricat un circuit idèntic però amb els nodes **VSENS** i **VGND** units i sense resistència R_{sens} . El nom d'aquest circuit és **MULRI**. També s'ha construït un tercer circuit idèntic al **MPBICS**: el **MPBICS2** on l'única diferència amb el circuit **MPBICS** és que el node **VSENS** no és accessible a través d'un *pin*. Els tres circuits tenen el node **VGND** accessible i la sortida del comparador **OUTSENS** indica si el sensor detecta corrents I_{DDQ} anormals. Els circuits també incorporen una

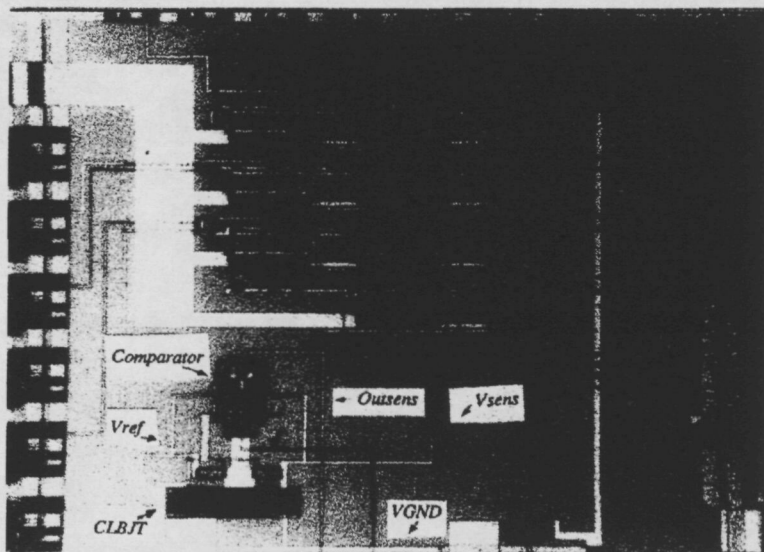


Figura 4.16: Fotografia del circuit MPBICS

entrada VREF on es pot connectar una font d'alimentació que subministri el voltatge de referència necessari pel comparador. Els tres circuits disposen, a més, de circuits addicionals que emulen 8 ponts per mitjà de portes de transmissió i resistències en sèrie. Cada pont pot ser activat externament via un *pins* específics. La taula 4.3 mostra els corrents generats per cada pont (valor mig).

El sensor PBICS s'ha dissenyat amb un transistor CLBJT gran per tal de minimitzar la degradació del retard del multiplicador. Les seves mides són: àrea de l'emissor: $1965 \mu\text{m}^2$, àrea del díode (unit a l'emissor): $6177 \mu\text{m}^2$, àrea del col·lector: $20123 \mu\text{m}^2$.

S'han mesurat els paràmetres estàtics del PBICS: R_{sens} , S i K . El valor de R_{sens} s'ha mesurat pel mètode descrit en la secció 4.3. Per a mesurar S s'ha obtingut la gràfica $I_{DDQ}-V_{sens}$ i s'ha calculat el pendent a la regió proporcional. Finalment K s'ha obtingut de la relació: $K = \frac{S}{R_{sens}-S}$ (capítol 3, secció 3.3). Els resultats són: $R_{sens} = 11540\Omega$, $S = 4490\Omega$ i $K = 0.64$.

Falta, doncs, determinar C_1 i C_2 per a caracteritzar completament el sensor.

Per a mesurar aquestes capacitats s'ha seguit el següent procediment:

Pont	$I_{DDQ}(\mu A)$
CA1	460
CA2	160
CB1	459
CB2	256
CB3	222
CC1	360
CC3	142
CD2	370

Taula 4.3: Corrents generats per cada pont del circuit MPBICS

com s'ha dit abans el circuit **MULRI** és idèntic al **MPBICS** però té els nodes VGND i VSENS curtcircuitats. Per això, el sensor resultant té transformat el CLBJT en un díode. També la resistència interna R_{sens} ha estat substituïda per una resistència externa connectada al *pin* VGND. Amb aquesta disposició, les capacitats C_1 i C_2 es sumen i $V_{sens} = V_{VGND}$. Així, connectant una resistència externa de valor adequat, activant i desactivant un pont, observant l'evolució temporal de $v_{sens}(t)$ i ajustant aquesta evolució a una caiguda exponencial és possible calcular $C_1 + C_2$. S'han utilitzat dos valors de resistència externa: $R_1 = 1187\Omega$ i $R_2 = 4826\Omega$. Els resultats obtinguts es mostren a la figura 4.17 on es comparen amb l'evolució de $v_{sens}(t)$ del **MPBICS**.

El valor trobat de $C_1 + C_2$ va ser de 22.17 pF.

Per trobar el valor de C_2 es caracteritza primer la resposta del PBICS. El procediment utilitzat és el següent: es connecta el circuit **MPBICS2** a un *tester* HP82000 i s'apliquen els 64 vectors de la seva taula de la veritat mentre s'activa un pont per generar corrent quiescent en els vectors que exciten el pont. Una font de tensió programable es connecta al node VREF. Observant el *pin* OUTSENS a diferents moments dins del període de cada vector, es pren nota de quin valor de V_{REF} cal aplicar per a detectar el pont. D'aquesta manera es pot construir una imatge de l'evolució del voltatge $v_{sens}(t)$ sense tenir accés físic al node VSENS si s'assumeix que, en el moment en que es detecta el pont, $V_{sens} = V_{REF}$, o sigui, que l'*offset* del comparador és zero. La figura 4.18 mostra el resultat obtingut.

A la figura 4.18 es mostra també la resposta teòrica del sensor amb un ajust RC. Com es pot veure el comportament real del sensor del circuit **MPBICS2** s'ajusta molt bé al model RC. Aquest fet és degut a la gran

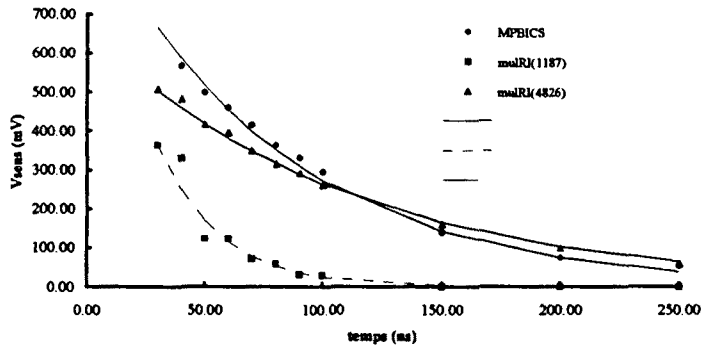


Figura 4.17: Resposta temporal de $v_{sens}(t)$ per a trobar $C_1 + C_2$. Les línies son ajustos del tipus $y = Ae^{-\frac{t}{\tau}}$.

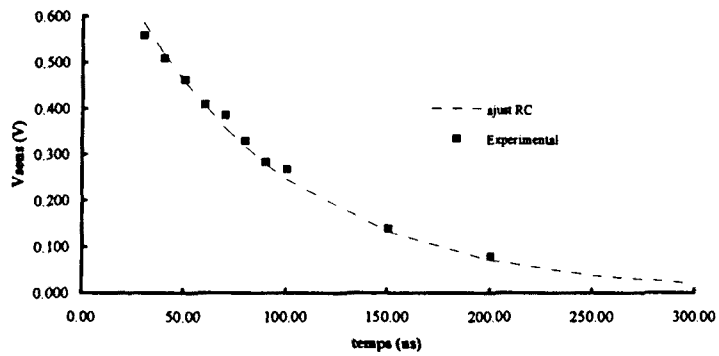


Figura 4.18: Resposta experimental i aproximació RC del sensor PBICS del circuit MPBICS2

mida del CLBPT utilitzat en el disseny del sensor i, per tant, al valor gran de la capacitat C_2 . Així, acceptant que la resposta del sensor és del tipus RC, es pot estimar el valor de C_2 . El valor obtingut, per ajust de la corba de la figura 4.18 és $C_2 = 6.74$ pF.

Amb el valor de C_2 és possible ara calcular C_1 per substracció. El seu valor és $C_1 = 15.43$ pF. Els valors trobats per a C_1 i C_2 són consistents amb el comportament de descàrrega RC observat en el sensor.

Per trobar la freqüència màxima del sensor s'ha seguit el següent procediment:

1. Es connecta el circuit **MPBICS2** al *tester* HP82000 i s'apliquen els 64 vectors de la taula de la veritat del multiplicador. Cada vegada que els vectors s'apliquen, s'excita un pont diferent.
2. Observant la sortida OUTSENS, per a cada pont es fan dues mesures:
 - el voltatge V_{REF} màxim que **no detecta** el corrent I_{DDQ} anormal en els vectors en que el pont és excitat
 - el voltatge V_{REF} mínim que **detecta** un corrent I_{DDQ} anormal en algun dels vectors que **no exciten** el pont

Aquest test es realitza a diferents freqüències de tal manera que es determinen els voltatges màxims i mínims abans mencionats per a cada freqüència. Els resultats es poden veure a les figures 4.19, 4.20 i 4.21.

En aquestes figures es pot observar com a 8 MHz el PBICS té prou marge en el voltatge V_{REF} per a discriminar la presència de qualsevol dels punts del circuit **MPBICS**. A 10 MHz, el voltatge màxim i mínim es confonen i la presència dels punts no pot ser assegurada en tots els casos.

4.5.2 Experiments amb tecnologia ES2 de 1 μm

Amb aquesta tecnologia es va construir el circuit **CIR4**, ja descrit anteriorment (capítol 2, apartat 2.2.6). Un conjunt de set cadenes d'inversors (des de 16 fins a 64 inversors) amb sensors PBICS de diferents mides. Per tal de mesurar la resposta del sensor, s'afageixen en paral·lel amb el CLBPT díodes que connecten directament el node VGND amb terra. El disseny del díode és modular, de manera que es pot ajustar els paràmetres de cada díode connectant el nombre desitjat de mòduls. A la taula 4.4 es mostra la distribució de mòduls per a cada sensor i a la taula 4.1 es poden veure el corrent invers de saturació de cada díode i el valor de K resultant.

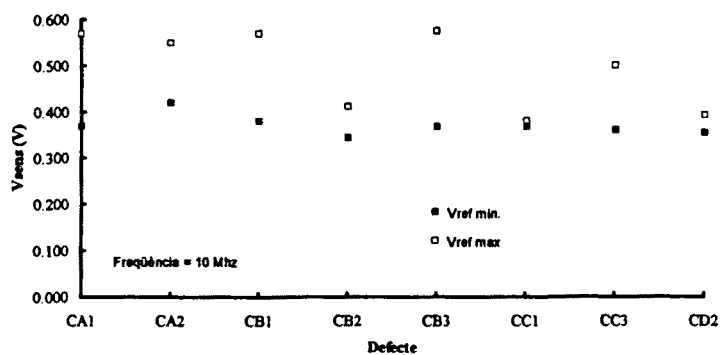


Figura 4.19: Marges entre $V_{REF\ min}$ i $V_{REF\ max}$ a 10 MHz

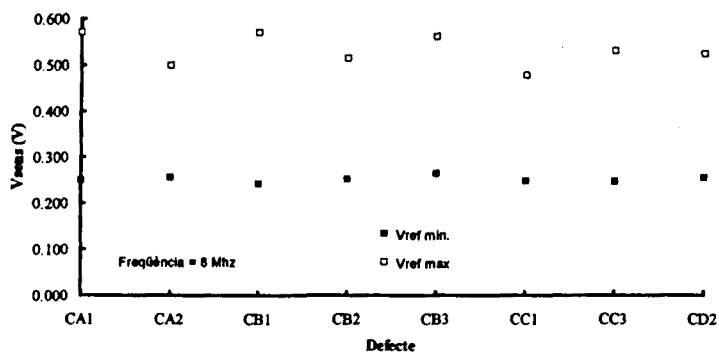


Figura 4.20: Marges entre $V_{REF\ min}$ i $V_{REF\ max}$ a 8 MHz

Sensor	n. mòduls
out 320	0
out xx3	3
out 327	7
out3213	13

Taula 4.4: Número de mòduls dels díodes dels sensors de CIR4

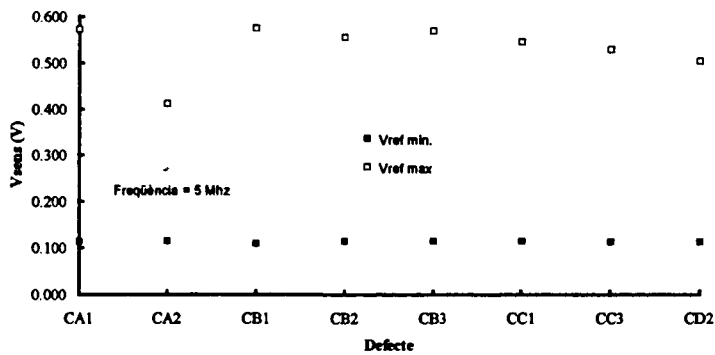


Figura 4.21: Marges entre $V_{REF\ min}$ i $V_{REF\ max}$ a 5 MHz

Utilitzant la tècnica descrita a l'apartat anterior, es determina l'evolució de $v_{sens}(t)$ per a cada sensor. Els resultats es poden veure a la figura 4.22.

Com es pot comprovar, l'evolució del voltatge al node VSENS és més ràpida com més gran és el díode. Això és degut a que amb la presència dels díodes el corrent de descàrrega de la capacitat del node VGND és més gran i, per tant, el voltatge del node VGND disminueix més ràpidament. Com a conseqüència, el corrent a través del CLBJT disminueix més ràpidament i la resposta del voltatge V_{sens} és més ràpida. Per contra, com s'ha vist abans (secció 4.2.3) la sensibilitat del sensor és molt menor quan s'hi afegeix els díodes. No obstant, per corrents quiescents anormalment grans ($\sim 900\ \mu A$), s'ha comprovat que la velocitat dels quatre sensors és molt semblant: 17 MHz per el out320 i 18 MHz pels altres.

4.6 CONCLUSIONS

En aquest capítol hem descrit els experiments realitzats amb sensors PBICS construïts amb diferents tecnologies. S'han realitzat dos tipus de proves: estàtiques, on s'ha obtingut la funció de transferència $V_{sens} - I_{DDQ}$ del sensor i dinàmiques, on s'ha mesurat la velocitat de funcionament. Les proves estàtiques han validat els anàlisis fets al capítol 3 respecte el comportament proporcional del sensor per a un marge donat de corrents quiescents i l'expressió que determina el nivell de tensió de sortida del sensor en funció

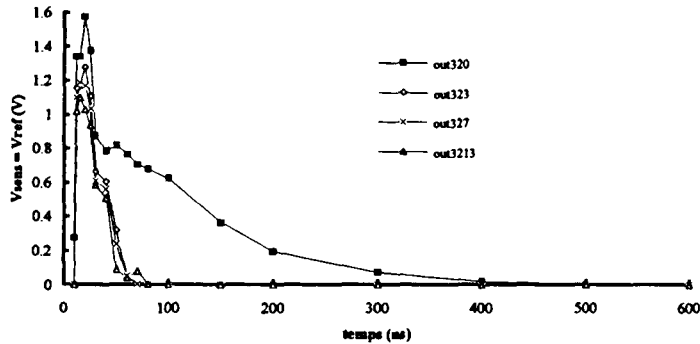


Figura 4.22: Evolució de $v_{sens}(t)$ de quatre sensors del circuit CIR4. out320 = 0 díodes, out323 = 3 díodes, out327 = 7 díodes, out3213 = 13 díodes.

del corrent quiescent. També han permès obtenir els paràmetres estàtics del sensor i del comparador per a tecnologies ES2 de $2 \mu\text{m}$, $1.5 \mu\text{m}$ i $1 \mu\text{m}$. Les proves dinàmiques han mesurat la velocitat del sensor, del comparador i han permès obtenir els seus paràmetres dinàmics. El conjunt de proves han caracteritzat completament els sensors PBICS experimentals i han validat els anàlisis realitzats en el capítol 3. Les característiques més importants dels sensors experimentats, per a un corrent quiescent de $100 \mu\text{A}$ són: sensibilitat de 4 a $7 \frac{\text{mV}}{\mu\text{A}}$, factor de discriminabilitat χ de 0.6 a 0.85, velocitat de 10 MHz.

Els resultats obtinguts mostren que el sensor PBICS és una opció vàlida per a incorporar el test I_{DDQ} *on-chip* en el disseny de circuits CMOS construïts amb les tecnologies abans esmentades.

Bibliografia

- [1] European Silicon Structures. Dual Layer Metal 2um CMOS Design Rules ECDM20. Marc 1988.
- [2] European Silicon Structures. Dual Layer Metal 1.5um CMOS Design Rules ECPD15. Gener 1989.
- [3] European Silicon Structures. ES2 1.0um CMOS Design Rules ECPD10. Desembre 1992.
- [4] Hewlett Packard. DC Parametric Analysis of Semiconductor Devices. *Application note 315*, 1990.
- [5] Josep Rius, Joan Figueras. Dynamic Characterization of Built-in Current Sensors based on PN Junctions: Analysis and Experiments. *Journal of Electronic Testing, Vol 9, No. 3*, pàgines 295–310, Decembre 1996.
- [6] Victor Suñé. *Disseny, emprant tecnologia CMOS digital, d'un comparador ràpid de baix offset per a test IDDQ*. PFC, UPC, Barcelona, Maig 1995.

Capítol 5 .

Test per vigilància del consum amb un sensor *off-chip*

5.1 INTRODUCCIÓ

Els sensors *on-chip* descrits en els capítols anteriors presenten com avantatge que la freqüència de test és elevada cosa que, teòricament, podria permetre fer el test *on-line*. No obstant, com s'ha vist, aquests sensors degraden el temps de resposta del circuit i ocupen una àrea de Silici no negligible. Els fabricants de circuits integrats, fins ara, realitzen el test per vigilància del corrent quiescent dels seus circuits utilitzant tècniques *off-chip* que, tot i que són més lentes, no penalitzen el funcionament normal del circuit. La millora de les tècniques i sensors *off-chip* per al test per corrent és doncs, un camp molt actiu de recerca i desenvolupament.

En aquest capítol es descriu l'anàlisi, el disseny i la implementació d'un sensor *off-chip* per al test *off-line*. Entre les diferents solucions proposades (capítol 1 d'aquesta tesi) s'ha seleccionat la tècnica basada en l'enfoc de Keating-Meyer [13] per la seva senzillesa i per presentar la millor sensibilitat. El sensor està integrat en una màquina de test industrial (HP82000) el que permet comparar-lo amb els sensors *off-chip* industrials publicats [11][9][5][7][8][2]. En aquest capítol s'analitzen les diferents parts de l'estructura del sensor, s'avaluen els requisits que ha de complir cada part, els seus avantatges i inconvenients, les perturbacions que aporten al sistema i es donen solucions als problemes creats per cada element. Com a aplicació

dels resultats obtinguts, es presenta un banc de treball que implementa el sensor descrit sobre una màquina de test automàtic digital HP82000 [19]. Aquest banc de treball, a més, permet ser utilitzat com banc de proves per al desenvolupament de tècniques de mesura i test basades en el consum del circuit.

Cal resaltar que el sensor *off-chip* que es presenta innova alguns aspectes del mètode de test que no han estat resolts o tractats fins ara a la literatura. En primer lloc, es proposa una solució al problema de la injecció de càrrega que es presenta en tots els sensors que empren un interruptor connectat al node d'alimentació. En segon lloc, el sensor *off-chip* està integrat a una màquina de test convencional de la que aprofita tots els recursos *hardware* i *software*. Finalment, es fa una anàlisi de la capacitat entre V_{DD} i GND que estudia les parts de que està composta.

5.2 ANÀLISI DEL MÈTODE DE KEATING-MEYER

M. Keating i D. Meyer van idear una tècnica per a determinar el corrent quiescent per un mètode indirecte: a través de la mesura de la caiguda de tensió en el *pin* d'alimentació d'un circuit quan se li desconnecta la font d'alimentació [13]. Un circuit CMOS té una capacitat intrínseca entre el node VDD i el GND que resta carregada quan el circuit es desconnecta. Aquesta capacitat només es descarrega per la presència de corrents de fuga (molt dèbils en circuits sense defectes) o per corrents degudes a algún defecte. A la figura 5.1 es mostren els principals elements que prenen part en la mesura del corrent quiescent.

La capacitat C_{DD} mostrada en la figura, és la suma de les capacitats internes degudes a les unions PN polaritzades inversament de les regions de difusió i dels pous del circuit, a les capacitats formades a través de l'òxid de porta i a les capacitats del *layout*. A més, en els sensors que es basen en la tècnica de Keating i Meyer s'afegeix una capacitat externa que contribueix també a C_{DD} .

Durant el funcionament normal del CUT, durant les commutacions de les entrades, l'interruptor és tancat. Un cop el transitori ha acabat, la capacitat C_{DD} està carregada i l'interruptor s'obre. La capacitat C_{DD} subministra l'energia consumida pel CUT. D'aquesta manera, el voltatge del node flotant VDD disminueix amb una velocitat proporcional al corrent quiescent I_{DDQ} , suposant que la capacitat C_{DD} i el corrent I_{DDQ} romanen constants. Tenint

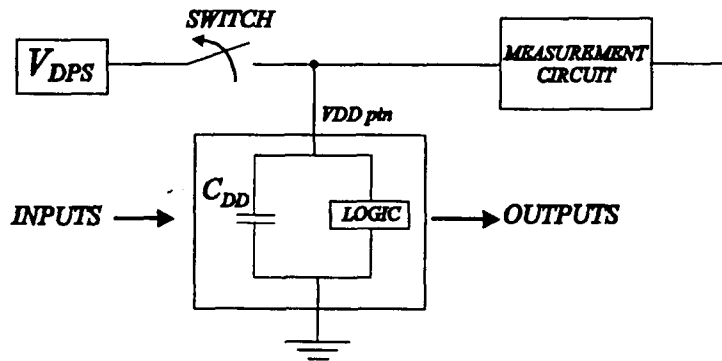


Figura 5.1: Esquema de la tècnica de Keating-Meyer (versió I_{DDQ})

en compte aquestes consideracions, la relació entre la tensió d'alimentació del CUT (V_{DD}) i el seu consum de corrent quiescent és:

$$\frac{dV_{DD}}{dt} = \frac{I_{DDQ}}{C_{DD}} \quad (5.1)$$

Per tant, mesurant el pendent de la caiguda de tensió i coneixent el valor de C_{DD} dins de toleràncies acceptables, es pot obtenir una acurada mesura del corrent quiescent. En la figura 5.2 es pot apreciar el diagrama temporal d'aquesta tècnica.

Si existeix un defecte en el circuit que provoqui un consum anormal de corrent quiescent i aquest defecte és excitat per un vector d'entrada del CUT, aleshores la tensió del node flotant V_{DD} disminueix molt més ràpidament que si no hi ha defecte (o no és excitat). El voltatge al node flotant V_{DD} no pot disminuir fins un valor arbitràriament baix ja que la presència dels díodes de protecció connectats entre els *pads* d'entrada del CUT i V_{DD} [14] limita la caiguda màxima de la tensió del node flotant. A més, la caiguda de tensió ha de ser prou petita per no perdre els estats lògics interns del circuit, i prou gran per tenir el temps necessari per calcular el decrement de tensió. Aquest comportament del voltatge al node flotant permet determinar si el CUT té un corrent quiescent anormal per dos mètodes: per mesura directe del pendent de la tensió del node flotant V_{DD} , i per mesura de la seva caiguda de tensió en un interval de temps donat. L'avantatge del mètode de test per corrent proposat per Keating-Meyer és la gran sensibilitat que

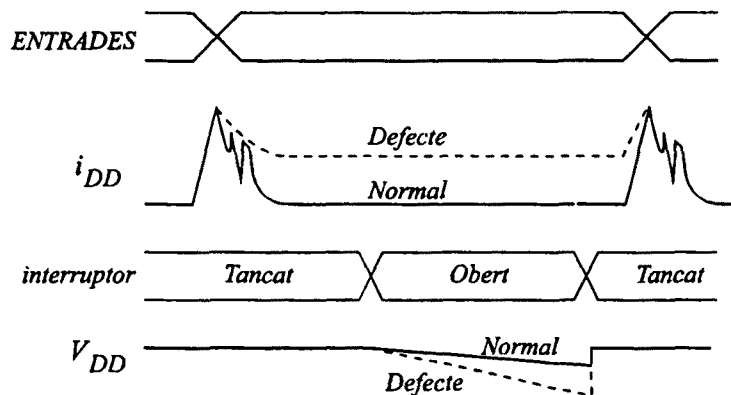


Figura 5.2: Diagrama temporal de la tècnica de Keating-Meyer (versió I_{DDQ})

s'obté, només limitada pel corrent de fuga en l'interruptor o el circuit de mesura i per l'interval de temps màxim especificat per a la mesura.

En les següents seccions s'analitzaran els components bàsics del sensor *off-chip* basat en la tècnica de Keating-Meyer: l'interruptor, la capacitat al node V_{DD} i el circuit de mesura. A continuació es presentarà una aplicació pràctica del sensor sobre una màquina de test HP82000.

5.3 L'INTERRUPTOR

La missió de l'interruptor és desconectar el pin d'alimentació VDD del CUT (en la versió I_{DDQ} del sensor) o el pin de terra VSS (en la versió I_{SSQ} del sensor) de la font d'alimentació. És la part més crítica i la que ha portat més problemes degut a les característiques no ideals que presenten els interruptors implantats en els sensors publicats.

5.3.1 Requisits de l'interruptor

L'interruptor ha de tenir una gran velocitat de commutació i fer la desconexió del CUT de la font d'alimentació sense pertorbar les seves característiques elèctriques. És a dir, per a la versió I_{DDQ} del sensor, en el moment en que l'interruptor és desconectat, la tensió d'alimentació V_{DD} ha de romandre estable i que no han d'existir fuites a través de l'interruptor.

Per la seva banda, a la versió I_{SSQ} , la tensió del node GND ha de romandre estable a 0 volt. Per tant, les principals característiques de l'interruptor ideal requerides per l'estructura de Keating i Meyer són:

- Impedància infinita quan està obert
- Impedància nul·la quan està tancat
- Temps de commutació nul
- Mínima pertorbació introduïda en el sistema

En l'anàlisi que segueix de l'interruptor, estudiarem les seves característiques suposant que treballem amb la versió $IDDQ$ de la implementació del mètode de Keating-Meyer. Les valoracions que es facin són, tanmateix, vàlides per a la versió $ISSQ$.

Per avaluar l'interruptor, és important recordar l'ordre de magnitud dels diferents corrents que han de fluir a través d'ell. Els CI CMOS generen un gran corrent transitori mentre es produeixen els canvis dels estats lògics. Aquest corrent és provocat per la càrrega de les capacitats internes i externes del circuit i per el corrent de curtcircuit que circula a través dels transistors complementaris en el moment de la commutació [12]. El valor del corrent transitori depèn del número de portes que commuten el seu estat per cada parell de vectors d'entrada i, per grans circuits, la duració del transitori pot ser d'alguns centenars de nanosegons a causa de la gran duració de les cues de corrent [18][16]. El corrent transitori pot arribar a tenir un valor màxim d'alguns amperes per circuits VLSI [13][3][6] i, per tant, l'interruptor ha de tenir una resistència de conducció molt baixa per tal de minimitzar la caiguda de tensió entre els seus extrems durant el transitori de commutació. Per tant, el màxim corrent que passa per l'interruptor és un paràmetre crític a l'hora de seleccionar o dissenyar l'interruptor.

L'ús de semiconductors com interruptors és necessari degut a que els relés són massa lents (tenen freqüències de commutació inferiors a 1 KHz) i introdueixen rebots en les commutacions. Entre les diferents estructures de semiconductors es troben els díodes, els BJT i els FET. El principal avantatge dels FET com interruptor davant la resta, és que en la condició ON els portadors no atravessen unions PN tal com ho fan en un interruptor amb BJT o amb díode, i per això no presenta una tensió d'offset inherent en l'estat de conducció. A més, els corrents poden circular en qualsevol direcció a l'estat ON i estan interceptats igualment en qualsevol direcció a l'estat OFF.

Els FETs presenten altres avantatges quan treballen com interruptors: gran impedància en l'estat OFF i baixa impedància en l'estat ON, opera de forma bilateral per senyals analògiques i requereix baixa potència de control. Malgrat això, un FET que permeti passar grans corrents amb la mínima caiguda de tensió pot introduir problemes d'injecció de càrrega [4].

La transferència de càrrega depèn de la capacitat porta-drenador (la capacitat porta-sortidor no afecta a la mesura doncs la tensió del node sortidor es considera prou constant com per absorbir qualsevol pertorbació elèctrica) i de l'excursió de tensió del senyal de porta. El valor de la capacitat porta-drenador C_{gd} és una funció complexa de la tensió de porta a drenador V_{GD} , de la tensió llindar i de la geometria del transistor [4][21], no obstant, en l'anàlisi que segueix es considerarà aquesta capacitat com constant e igual al seu valor mig en tot el rang de l'excursió de tensió del senyal de porta. Així, la quantitat de càrrega injectada (Q_{inj}) en el drenador es pot expressar per la següent relació:

$$Q_{inj} = C_{gd} (V_{GD}(final) - V_{GD}(inicial)) \quad (5.2)$$

On C_{gd} és la capacitat porta-drenador i $V_{GD}(final) - V_{GD}(inicial)$ és l'excursió de la tensió de porta a drenador.

Així, per un interruptor FET donat i un mateix salt de tensió de porta a drenador, la quantitat de càrrega és directament proporcional a la capacitat C_{gd} . Aleshores, l'intensitat que s'injecta al sistema (i_{inj}) és:

$$i_{inj} = \frac{dQ_{inj}}{dt} = C_{gd} \frac{dV_{GD}}{dt} \quad (5.3)$$

A partir de (5.3) es pot apreciar com variant el pendent de la tensió de porta, la distribució de les càrregues en el temps és diferent malgrat que la quantitat de càrrega és la mateixa ja que l'excursió de tensió és constant. L'amplitud màxima d'intensitat ($i_{inj\ max}$) vé donada pel pendent de la tensió de porta a drenador.

Les fuites de corrent de l'interruptor quan està obert són degudes a les polaritzacions inverses de les unions PN del FET. La magnitud del corrent de fuites està molt lligada a la tensió entre sortidor i drenador. Per la tecnologia industrial actual aquestes fuites són molt dèbils a la temperatura ambient ($I_{leakage} < 1\ nA$ a $25\ ^\circ C$ en transistors MOSFET de potència [4]).

Aleshores, i degut a les condicions requerides pel test per corrent a l'interruptor FET, destaquen dos elements crítics: la transferència de càrrega per la commutació de l'interruptor i el valor de la resistència de conducció del FET per evitar caigudes de tensió quan circulen grans corrents.

5.3.2 Solucions prèvies

En els últims cinc anys, han aparegut diferents monitors i sensors que utilitzen la tècnica de Keating-Meyer. Es podria dir que els dos problemes més importants que s'han trobat els dissenyadors a l'hora d'implementar l'interruptor són: la càrrega injectada per les capacitats paràsites porta-drenador del FET quan aquest està commutat i la caiguda de tensió a través d'ell quan passen els grans corrents demandats pel CUT (per exemple, en el transitori).

- Investigadors de la Universitat de Nou Mèxic van desenvolupar el Quic-Mon, versió 3.2 [11]. L'interruptor consisteix en dues portes de transmissió (TG: Transmission Gate) en paral·lel. Les bones característiques d'una TG, tals com la gran impedància en estat OFF, ràpida commutació i sobretot, la molt poca injecció de càrrega quan commuta d'estat, el fan un bon candidat a interruptor. La escassa injecció de càrrega fa que les TGs proporcionen una millora qualitativa enfront altres interruptors FET degut a que la seva estructura la formen dues portes amb senyals de control complementàries. La càrrega resultant de les dues transferències, en teoria, tendeix a cancel·lar-se l'una amb l'altra [15]. A la pràctica, és difícil que aquesta autoneutralització de la càrrega sigui completa. Per tant, en el disseny descrit a [11] es va afegir una capacitat de valor ajustat experimentalment, per tal de compensar l'excés de càrrega de la porta de transmissió quan aquesta és commutada. El problema d'aquesta estructura és que la resistència de conducció d'una TG té un valor típic de desenes de Ohm i el màxim corrent que pot passar través seu és d'unes poques desenes de mA. Així, per circuits grans, el corrent transitori del CUT pot produir variacions inacceptables de la tensió d'alimentació V_{DD} . De fet, quan el corrent que passa per la TG és més gran que el màxim permès, s'observa una caiguda de tensió considerable a través de la TG. La solució proposada a [11] per preveure aquestes caigudes de tensió fou afegir dos díodes de senyal en antiparal·lel, connectant permanentment la font d'alimentació (V_{DPS}) i el node VDD del CUT. D'aquesta manera es va limitar la caiguda de tensió a la tensió de conducció d'un díode (600mV aproximadament). El problema és que en aquestes condicions no es garanteix una tensió d'alimentació estable al CUT. Un altre inconvenient d'aquest sistema és que les fuites a través dels díodes de senyal poden provocar un emmascarament en la mesura del corrent I_{DDQ} anormal quan aquest és petit.

- Quic-Mon 5.0 es una versió millorada de l'anterior monitor de corrent [10]. En aquesta versió, la reducció de la resistència de conducció s'ha obtingut mitjançant un MOSFET de potència amb una resistència de 3Ω i una capacitat de porta (C_{gd}) de 80 pF. Com es veurà més endavant, l'ús dels MOSFET de potència pot ser la solució a la caiguda de tensió, ja que la seva resistència de conducció és extremadament baixa. No obstant, malgrat s'utilitza un MOSFET amb una relativament baixa capacitat de porta, aquesta és prou gran com per transferir càrrega suficient per provocar oscil·lacions en el node de mesura. Per tant, s'ha d'esperar un temps mínim, donat per l'interval entre la desconexió del MOSFET i l'extinció de les oscil·lacions, per a poder mesurar el corrent quiescent. En aquest cas, la substitució de la TG (emprat en [11]) pel MOSFET penalitza la càrrega transferida per tal de decrementar la caiguda de tensió en l'interruptor. Un altre inconvenient de la proposta de Wallquist és que, abans d'obrir el MOSFET per activar el monitor, s'ha d'obrir un relé que curtcircuita el node VSS del CUT amb el terra del sistema (per la versió ISSQ). Com ja s'ha dit anteriorment, el principal inconvenient d'emprar relés és la seva baixa velocitat de commutació i els rebots de commutació. A més, la vida operativa dels relés és limitada.
- La tècnica de Keating-Meyer no només s'ha desenvolupat en sensors *off-chip*, sino també en els *on-chip*. A [1] es descriu un BICS que utilitza aquesta tècnica. L'interruptor es va dissenyar per permetre el pas d'un corrent de pic de 100 mA amb una caiguda de tensió de 100 mV. Així, la resistència de conducció del FET (en aquest cas un MOSFET de canal p) és de 1 Ohm. Com que la càrrega injectada fou molt gran en les commutacions del MOSFET, es va afegir en paral·lel un altre MOSFET controlat per una senyal complementaria [15]. Una compensació perfecte és molt difícil d'aconseguir en la pràctica degut a que l'interruptor MOSFET i el transistor de compensació no tenen exactament el mateix comportament dinàmic en la commutació i, per tant, és difícil d'equilibrar l'injecció de càrrega que es va produint en cada moment. Qualsevol desviació d'aquesta compensació provoca oscil·lacions al voltant de la tensió V_{DD} .

5.3.3 L'interruptor proposat

Si es vol un circuit de test que no estigui limitat pel corrent dinàmic del CUT, aleshores s'ha d'escollir un FET que permeti el pas de grans corrents (fins alguns ampers). Aquesta condició ens porta a utilitzar MOSFET de potència. Es garanteix una baixa caiguda de tensió degut a la seva resistència de conducció extremadament baixa. Malgrat això, tal com s'ha dit abans, la transferència de càrrega és gran i és difícil de compensar per a obtenir una mesura fiable. Una solució seria la d'afegir una capacitat governada per un senyal inversa al senyal de porta. El valor de la capacitat ha de ser equivalent a la capacitat paràsita porta-drenador per tal d'equilibrar la transferència de càrrega. Aquesta compensació és útil i serà utilitzada en els circuits experimentals que es descriuran més tard, però no resol completament el problema ja que la capacitat de compensació no té el mateix comportament dinàmic que la capacitat paràsita del MOSFET.

Un altre solució per reduir l'impacte de la transferència de càrrega sobre el CUT consistiria en afegir una capacitat en paral·lel amb C_{DD} per tal de disminuir l'impedància de càrrega vista des del MOSFET de potència i d'aquesta manera, minimitzar la sobretensió deguda a l'injecció de càrrega. Per contra, a l'incrementar el valor de C_{DD} s'obté una disminució de la velocitat de mesura. Òbviament, per totes les raons esmentades, emprar únicament un MOSFET de potència com interruptor no és la millor opció per solucionar el problema d'obtenir una baixa caiguda de tensió i una petita injecció de càrrega.

Com ja s'ha dit anteriorment, hi han dues fases de corrent ben diferenciades en els C.I. CMOS: el transitori i el quiescent, i cada una d'elles està relacionada amb els avantatges de dos interruptors diferents: la TG i el MOSFET de potència. Per una banda, és important que l'obertura de l'interruptor sigui feta per una TG (el CUT ha de estar en estat estable) per minimitzar l'injecció de càrrega. Per l'altre banda, és necessari garantir una caiguda de tensió mínima pels grans pics de corrent mitjançant un MOSFET de potència (pels transitoris de corrent del CUT). Per tant, la solució d'emprar els dos interruptors a la vegada és força atractiva per tal d'aprofitar les millors característiques de cada un d'ells.

Així, l'estructura proposada per l'interruptor consisteix en una porta de transmissió connectada en paral·lel amb un MOSFET de potència [20]. La major part del corrent transitori passa a través del MOSFET degut a que la seva resistència de conducció és significativament menor que la resistència de conducció de la TG (aproximadament dos ordres de magnitud).

Per a controlar l'injecció de càrrega del MOSFET i que aquesta no afecti a la mesura del corrent quiescent, l'interruptor proposat es governa de la següent manera: *cada cop que el MOSFET de potència sigui commutat, la TG ha d'estar tancada*. Amb aquest procediment, la càrrega injectada pel MOSFET ja no es suportada només per C_{DD} , sino que és conduïda també a través de la TG. A la figura 5.3 es mostra la seqüència d'actuació dels dos dispositius.

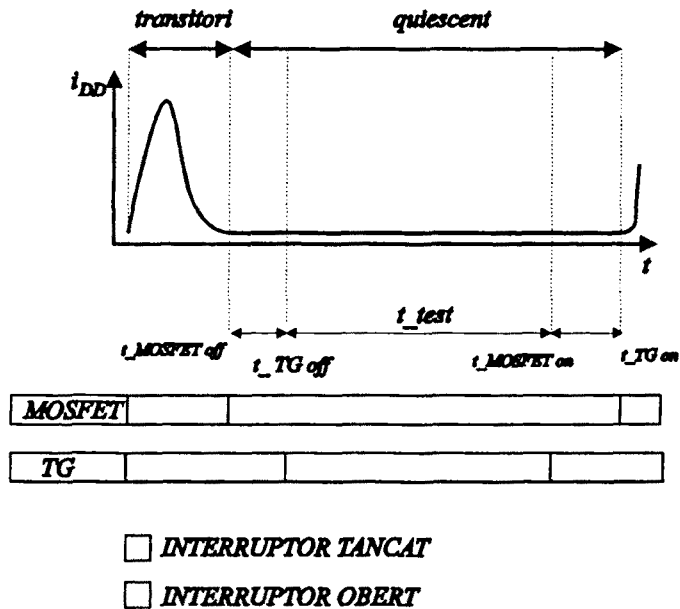


Figura 5.3: Seqüència d'actuació de l'interruptor proposat

En l'estat transitori els dos dispositius estan tancats. Quan s'arriba al quiescent s'inicia la seqüència d'actuació dels interruptors. S'obre el MOSFET i, un cop s'ha injectat tota la càrrega, s'obre la porta de transmissió ($t_{MOSFET.off}$), i després s'obre la TG ($t_{TG.off}$). En aquest moment s'inicia el test per corrent. Quan el test ha finalitzat (t_{TEST}), la seqüència és la inversa que en l'obertura.

5.3.4 Avaluació de les característiques de l'interruptor proposat

La figura 5.4(a) ens mostra un esquema elèctric de l'interruptor proposat quan el MOSFET commuta.

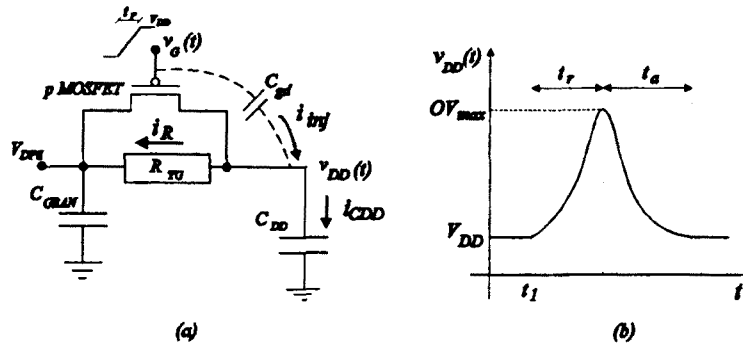


Figura 5.4: Esquema elèctric de l'injecció de càrrega del MOSFET

V_{DPS} és la font d'alimentació constant que alimenta al CUT. La capacitat (C_{GRAN}) al costat de l'interruptor emfasitza l'estabilitat de la tensió de la font d'alimentació. R_{TG} és la resistència de conducció de la TG. C_{gd} és la capacitat porta-drenador del MOSFET i C_{DD} és la capacitat interna del CUT connectada des del pin VDD fins a terra. El temps t_r és el temps de pujada de la tensió de porta del MOSFET. El corrent injectat per les commutacions del MOSFET (i_{inj}) flueix cap a C_{DD} (i_{CDD}) i a través de la resistència de conducció de la TG (i_R). Com es pot veure en la figura 5.4(b), es poden distingir dues fases en la commutació del MOSFET. La primera és la fase de transferència de càrrega: quan el MOSFET comença a commutar en $t = t_1$, que prendrem com origen de temps, la velocitat de transferència de càrrega depèn del temps de pujada del senyal de porta. Per tant, quan més ràpid es commuta el MOSFET, més gran és la sobretensió en el node VDD. Ajustant el paràmetre t_r es pot limitar la màxima sobretensió encara que el temps de commutació sigui més llarg. La segona fase comença quan ja s'ha produït tota la transferència de càrrega per part del MOSFET a $t = t_r$. Aleshores, com que el senyal de porta del MOSFET és constant, el sistema torna al seu estat de tensió estable seguint una descàrrega RC, trigant un temps t_a . El temps total de commutació del MOSFET és $t_S = t_r + t_a$.

A. Anàlisi de la sobretensió en el node VDD provocada per l'injecció de càrrega del MOSFET

Per avaluar la sobretensió al node VDD es prenen diverses consideracions per tal de simplificar l'anàlisi:

- La tensió V_{DPS} es considera constant a causa del gran valor de la capacitat C_{GRAN}
- La capacitat C_{gd} es considera constant. Aquesta capacitat està formada bàsicament per dos components: la capacitat de *overlap* (aproximadament constant) entre porta i drenador, i la capacitat de porta al canal. Quan el transistor està en OFF l'únic component és la capacitat d'*overlap*, mentre que quan el transistor està ON (en zona òhmica) intervé també la capacitat de porta al canal. L'aproximació de capacitat C_{gd} constant no introdueix un gran error degut a que el component de *overlap* té un pes considerable en la capacitat total [4]. El valor mig de C_{gd} que s'utilitza en els càlculs pot ser mesurat en la implementació de l'interruptor proposat.
- La tensió de porta del MOSFET s'aproxima a una rampa de pendent constant :

$$\frac{dv_G(t)}{dt} = \frac{V_{DD}}{t_r} \quad (5.4)$$

- La capacitat paràsita de la TG és despreciable davant de les altres capacitats connectades al node VDD.

Per tant, si s'aplica la llei de corrent de Kirchoff al node VDD del CUT, s'obté:

$$C_{gd} \frac{d[v_G(t) - v_{VDD}(t)]}{dt} = C_{DD} \frac{dv_{VDD}(t)}{dt} + \frac{v_{VDD}(t) - V_{DPS}}{R_{TG}} \quad (5.5)$$

On $v_{VDD}(t)$ és l'evolució temporal de la tensió al node VDD. La solució de (5.5) amb la condició inicial $v_{VDD}(0) = V_{DPS}$ és:

$$v_{VDD}(t) = V_{DPS} + C_{gd} \frac{V_{DD}}{t_r} R_{TG} \left(1 - e^{\frac{-t}{(C_{DD} + C_{gd})R_{TG}}} \right) \quad (5.6)$$
$$0 \leq t \leq t_r$$

La màxima sobretensió en $v_{VDD}(t)$ per l'injecció de càrrega del MOSFET s'obté de (5.6) a $t = t_r$ ja que a partir d'aquest moment ja no s'injecta més càrrega al node VDD.

$$OV_{\max} = v_{VDD}(t_r) - V_{DPS} = C_{gd} \frac{V_{DD}}{t_r} R_{TG} \left(1 - e^{\frac{-t_r}{(C_{DD} + C_{gd})R_{TG}}} \right) \quad (5.7)$$

Per tant, el pic de tensió en el node VDD provocat per la transferència de càrrega del MOSFET de potència depèn bàsicament de quatre paràmetres:

- La resistència de conducció de la TG (R_{TG}): quan més petita és la resistència de conducció, menys sobretensió hi haurà en el node VDD. Així doncs, cal utilitzar una TG amb la resistència de conducció més baixa possible, connectant si cal, varies TG en paral·lel. Aquesta acció, no obstant, pot portar a un increment de l'injecció de càrrega per part de la porta de transmissió que, si existeix, cal compensar amb un condensador de compensació d'uns pocs pF.
- El temps de pujada de la senyal de porta del MOSFET de potència (t_r): la càrrega injectada pel MOSFET només depèn de la capacitat porta-drenador i de la diferència de tensió de porta-drenador inicial i final. Per tant, la càrrega injectada, per uns paràmetres donats de capacitat de porta i increment de tensió de porta, és constant. Tanmateix, és possible distribuir-la al llarg del temps minimitzant d'aquesta forma el pic de sobretensió. Per aquest motiu, quan més ràpid es commuti el MOSFET, més gran serà l'amplitud del pic de la sobretensió provocada per la transferència de càrrega. Disminuint el pendent del senyal de porta mitjançant un circuit adient, l'amplitud del pic de la sobretensió disminuirà malgrat s'incrementi el temps de commutació. Aquest paràmetre s'ha de mesurar de forma acurada per tal de no disminuir excessivament la velocitat de test.
- Capacitat porta-drenador del MOSFET de potència (C_{gd}): Pels mateixos arguments explicats anteriorment, quan més petit sigui C_{gd} , menor serà la càrrega injectada pel MOSFET i menor serà el sobrepic de tensió en el node VDD. Aquest paràmetre no és independent de la resistència de conducció del MOSFET, de manera que, quan més petita és R_{DSON} més gran és C_{gd} i viceversa [4].
- Capacitat del CUT (C_{DD}): La capacitat interna del CUT i la capacitat porta-drenador del MOSFET formen un divisor capacitiu. Quan més

gran sigui C_{DD} , menor serà el pic de sobretensió. Però a l'augmentar C_{DD} disminueix la freqüència de test. Per tant, aquest paràmetre s'ha d'ajustar per trobar una solució òptima al *trade-off* entre freqüència de test i sobretensió.

A la figura 5.5 es presenta la relació, donada per l'equació (5.7), entre la màxima sobretensió en el node VDD (OV_{max}) i el valor de la resistència de conducció de la porta de transmissió (R_{TG}) per diferents temps de pujada del senyal de porta del MOSFET. La capacitat C_{gd} queda fixada en el moment que es selecciona la resistència de conducció del MOSFET per tal de minimitzar la caiguda de tensió al pas de grans corrents. La sobretensió màxima disminueix al disminuir el valor de la resistència de conducció de la TG i a l'augmentar el temps del flanc de pujada de la tensió de porta del MOSFET. Malgrat això, quan t_r augmenta, el temps de commutació també augmenta. Cal esmentar que la sobretensió màxima mai supera el valor $\frac{C_{gd}}{C_{DD}+C_{gd}}$ que en el cas extrem d'una gran capacitat C_{gd} i una petita capacitat C_{DD} val com a màxim el 100 % de la tensió d'alimentació.

Per tant, per obtenir unes sobretensions acceptables, s'ha d'obtenir una resistència de conducció de la porta de transmissió el més petita possible i la velocitat de commutació del senyal de porta del MOSFET el més baixa possible per un temps total de commutació donat.

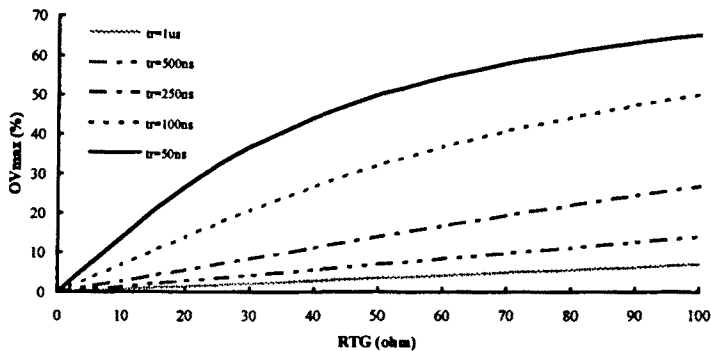


Figura 5.5: OV_{max} vs. R_{TG} per diferents temps de pujada de la tensió de porta del MOSFET ($C_{DD} = 100$ pF, $C_{gd} = 700$ pF)

Encara es pot reduir més la sobretensió produïda per la commutació del MOSFET si la càrrega injectada és equilibrada mitjançant un condensador de capacitant equivalent a la paràsitica porta-drenador del MOSFET. Aquest condensador és governat per un senyal oposat al senyal de porta. Aquesta capacitat de compensació també actua com a filtre de soroll quan el CUT està en estat estable. Finalment, un petit condensador d'alguns pF governat per un senyal adient, compensa la petita injecció de càrrega de la TG.

B. Anàlisi del retard provocat per l'actuació de l'interruptor proposat

Quan tota la càrrega injectada al node VDD per la capacitat porta-drenador del MOSFET és transferida (a $t = t_r$), la tensió v_{VDD} està en un estat inestable. Una vegada que el senyal de porta del MOSFET és constant, el sistema retorna a la seva tensió inicial seguint una descàrrega RC. Per tant, tenint en compte les mateixes hipòtesis simplificadores que en el cas de la sobretensió, la equació diferencial corresponent, si s'aplica la llei de corrent de Kirchhoff al node VDD del CUT (veure figura 5.4), és:

$$-C_{gd} \frac{dv_{VDD}(t)}{dt} = C_{DD} \frac{dv_{VDD}(t)}{dt} + \frac{v_{VDD}(t) - V_{DPS}}{R_{TG}} \quad (5.8)$$

$$t \geq t_r$$

Tenint en compte que la condició inicial és $v_{VDD}(t_r) = OV_{\max}$, la resposta de la tensió del node VDD en la fase del restabliment de la tensió és:

$$v_{VDD}(t) = V_{DPS} + OV_{\max} \left(1 - e^{-\frac{t-t_r}{(C_{DD}+C_{gd})R_{TG}}} \right) \quad (5.9)$$

$$t \geq t_r$$

així, el temps total de commutació (t_s) (veure figura 5.4(b)) és:

$$t_s = t_r + t_a = t_r + 5(C_{DD} + C_{gd})R_{TG} \quad (5.10)$$

On t_a és el temps de descàrrega necessari perquè el sistema torni al seu nivell de tensió inicial i el factor 5 és el nombre de constants de temps necessàries per assolir un error menor del 1 % en el voltatge final (diferència entre les tensions V_{DPS} i la tensió $v_{VDD}(\infty)$).

A la figura 5.6 es representa la relació, donada per l'equació (5.10), entre el temps total de commutació i el temps del flanc de pujada per a uns valors donats de la resistència de conducció de la porta de transmissió.

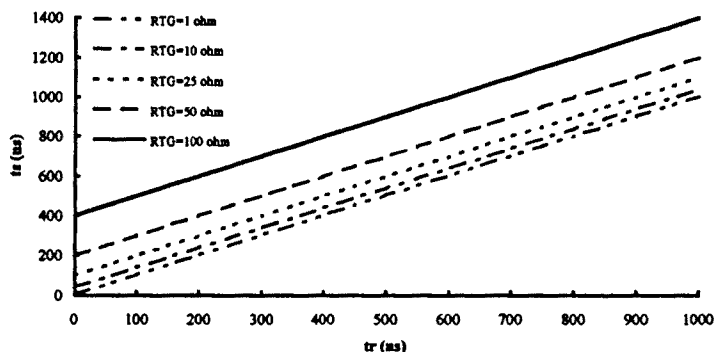


Figura 5.6: Temps de commutació vs. temps de pujada per diferents R_{TG} ($C_{DD} = 100$ pF, $C_{gd} = 700$ pF)

El pendent constant de les diferents corbes demostra que el temps de pujada (t_r) òptim tal que es minimitzi el temps total de commutació és molt més sensible a la resistència de conducció de la TG que al temps de pujada del senyal de porta del MOSFET. D'aquesta manera, el temps mínim de commutació ve donat pel mínim valor de la resistència de conducció de la porta de transmissió.

C. Anàlisi de les fuites de corrent de l'interruptor proposat

Els manuals d'especificacions tècniques especifiquen el corrent de fuites d'un MOSFET de potència, quan el transistor està en bloqueig, en el rang de $1\mu A$ quan aquest corrent és mesurat amb una tensió drenador-sortidor de desenes de volts. En la tècnica de test proposada, és important recalcar que la màxima tensió drenador-sortidor a través de l'interruptor és molt més petita (al voltant de 100 mV). D'aquesta manera, les fuites de corrent són significativament més petites. Un altre camí per on pot fluir un corrent de fuites és per l'entrada del seguidor de tensió connectat al node d'alimentació del CUT.

S'ha determinat experimentalment el valor del corrent de fuites amb un muntatge *ad hoc* ja que la instrumentació convencional no té un marge prou ampli per a la mesura del corrent de fuga. El mètode de mesura està esquematitzat a la figura 5.7. Prenent l'hipòtesi que el corrent de fuites

de l'interruptor (I_S) i el corrent d'entrada del seguidor de tensió (I_b) són constants, aleshores per conèixer el corrent de fuites net ($I_S - I_b$) que va al CUT (representat en la figura per la seva capacitat C_{DD}) s'afegeix una resistència en paral·lel al CUT (R) per on passa un corrent (I_r).

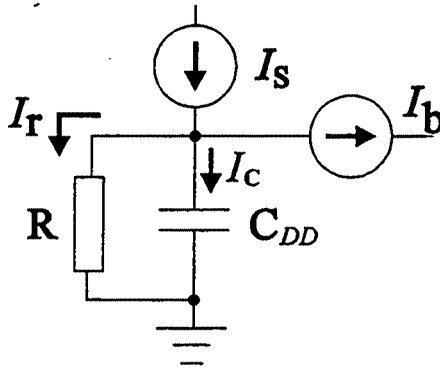


Figura 5.7: Avaluació de les fuites de corrent. Esquema experimental.

Per Kirchoff es té:

$$I_{fuites} = I_S - I_b = I_r + I_C = I_r + C_{DD} \frac{dV_{DD}}{dt} \quad (5.11)$$

però si $\frac{dV_{DD}}{dt} = 0$, llavors

$$I_C = 0 \quad (5.12)$$

i, per tant:

$$I_{fuites} = I_r = \frac{V_{DD}}{R} \quad (5.13)$$

Per avaluar el corrent de fuites de l'interruptor es fa variar R fins que s'aconsegueix l'equilibri a la tensió V_{DD} . En aquest moment l'equació (5.13) és vàlida i es determina I_{fuites} . En els experiments realitzats R s'ha incrementat fins un valor superior a $1000 \text{ M}\Omega$ i s'ha comprovat que el corrent de fuites és inferior al rang de mesura de la instrumentació utilitzada: 5 nA .

5.3.5 Resultats experimentals

Hardware utilitzat

En aquest apartat es verificaran tots els anàlisis exposats anteriorment. A l'efecte s'ha construït un banc de proves per validar experimentalment el mètode proposat. A la figura 5.8 es mostra l'esquema elèctric del banc de proves.

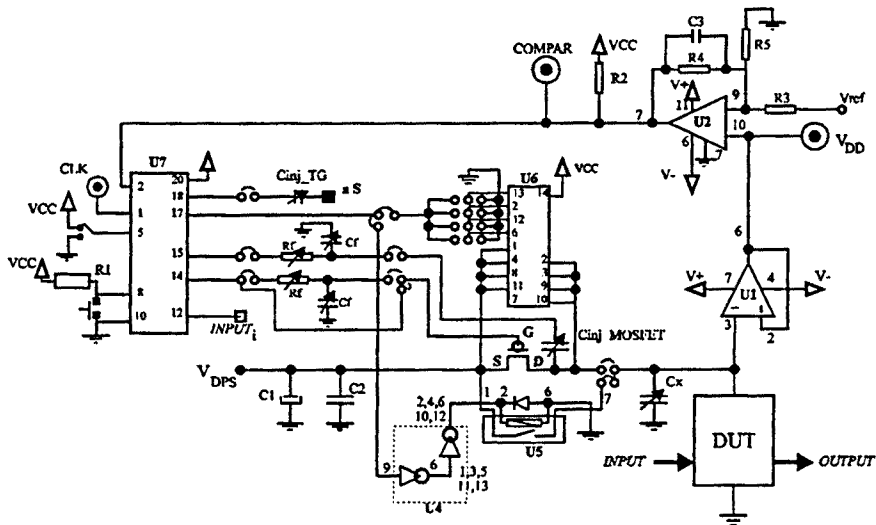


Figura 5.8: Esquema elèctric del banc de proves

Tal com es pot veure a la figura 5.8 el banc de proves implementa tots els elements necessaris per a avaluar l'efecte de cada paràmetre sobre el comportament dinàmic de l'interruptor proposat. El circuit U1 és un seguidor de tensió que permet monitoritzar a la seva sortida el senyal del node VDD del CUT sense que l'equip de mesura introdueixi una càrrega indesitjada al node. El circuit U2 és un comparador de seguretat que activa la connexió de l'interruptor en cas que el voltatge al node VDD sigui inferior a una tensió de referència externa V_{ref} . El circuit U7 controla la seqüència de connexió del MOSFET i de la TG d'acord amb el senyal de sortida del comparador i d'un senyal de rellotge extern. El circuit U6 està compost de quatre TG que poden ser connectades en paral·lel. El relé U5 deshabilita el funcionament

de l'equip de mesura si així es desitja. Els condensadors C_X , C_{inj_MOSFET} , i C_{inj_TG} són, respectivament, la capacitat en paral·lel amb el CUT i els condensadors per compensar l'injecció del MOSFET i de la TG. En realitat, es van connectar condensadors de capacitats variables per a ajustar la compensació. Els filtres R_f , C_f permeten ajustar el pendent dels senyals aplicades a la porta del MOSFET i al condensador de compensació.

Resultats obtinguts

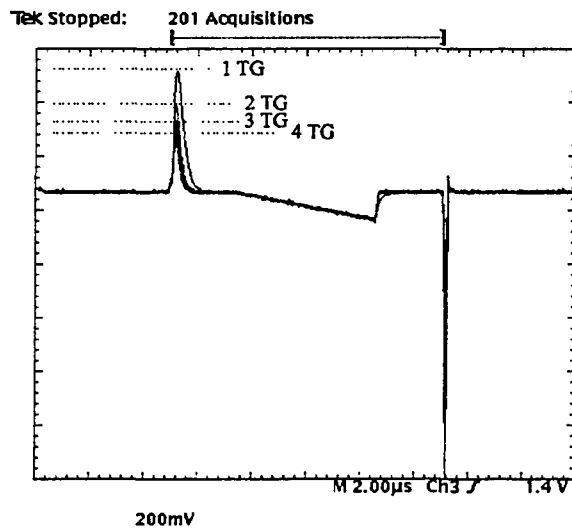


Figura 5.9: Efecte de R_{TG} en la sobretensió

A la figura 5.9 es mostra l'influència del valor de la resistència de conducció de la porta de transmissió sobre el pic de sobretensió provocada per l'injecció de càrrega del MOSFET. Amb una TG connectada (amb $R_{TG}= 120 \Omega$), la sobretensió és de 456 mV, mentre que amb una porta de transmissió amb $R_{TG}= 30\Omega$, la sobretensió disminueix fins 224 mV. Anàlogament succeeix amb la subtensió provocada per l'absorció de càrrega del sistema quan el MOSFET es connecta. Així, per una TG hi ha una subtensió de 1.084 V, i per les quatre connectades és de 552 mV. Per tant, en les dues commutacions del MOSFET, s'aconsegueix una reducció de prop del 50%.

A la figura 5.10, es mostra l'efecte sobre la sobretensió de la variació

del flanc de la tensió de porta del MOSFET. Per augmentar el temps de pujada (t_r), es passa la senyal de porta a través d'un filtre passabaixos RC. Aleshores, a mesura que es disminueix la velocitat de commutació del MOSFET, la sobretensió disminueix.

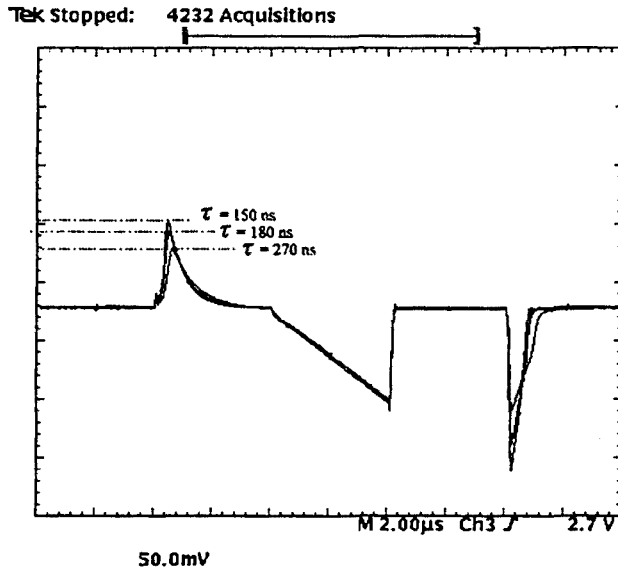


Figura 5.10: Efecte de t_r en la sobretensió

Cal dir que la condició inicial de la figura 5.10 és amb una porta de transmissió amb $R_{TG} = 30\Omega$. Així, quan el MOSFET és desconnectat, si el filtre té una constant de temps $\tau=150 \text{ ns}$ (on $\tau=RC$) s'obté una reducció de 150 mV respecte el cas anterior, ara el pic de tensió és de 73 mV. Anàlogament, en la subtensió (quan el MOSFET és connectat), la reducció es de 335 mV, quedant una subtensió de 140 mV.

Finalment, la figura 5.11 mostra l'efecte de unir totes les accions encaminades a minimitzar la sobretensió (i la subtensió) provocada per la transferència de càrrega, és a dir:

- mínima resistència de conducció del TG
- disminuir el pendent del senyal de porta del MOSFET

- neutralitzar la càrrega injectada mitjançant un condensador de compensació
- compensar la petita injecció de la TG

En aquestes condicions, el pic de tensió tant en la connexió com en la desconexió del MOSFET és inferior a 20 mV tal com es pot veure a la figura 5.11

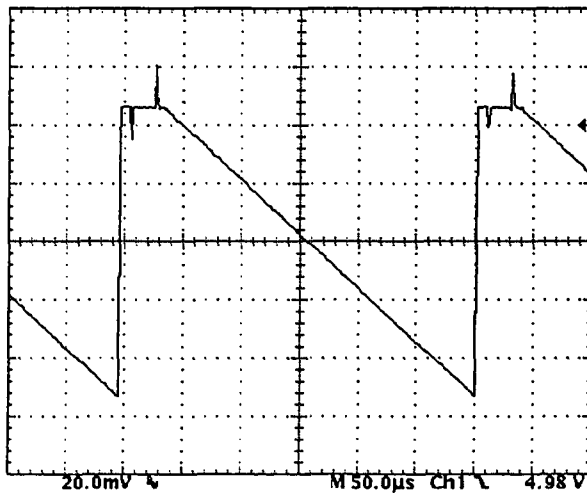


Figura 5.11: Evolució de la tensió V_{DD} per un corrent $I_{DDQ}=1 \mu A$

En els apartats precedents s'ha analitzat l'interruptor del sensor *off-chip* i s'han donat solucions al problema de la caiguda de tensió i l'injecció de càrrega. En la propera secció s'analitzarà un altre component del sensor: la capacitat entre el node VDD i GND.

5.4 LA CAPACITAT ENTRE V_{DD} I GND DELS C.I. CMOS

5.4.1 Introducció

En el test per corrent utilitzant la tècnica de Keating-Meyer, la capacitat C_{DD} entre els nodes VDD i GND, durant l'estat quiescent en que l'interruptor connectat a l'alimentació està obert i les entrades del CUT romanen constants, subministra l'energia necessària per mantenir el CUT alimentat. Si el corrent quiescent és negligible, el voltatge al node VDD és constant, però si el corrent quiescent no és negligible, el voltatge del node VDD disminueix amb un pendent donat per l'equació (5.1). Aquest pendent és inversament proporcional al valor de la capacitat C_{DD} . El coneixement d'aquesta capacitat és, doncs, essencial per al correcte funcionament del sensor. Així, l'objectiu d'aquesta secció és analitzar els components d'aquesta capacitat i com influeix en el funcionament del sensor. També es mostrarà els resultats de la mesura de la capacitat entre el node VDD i GND de diferents circuits integrats CMOS.

5.4.2 Components de la capacitat C_{DD} entre V_{DD} i GND

La capacitat C_{DD} té dos components: el primer és el component *intern* (C_{DDint}) intrínsec al propi CUT i el segon és el component *extern* (C_{DDext}) degut a la capacitat (afegida pel dissenyador o paràsita) al exterior del CUT (figura 5.12(a)). Es compleix que:

$$C_{DD} = C_{DDint} + C_{DDext} \quad (5.14)$$

En primer lloc s'analitzarà el component intern i després l'extern.

Component intern de la capacitat C_{DD} entre V_{DD} i GND

En aquest apartat asumirem tecnologia CMOS n-well, essent el cas de tecnologies CMOS p-well similar. La capacitat interna existent entre els nodes VDD i GND en un C.I. CMOS modela la càrrega emmagatzemada en relació al voltatge d'alimentació i té com components principals els següents (figura 5.12(b)):

1. C_M : és la capacitat entre les pistes de metall o polisilici connectades directament a VDD i el substrat (GND). Aquesta capacitat es pot considerar independent del valor del voltatge V_{DD} .

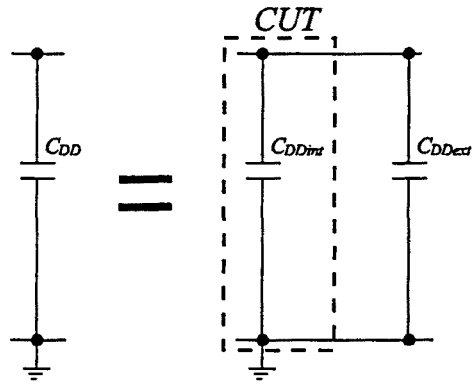
2. C_W : és la capacitat de les unions PN formades per tots els pous N connectats a V_{DD} i el substrat (GND). Aquesta capacitat depèn del valor de V_{DD} [14].
3. C_P : és la capacitat associada als nodes del circuit amb l'estat lògic "1" i està connectada entre el node GND i V_{DD} a través de un o més transistors PMOS en conducció. Aquesta capacitat és un compost format per la capacitat dels drenadors dels transistors NMOS connectats al node, les capacitats de les portes connectades al node, les capacitats del *layout* del node al substrat i les capacitats de *crosstalk* entre el node considerat i altres nodes en l'estat lògic "0". El valor d'aquesta capacitat depèn de V_{DD} .
4. C_N : és la capacitat associada als nodes del circuit amb l'estat lògic "0" i està connectada entre V_{DD} i GND a través de un o més transistors NMOS en conducció. Aquesta capacitat és un compost format per la capacitat dels drenadors dels transistors PMOS connectats al node, les capacitats de les portes connectades al node, les capacitats del *layout* del node a V_{DD} i les capacitats de *crosstalk* entre el node considerat i altres nodes en l'estat lògic "1". El valor d'aquesta capacitat depèn de V_{DD} .

El conjunt de les capacitats definides anteriorment formen la capacitat C_{DDint} . Es compleix la següent relació:

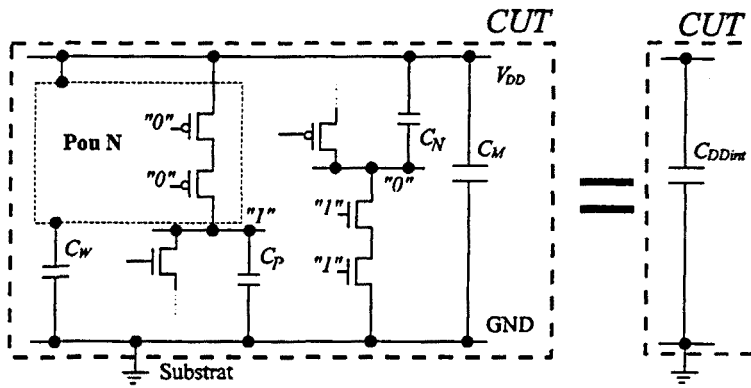
$$C_{DDint} = C_M + C_W + C_P + C_N \quad (5.15)$$

Es poden fer les següents consideracions:

- Les capacitats C_P i C_N estan *efectivament* connectades a V_{DD} i GND respectivament, ja que les constants de temps de càrrega d'aquestes capacitats via els transistors PMOS o NMOS respectivament, són molt petites (dècimes de nanosegon en les tecnologies actuals). Com la constant de temps del test I_{DDQ} és molt més gran (desenes de microsegons) es pot considerar que les capacitats C_P i C_N estan connectades directament a V_{DD} o GND, respectivament.
- Les capacitats dels nodes intermitjos d'una cadena de transistors en sèrie *no intervenen* en el càlcul de la capacitat entre V_{DD} i GND perquè o bé estan *curtcircuitades*, quan tots els transistors de la cadena estan conduint, o bé estan *desconnectades* de V_{DD} o GND en el període



(a)



(b)

Figura 5.12: Capacitats entre el node VDD i GND de circuits CMOS (tecnologia de pou N)

de temps en que s'aplica el test I_{DDQ} , quan algun transistor de la cadena està en tall.

- Les capacitats C_W , C_N i C_P depenen del voltatge V_{DD} i del procés de fabricació del CUT, ja que, totalment o en part, són capacitats degudes a la polarització en inversa de unions PN.
- Les capacitats C_M i C_W tenen un valor independent de l'estat de les entrades del CUT, en canvi el valor de C_P i C_N depèn de les entrades del C.I.
- La capacitat C_P i C_N dels *pads* de sortida del CUT pot ser el component més important de la capacitat C_{DDint} degut a la gran mida dels transistors del *pad*, a les connexions entre el *chip* i l'empaquetat del CUT i a la capacitat de càrrega connectada al *pad*. A [11] es presenten dades experimentals sobre la correlació entre el valor de la capacitat de V_{DD} a GND i el nombre de *pads* de sortida a nivell lògic "1".
- La capacitat de *crossstalk* entre els nodes lògics de diferents parts del circuit (no representada a la figura 5.12) també intervé en el valor final de C_{DDint} formant part de C_P o C_N .
- Com a conseqüència de tot el que s'ha dit abans, pot haver una gran variabilitat en el valor de C_{DDint} . A [17] es reporta una variació fins el 25 % en el valor de C_{DDint} degut als canvis en les entrades i una variació d'un 15 % entre circuits de diferents lots de fabricació.

Es possible estimar el valor dels diferents components de C_{DDint} sempre que es disposi del *layout* del circuit. En cas contrari cal realitzar mesures experimentals del comportament de C_{DD} per diferents valors de V_{DD} per a obtenir una estimació de la importància relativa de cada component.

Component extern de la capacitat C_{DD} entre V_{DD} i GND

La capacitat C_{DDext} té dos components:

- un component *paràsit* degut a la capacitat intrínseca entre el node VDD del CUT i els diferents punts del circuit sensor a través del connexionat.

- un component *intencionat* degut a la connexió al node VDD de diferents capacitats necessaries per al seu funcionament tals com les capacitats de compensació de l'injecció de càrrega de l'interruptor i de la TG o la capacitat de filtre necessaria pel funcionament del sensor davant de corrents I_{DDQ} elevades.

Discussió

El correcte funcionament d'un sensor *off-chip* basat en la tècnica de Keating-Meyer depèn del coneixement precís del valor de la capacitat C_{DD} . Per això, cal fer les següents consideracions:

- Per tenir en compte la variabilitat de C_{DD} amb el vector d'entrada, cal mesurar la capacitat C_{DD} per a cada vector d'entrada, en un CUT del que es sàpiga que és correcte (o estimarla a partir del *layout*).
- Per a eliminar l'influència de la capacitat connectada als *pads* de sortida del CUT, es pot dissenyar el CUT amb dues alimentacions separades, una pels *pads* i un altre pel circuit intern (*core*), i realitzar el test desconectant només l'alimentació del *core*.
- Es pot minimitzar la variabilitat de la capacitat C_{DD} deguda a la tensió, al vector d'entrada o al procés de fabricació del circuit, afegint en paral·lel una capacitat externa C_{DDext} de valor constant elevat i conegut. El preu que es paga en aquest cas és una menor velocitat en la realització del test.

5.4.3 Mesura de C_{DDint}

Per tal de coneixer el valor de la capacitat C_{DDint} dels circuits CMOS s'han realitzat mesures sobre alguns circuits. El treball s'ha desenvolupat sobre 22 tipus de C.I. comercials diferents i sobre 2 ASICS. Es van mesurar 6 circuits SSI, 11 circuits MSI, 3 EPROM, 2 SRAM i 2 ASIC. Els circuits integrats SSI, MSI i els ASIC estan construïts amb tecnologia CMOS complementària. Les mesures es van fer per a un sol vector d'entrada i es va investigar la variació de la capacitat amb la tensió d'alimentació. A continuació es fa una avaluació dels resultats.

A la taula 5.1 es mostren els resultats obtinguts. La primera columna de la taula indica el CUT i la segona el valor de C_{DDint} mesurat.

A la figura 5.13 es pot veure l'evolució del valor de la capacitat C_{DDint} en funció del voltatge d'alimentació dels 2 ASICS que es van mesurar. El

Dispositiu	C_{DDint} (pF)
HC00	90.5
HC04	100.9
HC08	50
HC20	67.3
HC30	47
HC85	154.9
HC138	124.3
HC157	81.3
HC161	115
HC166	129
HC244	163
HC245	275
HC373	196
HC688	58.9
AC138	140
AC157	73.9
AC245	184
27C128	183
27C256	350
27C512	469
HY6116	644
D4464	4130
MULB	272
MULB2	262.2

Taula 5.1: Valors de la capacitat C_{DDint} de 24 circuits CMOS

comportament mostrat és similar al dels circuits SSI, MSI i SRAM. El comportament de les EPROM amb la tensió mostra una dependència més marcada.

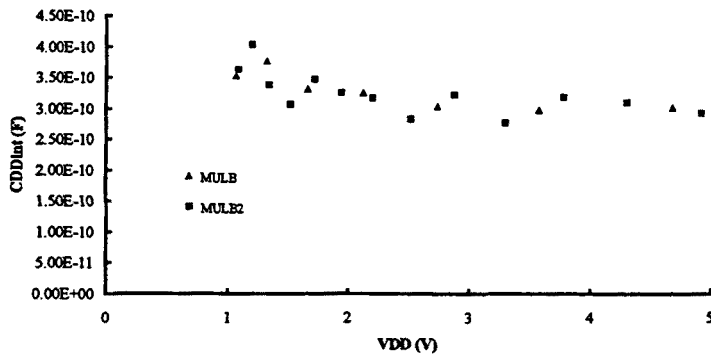


Figura 5.13: Evolució de C_{DDint} en dos ASICS en funció del voltatge V_{DD}

Anàlisi dels resultats

El valor de la capacitat C_{DDint} augmenta amb la complexitat del circuit des de 50-100 pF als SSI, 100-300 pF al MSI, 200-600 pF a les EPROM a 500-4000 pF a les SRAM. Aquestes dades són coherents amb les dades subministrades a [11] i permeten estimar valors de C_{DDint} en el marge de 1-10 nF en circuits VLSI. La variació de la capacitat C_{DDint} amb V_{DD} és petita en els circuits CMOS complementaris i en les memòries estàtiques, tal com mostra la figura 5.13 on es veu un petit increment de C_{DDint} al disminuir V_{DD} superposat amb fluctuacions d'aparència aleatòria. Aquest fet fa pensar que la contribució més important a la capacitat C_{DDint} d'aquests circuits és la dels components amb valors independents de V_{DD} , mentre que les fluctuacions són degudes a la variació de les capacitats internes del CUT quan V_{DD} decau (component C_P i C_N) i al soroll present en la mesura.

5.5 BANC DE PROVES PER AL TEST *OFF-CHIP*

5.5.1 Introducció

Per a la experimentació del test per corrent *off-chip*, s'ha construït un banc de proves. L'objectiu del banc de proves és proporcionar una plataforma per a la experimentació de diferents tècniques de test de C.I. CMOS basades en la mesura del consum del circuit. L'objectiu és disposar d'una eina flexible, fàcilment configurable per a diferents circuits integrats. Per això, s'ha utilitzat com a base els recursos d'una màquina de test digital automàtic (ATE) convencional: la HP82000 de Hewlett-Packard i s'ha afegit a la màquina de test el *hardware* i *software* necessari per a realitzar el test per corrent *off-chip*.

La tècnica emprada és la de Keating-Meyer i l'interruptor és el descrit en aquest capítol. La generació i aplicació dels vectors de test al CUT, la generació dels senyals de control dels interruptors i el mètode de mesura s'ha implementat utilitzant els recursos de la màquina de test. El *hardware* específic per al test per corrent *off-chip*: la interfície amb el CUT, l'interruptor compost i els circuits analògics s'han implementat sobre una placa de circuit imprès de disseny propi. També, s'ha escrit el *software* necessari pel control de la màquina de test i del *hardware* específic.

El banc de proves implementa automàticament les següents funcions:

- Test Passa/Falla per vigilància del corrent quiescent (des de $1 \mu\text{A}$ a 10 mA) de circuits CMOS combinacionals i sequencials a partir d'un conjunt de vectors de test subministrat per l'usuari.
- Mesura del corrent quiescent produït per un defecte (des de $1 \mu\text{A}$ a 10 mA) per a cada vector que exciti el defecte.

També es poden realitzar les següents funcions no automàtiques:

- Mesura del corrent quiescent d'un circuit (per sobre de $1 \mu\text{A}$).
- Mesura de la capacitat al node VDD.
- Mesura de l'energia consumida pel C.I. durant l'aplicació del conjunt de vectors.

En aquesta secció es descriurà el *hardware*, el mètode de mesura i el de control.

5.5.2 Hardware utilitzat

El diagrama elèctric del *hardware* específic es pot veure a la figura 5.14.

La tarjeta permet dues configuracions: tarjeta IDDQ i tarjeta ISSQ, connectant els *pins* rotulats V11 i VB als potencials adients i instalant el MOSFET U3 del canal adequat. La tarjeta es divideix en quatre blocs: el primer el forma el CUT (U1) que pot tenir com a màxim 40 *pin* d'entrada/sortida i dos *pin* d'alimentació. El segon, format pels circuits U3 i U4 és l'interruptor compost descrit a la tercera secció d'aquest capítol. Els condensadors Cf, C_inj_MOSFET, C_inj_TG, Cx, C1, C2 i C3, junt amb les resistències Rf, formen el sistema d'eliminació del sobrevoltatge en la desconexió i connexió de l'interruptor. El tercer bloc està format U6 i U2 que transformen els senyals de control que provenen del HP82000 en els senyals que activen i desactiven l'interruptor. Els terminals HP_MOSFET, HP_TG, HP_R0 i HP_R1 estan connectats a canals de sortida de la màquina de test i el seu estat lògic controla l'obertura i tancament del MOSFET, de la porta de transmissió i dels relés U7, U8 i U9 que connecten les capacitats C1, C2 i C3 al node virtual. Finalment, el quart bloc el forma U5 que treballa com un seguidor de la tensió del node virtual (VDD o GND). El senyal del *pin* 6 del circuit U5 reproduceix l'evolució del voltatge al node virtual (VGND o VVDD) i està connectat a 19 canals d'entrada de la màquina de test. Aquesta connexió a múltiples canals de la màquina és el fonament del mètode de mesura que després es presentarà.

Així, la tarjeta utilitza 23 canals de la màquina de test. Els 40 *pin* del CUT estan connectats cadascun d'ells a un canal. Per tant el sistema complet utilitza 63 canals de E/S de la màquina de test, un menys dels 64 disponibles en la màquina HP82000.

5.5.3 Mètode de mesura

El mètode de mesura utilitza com a part integral els recursos de la màquina de test HP82000. A diferència de les solucions proposades fins ara [11][9], on la determinació de si el corrent I_{DDQ} és correcte o no es realitza per circuits externs, és la pròpia màquina de test la que decideix si el corrent quiescent està fora dels límits establerts. La solució proposada presenta com avantatges una major integració del sensor *off-chip* amb la màquina de test i una simplificació del disseny del sensor ja que la funció de comparació del corrent quiescent amb el llindar especificat es realitza dins de la màquina de test utilitzant el seu *hardware* especialitzat.

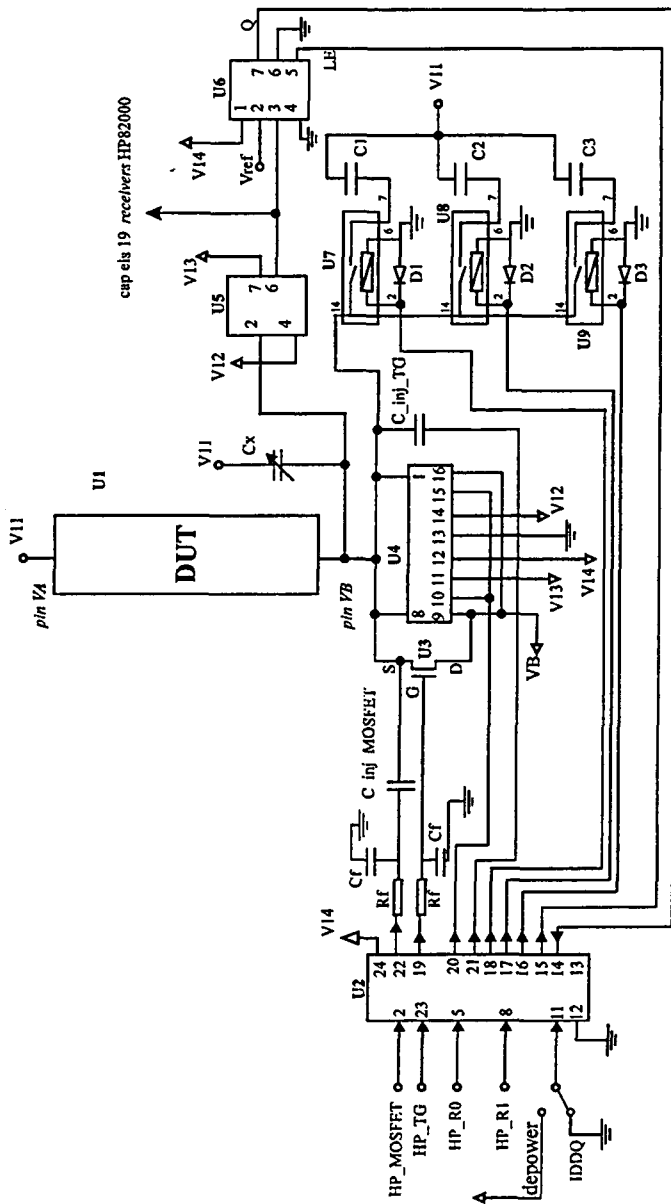


Figura 5.14: Esquema elèctric de la tarjeta del banc de proves

El mètode de mesura del corrent quiescent I_{DDQ} , es basa en avaluar el pendent del senyal de tensió del node d'alimentació virtual una vegada l'interruptor ha estat obert. Per això, es configuren els 19 canals de la màquina de test que reben el voltatge del node virtual per què comparin aquest voltatge amb dos voltatges de referència. Per a l'instant de temps especificat, si la tensió del node virtual és superior a la tensió de referència més alta, la sortida del comparador és H (*high*), si és inferior a la tensió de referència més baixa, la sortida del comparador és L (*low*), i si està en mig de les dues tensions de referència, la sortida és *i* (indeterminat). Al conjunt de cada un dels comparadors i dels voltatges de referència els hi direm *referències de tensió* d'aquí en davant. A la figura 5.15 s'il.lustra el principi de funcionament d'aquestes *referències*.

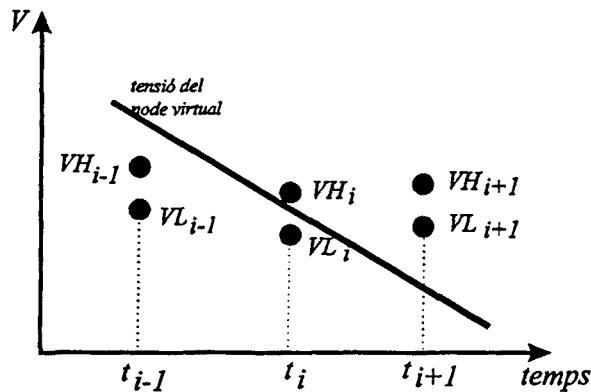


Figura 5.15: Principi de funcionament de les *referències de tensió*. *i* és el subíndex de la *referència*, *VH* i *VL* són les tensions de les *referències*. La *referència i - 1* donaria L, la *referència i* donaria indeterminat i la *referència i + 1* donaria H.

Distribució de les *referències de tensió*

Hi ha diferents possibilitats de distribuir les *referències de tensió* al llarg del temps (dins del temps d'un vector de test que anomenarem *temps de cicle*), i/o al llarg de l'espai de tensions (entre el valor V_{DD} i el llindar inferior de mesura). El tipus de distribució adoptada ha de tenir en compte dos factors

importants com són el soroll elèctric present i la distribució de la caiguda de tensió, per a diferents corrents quiescents, al llarg del temps.

S'han avaluat varies distribucions, on les més representatives es presenten a la figura 5.16.

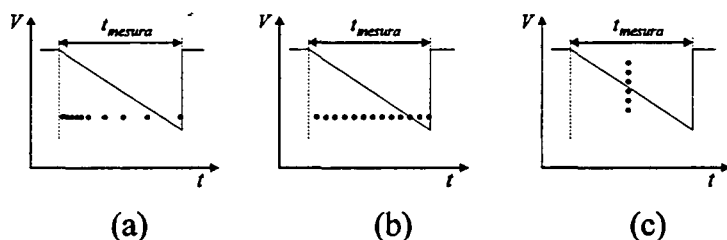


Figura 5.16: Distribució de les *referències de tensió*

A la figura 5.16(a) es fixa una tensió llinar i es distribueixen les *referències* al llarg del temps de mesura distribuïnt el rang de corrents a mesurar en *interval·ls iguals de corrent*. D'aquesta manera, les *referències* es concentren en un interval de temps molt petit. L'experiència a demostrat que, pels nivells de soroll elèctric present en el sistema, aquesta distribució és molt sensible a qualsevol variació de tensió introduïda pel soroll en el senyal de tensió del node virtual. A més, al distribuir el rang de corrents en interval·ls iguals, es perd precisió a l'hora de trobar el valor del corrent.

La segona distribució és la que es mostra a la figura 5.16(b) on, fixant una tensió llinar, les *referències* es distribueixen al llarg del temps en *interval·ls iguals de temps*. Amb aquesta distribució, el sistema de mesura és més resistent al soroll elèctric i la precisió de la mesura és distribuïda de manera que els *sensors* del final del temps de mesura tenen una precisió superior als del principi del temps de mesura.

La tercera distribució, representada a la figura 5.16(c), es caracteritza per que la comparació es fa en un instant de temps únic amb les tensions llinars distribuïdes al llarg d'un interval. Aquesta distribució optimitza la precisió de la mesura però té l'inconvenient de l'imprecisió de situar els *sensors* en l'instant de temps correcte. És una bona distribució si es coneix la forma aproximada del corrent quiescent a avaluar.

La distribució de les *referències* adoptada en el banc de test és la segona de les citades anteriorment per les raons esmentades en l'anàlisi.

Procés de càlcul del corrent quiescent

El procediment per a trobar el corrent quiescent és el següent:

Distribució de les referències al llarg del temps de mesura Es configuren les especificacions temporals i els nivells de tensió de totes les referències. Així, els nivells de tensió de referència alt i baix es situaran en el valor de tensió llindar especificat per l'usuari (V_{th}). La duració de l'interval de mesura dins del període del vector, t_{TEST} vé donat per la següent equació:

$$t_{TEST} = T_{vec\ max} - C \frac{V_{th}}{I_{ref}} \quad (5.16)$$

On I_{ref} és el corrent I_{DDQ} mínim que es pretén detectar, C és la capacitat connectada al node virtual i $T_{vec\ max}$ és el període màxim del vector especificat per:

$$T_{vec\ max} = T_{max\ HP82000} - t_{tran} - t_{switch} \quad (5.17)$$

on $T_{max\ HP82000}$ és el període màxim de la màquina de test (99.9 μs), t_{tran} és el temps d'establiment màxim del transitori de corrent del CUT (especificat per l'usuari) i t_{switch} és el temps de commutació de l'interruptor. Així l'instant de temps en que la referència i actúa és:

$$t_{sensor_i} = i \frac{t_{TEST}}{N_CANAL} \quad i = 1..N_CANAL \quad (5.18)$$

Execució del test Mitjançant el *software* estàndard del HP82000, s'executa la funció *acquire_data*. Aquesta funció executa un test funcional amb els vectors definits per l'usuari i , a cada vector, executa la seqüència d'obertura i tancament de l'interruptor i lectura dels resultats de cada referència.

Anàlisi de la informació A la figura 5.17 es mostra un exemple de com s'analitzen les dades que provenen del test. En la figura es suposa que hi han 10 referències de tensió distribuïdes a intervals iguals al llarg del temps de test. V_{low} i V_{high} són les dues tensions dels comparadors de cada referència. En el moment d'execució del test, V_{high} és igual al valor de la tensió llindar V_{th} especificada per l'usuari i V_{low} és igual a la tensió $V_{th} - \Delta V$, on ΔV està determinat per la màquina de test. En aquestes condicions, la informació que proporcionen les referències seria: HHiiiLLLLL.

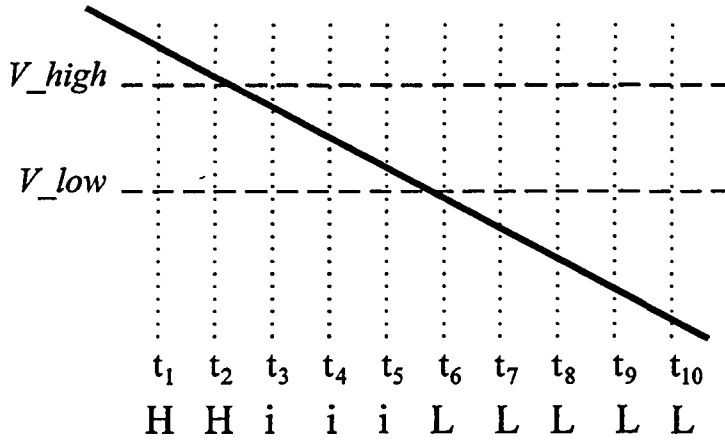


Figura 5.17: Exemple de càlcul del corrent quiescent

Si el sistema no tingues soroll, el corrent quiescent seria:

$$C \frac{V_{high}}{t_3} < I_{DDQ} < C \frac{V_{high}}{t_2} \quad (5.19)$$

i l'error màxim en la mesura seria:

$$\epsilon_{I_{DDQ}} = \frac{1}{2} C V_{high} \left(\frac{1}{t_3} - \frac{1}{t_2} \right) \quad (5.20)$$

Així, l'error seria menor quan més propers en el temps estiguin els sensors.

Malauradament, el soroll afecta a la mesura, distorsionant el valor obtingut. Això es tradueix en que les *referències* entreguen valors on predominen els indeterminats al voltant del moment en que el voltatge del node virtual passa pels llindars de comparació. Per exemple, en el cas anterior la resposta obtinguda podria ser: HH*i*H*i*L*i*LLL, fent difícil el càlcul del corrent quiescent.

Per a solucionar aquest problema es repeteix varies vegades el test. Així, per a cada vector de test que generi corrent quiescent, s'executa el test un nombre de vegades definit pel *software*. De cada vector s'obté varies mostres de les comparacions efectuades per les *referències* i, a continuació, es troba la posició mitjana dels indeterminats i seguidament es calcula el valor mig

rang I_{DDQ} (μA)	C (nF)	error mig (μA)
1 a 15	5.6	0.56
15 a 125	15.6	1.54
125 a 545	73.6	7.36
545 a 1500	105.6	10.56

Taula 5.2: Error mig de la mesura per diferents rangs de corrent

de les mitjanes. Aquesta mitjana de la posició dels indeterminats ens dona una mesura més fiable del corrent quiescent. Aquest corrent estarà limitat per:

$$C \frac{V_{high}}{\bar{t}_i} < I_{DDQ} < C \frac{V_{low}}{\bar{t}_i} \quad (5.21)$$

on \bar{t}_i és l'instant de temps de la posició del valor mig de les mitjanes dels indeterminats. Tenim en compte que $V_{high} - V_{low} = \Delta V$, l'error mig que es comet en la mesura és de:

$$\varepsilon_{I_{DDQ}} = \frac{1}{2} \frac{C \Delta V}{\bar{t}_i} \quad (5.22)$$

L'error mig depèn de la capacitat C . En la implementació del sensor s'han utilitzat 4 valors de capacitat diferents en funció del rang de mesura del corrent. A la taula 5.2 es representa el valor mig de l'error en el rang de mesura especificat assumint com cas més desfavorable que \bar{t}_i és igual a la meitat del període màxim de la màquina de test,

5.5.4 Funcions implementades en l'ATE

En aquest apartat es descriuran breument els programes implementats en el banc de test.

SENSOR DE CORRENT QUIESCENT

Donat un corrent de referència i un conjunt de vectors de test, mostra els vectors que generen un corrent quiescent en el CUT superior al corrent de referència.

- Paràmetres d'entrada
 - Corrent quiescent de referència (I_{ref})

- Capacitat total del CUT vista des del *pin* d'alimentació (C)
- ΔV
- Temps màxim d'establiment del transitori de corrent del CUT (t_{tran})
- Paràmetres de sortida
 - Nombre de vectors de test avaluats
 - Nombre de vectors de test que generen un consum de corrent superior al corrent de referència
 - Posició dels vectors de test que generen un corrent quiescent superior al corrent de referència
- Característiques
 - S'utilitzen 19 *referències de tensió* (canals receptors de la màquina de test). Les *referències* es distribueixen al voltant del corrent de referència. Si el corrent quiescent avaluat és superior al corrent de referència, el vector considerat s'afegeix a la llista de vectors amb corrent quiescent anormal.

MONITOR DEL CORRENT QUIESCENT D'UN CIRCUIT COMBINACIONAL PER A UN CONJUNT DE VECTORS

Mesura el consum del CUT quan té aplicat un conjunt de vectors subministrats per l'usuari.

- Paràmetres d'entrada
 - Posició del vector de test a avaluar
 - Capacitat total del CUT vista des del *pin* d'alimentació (C)
 - ΔV
 - Temps màxim d'establiment del transitori de corrent del CUT (t_{tran})
- Paràmetres de sortida
 - valor del consum del corrent quiescent pels vectors especificats (en μA)

- **Característiques**

- Són les mateixes que en el programa anterior amb la diferència que els intervals de corrent màxim i mínim s'aproximen en tres iteracions i que el test s'executa 8 vegades per a obtenir un valor més fiable de la mesura.

MONITOR DEL CORRENT QUIESCENT D'UN CIRCUIT SEQÜENCIA PER A UN CONJUNT DE VECTORS

És el mateix programa que el programa monitor del consum d'un circuit combinacional però fent que s'executin previament tots els vectors anteriors al que s'ha d'avaluar sense fer cap mesura.

Com programes auxiliars també s'han implementat els següents:

"DEPOWERING"

Avalúa el consum d'un circuit integrat quan té aplicat un conjunt de vectors de test. Per a tal fi, es proporciona el temps que triga la tensió d'alimentació del CUT a arribar a una tensió llinar especificada. Com a paràmetres d'entrada té el valor de la capacitat del condensador que actúa com font d'energia quan el CUT es desconnecta de l'alimentació, la capacitat C_{DD} del CUT i la tensió llinar. Com paràmetres de sortida té el temps que triga l'alimentació del CUT en arribar a la tensió llinar.

CONFIGURACIÓ DELS PINS DEL CUT

Configura els canals de la màquina de test associats a cada *pin* del CUT.

5.5.5 Resultats obtinguts

El test i mesura del corrent quiescent sobre el banc de proves s'ha realitzat amb dos tipus de circuits:

- Sobre un circuit integrat construït amb tecnologia ES2 de 1.5 μm . Aquest circuit és un multiplicador de 3×3 bits i inclou circuits addicionals que emulen vuit ponts. El circuit, anomenat **MPBICS**, es descriu amb detall al capítol 4 d'aquesta tesi. L'activació dels vuit ponts es pot controlar a partir de *pins* específics del C.I.

Pont	NVT	NVD	TF	VD
ca1	64	64	PASSA	TOTS
ca2	64	48	PASSA	TOTS
cb1	64	64	PASSA	TOTS
cb2	64	4	PASSA	TOTS
cb3	64	4	FALLA	TOTS
cc1	64	16	PASSA	TOTS
cc3	64	1	PASSA	TOTS
cd2	64	54	PASSA	TOTS

Taula 5.3: Resultats del banc de proves en el test I_{DDQ} . NVT: nombre de vectors de test, NVD: nombre de vectors que exciten cada pont, TF: test funcional, VD: vectors detectats pel test I_{DDQ}

- Sobre resistències calibrades connectades entre el *pin* d'alimentació i terra.

A més, s'han realitzat altres experiments sobre el banc de proves, relacionats amb el consum d'energia del CUT, que seran descrits al capítol 6 d'aquesta tesi.

Proves: test per corrent I_{DDQ}

Per avaluar el comportament del sensor del circuit, s'han excitat els punts del MPBICS i s'ha comprovat si el banc de test detecta els vectors que causen un excés de corrent quiescent. També s'ha verificat un test funcional del multiplicador. Els paràmetres d'entrada han estat:

- Capacitat del CUT: 250 pF
- $\Delta V = 100$ mV
- Temps d'establiment del transitori de corrent = 1 μ s
- Corrent de referència = 1 μ A

Els resultats es poden veure a la taula 5.3.

Com es pot veure els resultats proven el funcionament correcte del banc de proves.

Resistència (Ω)	$I_{NOMINAL}$ (μA)	I_{BP} (μA)	Error (μA)
1032000	4.845	4.93	+0.085
828811	6.033	6.09	+0.057
560730	8.916	8.65	-0.266
408242	12.25	11.94	-0.310
274940	18.19	18.66	+0.470
178966	27.94	28.12	+0.180
118164	42.31	43.58	+1.27
81827.6	61.25	62.92	+1.67
55463.6	90.15	92.16	+2.01
26737.2	187.1	189.58	+2.48
14947.8	334.5	340.74	+6.24
10010.2	499.5	503.32	+3.82

Taula 5.4: Resultats experimentals de la mesura del consum amb R. $I_{NOMINAL}$: mesura amb les resistències calibrades amb el multímetre HP3457A, I_{BP} : mesura amb el banc de proves

Proves: mesura del corrent quiescent

El primer experiment va consistir en connectar resistències calibrades amb un multímetre HP3457A entre el *pin* d'alimentació i terra. Es va executar el programa de mesura, es van recollir les dades i es van comparar amb els valors nominals de corrent. Es van realitzar 100 mesures amb el multímetre per a cada valor de resistència per obtenir un valor fiable. Els resultats es presenten a la taula 5.4.

Com es pot veure, les dades obtingudes amb el banc de proves són molt properes a les nominals. L'error és inferior al 3 % en tot el rang de mesura i l'error mig està dins del valor esperat.

El segon experiment va consistir en mesurar el corrent quiescent del circuit MPBICS quan s'activaven els ponts. Els resultats es mostren a la taula 5.5.

Les dades obtingudes amb el banc de proves s'ajusten al valor mesurat amb l'amperímetre amb un error que varia des d'un 0.4 % fins a un 7 % en el cas més desfavorable. L'error mig és només d'un 0.25 %.

Pont	Vector	$I_{HP3457A}(\mu A)$	$I_{BP}(\mu A)$	Error(%)
ca1	0	473.5	475.35	+0.391
ca1	40	473.5	470.61	-0.610
ca2	23	159.5	151.93	-4.746
ca2	55	161	154.08	-4.298
cb1	26	473.5	478.24	+1.001
cb1	52	458	459.63	+0.356
cb2	30	241.5	234.58	-2.865
cb2	31	284	278.34	-1.993
cb2	62	240.5	234.58	-2.462
cb2	63	240.5	232.73	-3.231
cb3	27	326	305.52	-6.282
cb3	63	261	246.81	-5.437
cc1	39	226	221.32	-2.071
cc1	55	225	218.42	-2.924
cc3	63	145.5	138.61	-4.735
cd2	13	383	385.67	+0.697
cd2	52	1350	1451	+7.481

Taula 5.5: Resultats experimentals del corrent quiescent del MPBICS al habilitar els ponts del circuit en diversos vectors

Proves: freqüència de la mesura

L'objectiu del banc de proves és ser una eina per a la investigació del consum dels C.I. CMOS. Això vol dir que en el seu disseny han primat més les consideracions d'obtenir una bona precisió encara que la velocitat d'execució de les mesures no fos molt gran. Per a limitar l'error, el *software* del banc de proves detecta el valor de la capacitat C en que l'error és mínim i afegeix en paral·lel la capacitat addicional necessària, l'efecte indesitjat, però, és que la velocitat d'execució de la mesura baixa.

El criteri seguit per a determinar la freqüència de treball és el següent: el *software* determina, en una primera passada, quin és el valor de la capacitat C que fa que el voltatge del node VDD passi els llindars V_{high} i V_{low} en el temps més gran possible (però sempre inferior a $T_{max_{HP82000}}$). A continuació, en una segona passada realitza la mesura del corrent ajustant l'interval de temps per obtenir la màxima precisió.

A la figura 5.18 es mostra la relació entre la freqüència de la mesura, és a dir, entre el nombre de vectors per segon que es poden mesurar, i el corrent quiescent mesurat. Les discontinuïtats en la corba corresponen als valors del corrent quiescent en que es posen en paral·lel les capacitats addicionals.

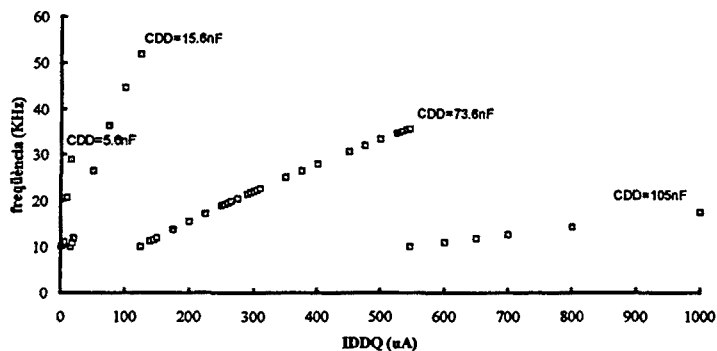


Figura 5.18: Velocitat de la mesura en funció del corrent a mesurar

L'error mig en el cas més desfavorable (fent $\bar{t}_i = \frac{1}{2}T_{max_{HP82000}}$) en funció del corrent quiescent mesurat es pot veure a la figura 5.19. L'error mig és manté aproximadament constant a partir de 100 μA e inferior al 6 %. L'error mig màxim és del 12 %.

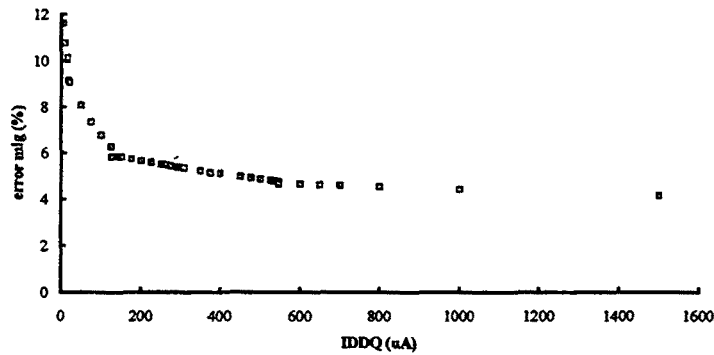


Figura 5.19: Error mig del sensor en funció de I_{DDQ}

5.6 CONCLUSIONS

En aquest capítol s'ha presentat l'anàlisi, el disseny i la implementació d'un sensor *off-chip* pel test *off-line* amb l'enfoc de Keating-Meyer. S'han analitzat les diferents parts de l'estructura del sensor, s'han avaluat els requisits que ha de complir cada part, els seus avantatges i inconvenients, les pertorbacions que aporten al sistema i s'han donat solucions als problemes creats per cada element. Com a aplicació dels resultats obtinguts, s'ha presentat un banc de treball que implementa el sensor descrit sobre una màquina de test automàtic digital HP82000.

Cal destacar les tres contribucions que s'han presentat en aquest capítol:

- S'ha donat una solució al problema del disseny d'un interruptor que tingui a l'hora una R_{ON} i una injecció de càrrega petita.
- S'ha mostrat l'importància i la complexitat de la capacitat entre el node d'alimentació i GND. El treball realitzat apunta cap a futurs desenvolupaments que completin l'anàlisi encetat.
- S'ha construït un sensor *off-chip* I_{DDQ} que presenta com a novetat que aprofita els recursos propis d'una màquina de test convencional per a determinar si el corrent quiescent del CUT és correcte. El sensor, a més, permet ser utilitzat com plataforma pel desenvolupament d'altres

tècniques basades en el consum del circuit. En el capítol següent es presenten dues d'aquestes tècniques de mesura i test.

Bibliografia

- [1] A. Rubio, E. Janssens, H. Casier, J. Figueras, D. Mateo, P. De Pauw, J. Segura. A Built-in Quiescent Current Monitor for CMOS VLSI Circuits. A *Proceedings of ED&TC95*, pàgines 581–585, Març 1995.
- [2] B. Straka, H. Manhaeve, J. Vanneuville. Programmable off-chip IDDQ Monitor. A *Proceedings of ETW96*, pàgines 99–102, Juny 1996.
- [3] C. Crapushettes. Testing CMOS IDD on large Devices. A *Proceedings of ITC87*, pàgines 310–315, 1987.
- [4] Ed Oxner (SILICONIX). *Designing with Field-Effect Transistors*. McGraw Hill, New York, second edition, 1990.
- [5] Hans A.R. Manhaeve, Paul L. Wrighton, Jos van Sas, Urbain Swerts. An off-chip IDDQ Current Measurement Unit For Telecommunication ASICs. A *Proceedings of ITC94*, pàgines 203–212, Octubre 1994.
- [6] Jerry M. Soden, Charles F. Hawkins, Ravi K. Gulati, Weiwei Mao. IDDQ Testing: A Review. *Journal of Electronic Testing, Vol 3, No 4*, pàgines 291–303, Desembre 1992.
- [7] K. Baker, A. Bratt, A. Richardson, A. Welbers. Development of a Class 1 QTAG Monitor. A *Proceedings of ITC94*, pàgines 213–222, Octubre 1994.
- [8] K. Baker, A. Bratt, A. Welbers. Provisional Specification for IDUNA-2. Technical Report RWB-554-KB-94038-KB, Philips Research, Març 1994.
- [9] Kenneth M. Wallquist. Achieving IDDQ/ISSQ Production Testing with QuiC-Mon. *IEEE Design and Test of Computers*, pàgines 62–69, Tardor 1995.

- [10] Kenneth M. Wallquist. On the Effect of ISSQ testing in Reducing Early Failure rate. A *Proceedings of ITC95*, pàgines 910–914, Octubre 1995.
- [11] Kenneth M. Wallquist, Alan W. Righter, Charles F. Hawkins. A General Purpose IDDQ Measurement Circuit. A *Proceedings of ITC93*, pàgines 642–651, 1993.
- [12] Luther K. Horning, Jerry M. Soden, Ron R. Fritzscheier, Charles F. Hawkins. Measurements of Quiescent Power Supply Current for CMOS ICs in Production Testing. A *Proceedings of ITC87*, pàgines 300–309, 1987.
- [13] Mike Keating, Dennis Meyer. A new Approach to Dynamic IDD Testing. A *Proceedings of ITC87*, pàgines 316–321, 1987.
- [14] Neil H.E. Weste, Kamram Eshraghian. *Principles of CMOS VLSI Design. A Systems perspective*. Addison-Wesley, Reading, Massachusetts, second edition, 1993.
- [15] Philip E. Allen, Douglas R. Holberg. *CMOS Analog Circuit Design*. Saunders College Publishing, New York, first edition, 1987.
- [16] Rochit Rajsuman. *IDDQ Testing for CMOS Circuits*. ARTECH HOUSE, Boston, 1995.
- [17] Steve Ehlscheid. A Practical Method to Increase Test Coverage Using IDDQ. *EE. Evaluation Engineering*, pàgines 94–100, Agost 1995.
- [18] W. Maly, M. Patyra. Design of ICs Applying Built-in Current Testing. *Journal of Electronic Testing*, pàgines 111–120, Juliol 1992.
- [19] Xavier Font Fisa. *Monitorització del consum de corrent de circuits integrats de tecnologia CMOS*. PFC, UPC, Barcelona, Juny 1996.
- [20] Xavier Font, Josep Rius, Joan Figueras. An Improved Switch for Ketaing-Meyer IDDQ/ISSQ Testing. A *Proceedings of ETW96*, pàgines 81–85, Juny 1996.
- [21] Yannis P. Tsvividis. *Operation and Modeling of the MOS Transistor*. McGraw Hill, New York, 1988.

Capítol 6

Propostes per al test per vigilància del consum amb sensors *off-chip*

6.1 INTRODUCCIÓ

En aquest capítol es presenten dos nous mètodes de test per vigilància del consum. La primera proposta detecta defectes en els circuits CMOS que generen corrents quiescents anormals fent que el propi circuit, o una part d'ell, modifiqui el seu estat com a resposta al defecte. Així, s'obté una gran simplificació en el test per corrent ja que no és necessari incloure cap sensor. La segona proposta consisteix en monitoritzar el consum del circuit una vegada se li ha desconnectat l'alimentació mentre se li està aplicant un conjunt de vectors de test. Amb aquesta proposta es millora la velocitat del test per una classe de circuits i, a més, el mètode millora la qualitat del test ja que també és sensible als defectes que causen canvis del consum dinàmic.

Ambdues propostes empen la tècnica de desconexió de l'alimentació per mitjà d'un interruptor [10]. Les propostes que es presenten en aquest capítol són vàlides per a ser implementades tant en sensors *on-chip* o com en sensors *off-chip*. No obstant això, l'experimentació realitzada s'ha fet amb una implementació *off-chip*. Per ser propostes que requereixen un interruptor que connecti els terminals V_{DD} o GND del CUT a la font d'alimentació, l'anàlisi i el banc de proves descrit en el capítol anterior s'ha emprat per a validarles experimentalment.

Les validacions experimentals s'han fet indistintament utilitzant la versió

IDDQ o la versió ISSQ del banc de proves. Per això, es mostraran resultats obtinguts amb una o l'altre versió.

6.2 MONITORITZACIÓ DE I_{DDQ} PER DESCONNEXIÓ I OBSERVACIÓ DE LES SORTIDES PRIMÀRIES

En aquesta secció es descriu un nou enfoc per a efectuar el test per vigilància del corrent quiescent. L'enfoc es basa, com s'ha dit, en la desconexió de la línia d'alimentació (o de terra) del CUT quan el circuit està en estat quiescent. En aquell moment, totes les capacitats del circuit romanen carregades i els nodes del circuit mantenen els valors lògics de tensió. Després de la desconexió, si el circuit no és defectuós, les capacitats internes del circuit es descarreguen molt lentament (amb constants de temps de l'ordre de dècimes de segon)[13] degut al extremadament petit valor del corrent de descàrrega. En canvi, si el circuit presenta un corrent I_{DDQ} anormal, la descàrrega és molt més ràpida que en el cas anterior ja que el corrent involucrat és ordres de magnitud superior. Així, després d'un temps determinat des de la desconexió del circuit, els valors lògics dels nodes interns del circuit amb defecte hauran canviat. Aquests canvis poden propagarse fins les sortides primàries del CUT si es creen les condicions adequades i llavors el defecte pot ser detectat.

El mètode de detecció proposat es diferencia del mètode usat en alguns sensors integradors [2][8][16][4], en que, en comptes d'introduir lògica addicional i una sortida especial per a detectar el consum anormal, s'utilitza el propi circuit per a propagar la fallada des del punt on es produeix.

Per a la implementació d'aquesta tècnica de test cal incloure un o més interruptors al CUT. Si es divideix el CUT en parts caldrà afegir a cadascuna d'elles un interruptor situat a la línia VDD i/o GND. Si no es parteix el circuit, un sol interruptor és suficient.

En els següents paràgrafs es presenta amb més profunditat les característiques de l'enfoc i les implicacions en el disseny dels circuits, i s'estudia l'operació dels interruptors per aconseguir l'òptim funcionament del sistema de detecció.

6.2.1 Efectes del corrent I_{DDQ} sobre els circuits CMOS desconectats de l'alimentació

Per a estudiar el comportament dels circuits CMOS quan són desconectats de la font d'alimentació asumirem unes consideracions preliminars:

1. Assumim que, durant tot el temps considerat, existeix un corrent I_{DDQ} anormal en el circuit, resultat d'algun defecte present en el seu sí.
2. Suposarem que existeixen dues línies d'alimentació en el circuit: la perifèrica connectada als *pads* d'entrada/sortida i la interna connectada als circuits interns. Aquestes dues línies d'alimentació són necessàries per a evitar l'alimentació del circuit a través dels díodes de protecció dels *pads* d'entrada/sortida quan l'alimentació es desconnecta per un interruptor.

Tenim en compte aquestes consideracions, els circuits CMOS presenten un comportament tal que es pot afirmar que:

- Un circuit CMOS té una capacitat intrínseca entre el node d'alimentació i GND. Quan el circuit està alimentat, aquesta capacitat està carregada (veieu capítol anterior).
- Si es desconnecta l'alimentació quan el circuit està en estat quiescent i **no hi ha corrent quiescent anormal**, llavors les capacitats abans esmentades es mantenen carregades i els valors lògics dels nodes interns i de les sortides del circuit es mantenen durant un temps relativament llarg degut al extremadament petit corrent de descàrrega [13].
- Per altra banda, si hi ha un defecte al circuit que genera un **corrent quiescent anormal**, llavors existeix un camí conductor entre els nodes GND i VDD i el temps en que les capacitats del circuit es descarreguin serà molt més curt ja que el corrent de descàrrega és principalment el corrent degut al defecte.

Si l'interruptor està situat a la línia d'alimentació (V_{DD}), d'acord amb aquests fets, quan el voltatge al node VDD cau, també ho fa el voltatge als nodes interns a "1" lògic i, per tant, passat algun temps, el seus valors lògics es transformen en "0s". El mecanisme per entendre aquest fenomen es pot explicar anàlitzant un exemple senzill (veieu Figura 6.1).

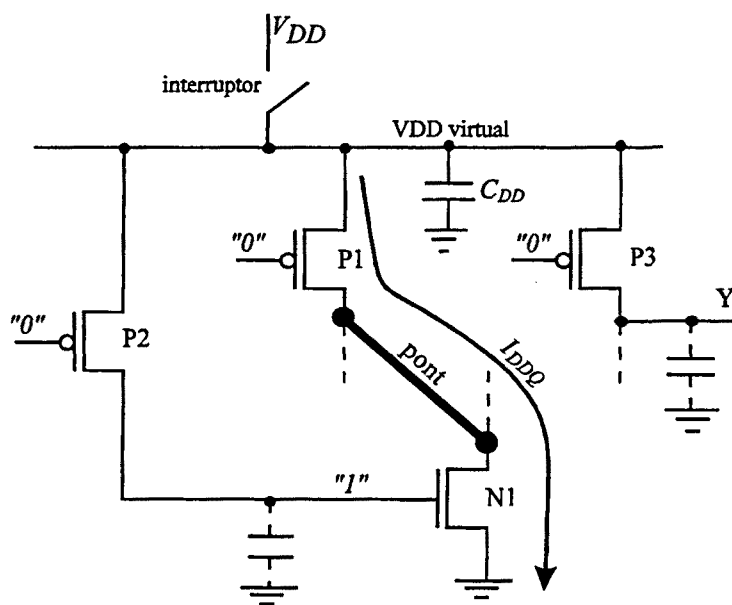


Figura 6.1: Circuit CMOS amb un pont no realimentat

Un pont no realimentat curtcircuita els drenadors dels transistors P1 i N1. Aquests poden ser transistors simples o una combinació de transistors en estat de conducció en sèrie o paral·lel. Inicialment l'interruptor està connectat. La sortida Y té el valor lògic "1" degut a que la porta del transistor PMOS P3 està a "0". El condensador C_{DD} representa la capacitat associada al node VVDD i la resta de condensadors de la figura representen les capacitats paràsites dels nodes a "1" lògic.

Per a excitar el pont es requereix aplicar un "0" a la porta de P1 i un "1" a la porta de N1. Aquest "1" és produït per un altre transistor PMOS P2 en estat de conducció que té la seva porta a "0" lògic. En aquestes condicions s'estableix un flux de corrent des de V_{DD} a GND. En estat quiescent, quan l'interruptor es desconnecta, el corrent I_{DDQ} degut al pont comença a descarregar el condensador C_{DD} i la resta de capacitats internes. Els transistors P1 i P2 es mantenen en estat de conducció durant la descàrrega de les capacitats per que el nivell "0" lògic a les seves portes no canvia. La conducció d'aquests dos transistors manté la descàrrega mentre el seu voltatge V_{GS} sigui superior a la tensió llindar V_T , és a dir mentre el voltatge al node VVDD sigui més gran que $|V_{TP1}|$ o mentre que el voltatge al drenador de N1 sigui més gran que V_{TN1} . La descàrrega de les capacitats s'int interrompeix justament quan es compleixi que $V_{VVDD} = \max(|V_{TP1}|, V_{TN1})$. Si el valor lògic de la sortida Y era "1" abans de la descàrrega, el seu voltatge final serà el mateix que el del node VVDD. Quan la descàrrega ha acabat i la sortida Y té el voltatge V_T , aquest valor pot ser reconegut com un "0" pel circuit connectat a ella.

La següent cadena de raonaments permet generalitzar l'anàlisi anterior assumint:

- que en el moment en que s'obre l'interruptor el circuit està en l'estat quiescent on totes les capacitats de V_{DD} a GND estan carregades.
- que s'ha excitat un pont en el circuit.
- que hi ha, com a mínim, una sortida Y del circuit a "1" i que està connectada a una capacitat de càrrega C_L .

En aquestes condicions són certs els següents fets:

1. El pont, que comunica el node d'alimentació amb GND a través de k transistors PMOS en estat ON en sèrie amb l transistors NMOS en estat ON, $(k, l) \geq 1$, inicia la descàrrega de la capacitat entre V_{DD} i GND i per tant fa disminuir el voltatge al node d'alimentació VVDD.

2. La descàrrega ha de continuar mentre la cadena de transistors en conducció no es trenqui.
3. Només s'atura la descàrrega quan

$$V_{VDD} = V_{VDD\min} = [\max(|V_{TPi}|, V_{TNj}), \forall i \in \{1..k\}, \forall j \in \{1..l\}].$$
4. El voltatge de la sortida Y inicialment a "1" segueix l'evolució de V_{VDD} ja que, en cas contrari, tindriem la situació absurda d'una capacitat C_L , amb una tensió V_{DD} entre els seus extrems, que està connectada a través de m transistors PMOS en estat ON a una tensió inferior (la del node VVDD) i que no modifica el seu estat.
5. El voltatge final de la sortida Y serà

$$V_{Y\text{final}} = [\max(V_{VDD\min}, |V_{TPi}|), \forall i \in \{1..m\}].$$
6. El voltatge $V_{Y\text{final}}$ pot ser reconegut com un "0" lògic pel circuit connectat a la sortida Y si $V_{Y\text{final}} < V_{IL}$.

Es pot treure la següent conclusió per a qualsevol circuit combinacional que presenti un defecte que generi un corrent quiescent tal com un pont: sempre que s'interrumpeix l'alimentació del circuit quan el defecte està excitat, es produeix una descàrrega de les capacitats al node VVDD de tal manera que totes les sortides del circuit que estaven inicialment a l'estat lògic "1" (a tensió V_{DD}) passen finalment a tenir una tensió igual a la tensió llindar del primer transistor que interromp el corrent de descàrrega. Aquest nivell de tensió a les sortides pot ser reconegut com un nivell lògic "0" pels circuits connectats a elles. Les sortides del circuit que estaven inicialment a l'estat lògic "0" no canvien el seu estat durant el procés. Aquests canvis en les sortides del circuit han de ser detectats (per un equip ATE per exemple) per a determinar la presència d'un defecte al circuit. El comportament descrit dels circuits CMOS pot ser utilitzat, doncs, com a base d'un mètode de test dels circuits per vigilància del consum quiescent.

6.2.2 Test per desconexió i vigilància de les sortides del CUT

L'anàlisi anterior permet distingir entre els circuits CMOS que presentin un corrent I_{DDQ} anormal i els que no. Observant les sortides del circuit, és possible detectar els circuits amb I_{DDQ} anormals mesurant el temps entre l'obertura de l'interruptor i el moment en que les sortides canvien el seu estat. Aquest temps és molt més curt en circuits amb defectes que generin

I_{DDQ} anormals que en circuits sense defectes. Així, la vigilància del corrent quiescent es deixa al propi circuit CMOS que s'està vigilant i no a circuits sensors especials.

6.2.3 Condicions per a excitar i observar un defecte als circuits combinacionals

Utilitzant un sol interruptor, els requeriments per a garantir que els canvis produïts en la cel.la defectuosa es propagaran fins les sortides primàries del CUT són:

- Aplicació del vector als pins d'entrada del CUT que garanteixin que el defecte es excita (generant un corrent I_{DDQ} anormal) i que una o més sortides del circuit connectades directament als *pads* de sortida presentin un nivell lògic "1".
- Una vegada el circuit està en estat quiescent, obertura del interruptor.
- El voltatge de les sortides a "1" cau (Figura 6.2) seguint la caiguda de la tensió al node VVDD. Després d'un temps, el voltatge a la sortida passa a "0" i aquest canvi pot ser observat als *pins* de sortida del CUT.

Observant les sortides durant un temps $t_w \geq t_s$, on t_s és el temps màxim per que una sortida passi de "1" a "0" (és a dir, que assoleixi el valor V_{IL}), la fallada pot ser detectada. Una simulació SPICE de l'evolució del voltatge als nodes VVDD i a la sortida d'un sumador complet d'un bit (v_Y) es mostren a la Figura 6.2. El sumador s'ha dissenyat en tecnologia ES2 de $1 \mu\text{m}$ i les capacitats del node d'alimentació i del de sortida són les capacitats del *layout*.

Com s'ha dit abans, la proposta es basa en la utilització d'un interruptor en una línia d'alimentació. Aquest interruptor pot ser intern (per fer test *on-chip*) o extern (per fer test *off-chip*).

El test per desconexió i vigilància de les sortides pot ser implementat utilitzant un sol interruptor per tot el CUT o múltiples interruptors cadascun d'ells connectat a una partició del CUT (figura 6.3A i B). Utilitzar un sol interruptor (figura 6.3A) presenta com avantatge que el mètode de test és extremadament simple ja que només consisteix en obrir un interruptor i esperar un temps mentre s'observa si a les sortides del CUT hi ha algun canvi. En canvi, quan el CUT es divideix en parts, cada una ha de tenir associada un interruptor diferent (Figura 6.3B) controlat independentment

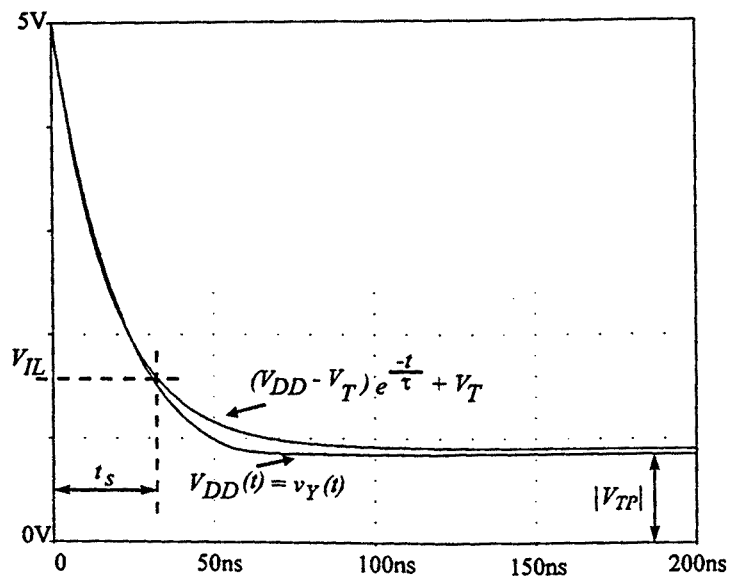


Figura 6.2: Evolució del potencial al node d'alimentació i al node de sortida d'un sumador complet d'un bit. Ajust amb una caiguda exponencial. Tecnologia ES2 de $1 \mu\text{m}$.

pel circuit adient. Aixó fa que sigui gairebé obligat, sopena d'una gran penalització en el nombre de *pins*, que els interruptors siguin interns. No obstant, utilitzar més d'un interruptor (partint el CUT) presenta les següents avantatges:

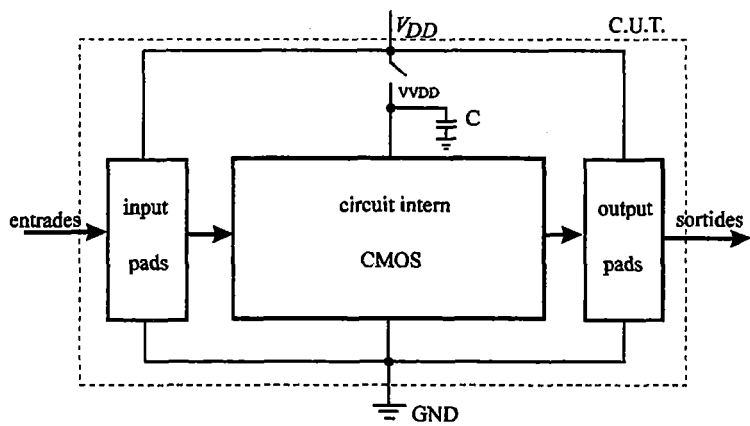
- Es té un grau addicional de llibertat al poder decidir en cada moment quins són els interruptors que s'obren o queden tancats.
- Les capacitats associades són molt més petites en una partició i, per tant, els voltatges en aquests nodes canvien molt més ràpidament davant de corrents quiescents anormals produïdes per algun defecte.
- Si es desitja, el conjunt d'interruptors poden ser controlats com un de sol. De fet es podrien concebir com un interruptor únic distribuït.

Tanmateix, les condicions per a excitar i observar els defectes són lleugerament diferents que en el cas d'un sol interruptor.

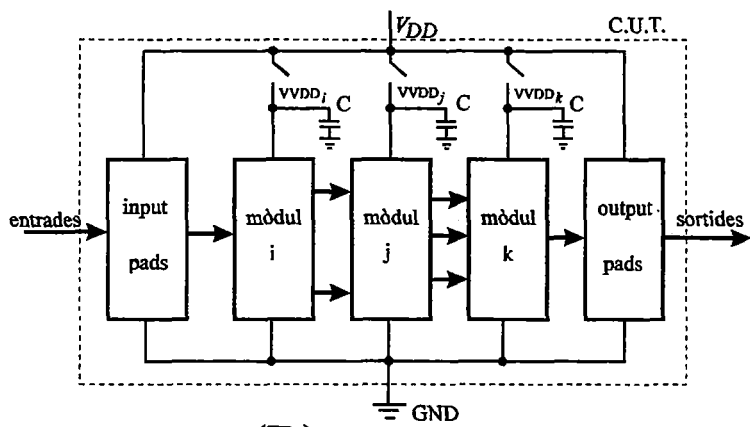
Condicions per a excitar i observar el defecte amb múltiples interruptors

Si s'utilitzen múltiples interruptors partint el CUT, cal complir els requeriments per a garantir que els canvis produïts en la partició del CUT que contingui el defecte es propagaran fins les sortides primàries del CUT. Aquests requeriments són lleugerament diferents als del cas en que hi hagi un sol interruptor: mentre que amb un sol interruptor les sortides primàries del CUT a "1" *sempre* canvien el seu estat, amb múltiples interruptors cal crear les condicions per a propagar els canvis a les sortides de la partició amb el defecte fins les sortides primàries. Això fa que la seqüència de control hagi de tenir els següents passos:

- Aplicació del vector als pins d'entrada del CUT que compleixin les següents condicions:
 - que excitin el defecte generant un corrent I_{DDQ} anormal,
 - que una o més sortides de la partició presentin un nivell lògic "1",
 - i que un canvi de nivell lògic de "1" a "0" d'aquestes sortides pugui ser observat a les sortides primàries del CUT.
- Una vegada el circuit està en estat quiescent, obertura dels interruptors.



(A)



(B)

Figura 6.3: Alternatives al "depowering" A) amb un interruptor, (B) amb múltiples interruptors

- El voltatge de les sortides a "1" de la partició amb el defecte cau (figura 6.2) seguint la caiguda de la tensió al node VVDD. Després d'un temps, el voltatge a una o més sortides passa a "0".
- Després d'un temps $t_w \geq t_s + t_{pd}$ observació dels canvis en els estats dels pins de sortida del CUT on t_s és el temps màxim per que una sortida de la partició passi de "1" a "0" i t_{pd} és el temps de propagació del canvi a la sortida de la partició amb el defecte a les sortides primàries del CUT.

L'algorisme de control pot obrir tots els interruptors, un grup d'interruptors o només un, en funció, per exemple, de la zona del circuit en la que es desitja realitzar el test.

Si l'algorisme de control obre simultàneament tots els interruptors de les particions, es pot presentar un fenomen d'*atenuació* de la propagació del canvi de les sortides. Aquest fenomen s'explica en el següent paràgraf assumint que el CUT té n particions i que els interruptors s'obren simultàniament.

L'existència d'un corrent quiescent, deguda a un defecte, en una partició x que té obert l'interruptor a V_{DD} , fa que el voltatge al node VVDD disminueixi fins a un valor igual a la tensió llindar dels transistors MOS (en el que segueix suposarem que $|V_{TP}| = V_{TN} = V_T$). El voltatge de totes les sortides a "1" lògic de la partició cau a aquest valor V_T . Si aquest canvi a les sortides es produeix més depressa que el canvi de voltatge a la partició $x+1$ en que les seves entrades estan connectades a les sortides de la partició x , aquesta veurà que les sortides de la partició x canvien de l'estat lògic "1" al "0" i reaccionarà conseqüentment. Pel contrari, si el canvi en el voltatge de la partició x és més lent que el de la partició $x+1$, el valor de V_{VVDD} de la partició $x+1$ va disminuint gradualment seguint el mateix ritme que el de la partició x . El resultat és que les sortides a "1" lògic de la partició $x+1$ arriben a un valor de voltatge de $2V_T$ ja que les entrades connectades a les sortides de la partició x arriben al voltatge V_T . Si hi han varies particions connectades en sèrie, l'efecte es va acumulant a mesura que el defecte es va propagant a través d'elles. Així, a les sortides amb "1" lògic de la partició $x+2$ tindriem un voltatge de $3V_{TP}$ etc. La conseqüència és que en un CUT en que hi hagin moltes particions en sèrie, la propagació dels canvis d'estat deguts al defecte en una partició, podria passar desapercbut perquè el canvi de potencial de les sortides a "1" lògic de cada partició a partir de la defectuosa seria cada vegada més petit, fins que finalment desapareixeria.

Així, una estratègia de test amb múltiples interruptors que s'obren simultàniament requereix que el nombre de particions en sèrie del CUT sigui

petit i, per tant, afavoreix el que hi haguessin poques particions en el CUT. Tanmateix, utilitzant altres estratègies, tals com obrir només un sol interruptor o un grup d'ells, s'elimina aquest efecte indesitjat ja que quan el canvi de nivell lògic produït per la partició amb el defecte arriba a una partició que es manté connectada a l'alimentació, llavors es restaura el nivell lògic de defecte (el "0" en l'exemple). Això és possible sempre que hi hagi activat l'interruptor d'una partició en el camí de propagació del defecte. Com s'ha apuntat anteriorment això té com a conseqüència una major complexitat en l'algorisme del test que utilitzi aquesta tècnica.

6.2.4 Circuits seqüencials

La tècnica descrita és vàlida també sense cap modificació per a circuits seqüencials sempre que s'utilitzi un sol interruptor. En aquest cas, el canvi d'estat dels nodes a "1" del circuit es realitza independentment del tipus de circuit.

En el cas d'utilitzar múltiples interruptors cal modificar la tècnica descrita, ja que els canvis en el nivell lògic de les sortides de la partició amb el defecte només es propagarien fins l'entrada dels *flip-flop*. El fenomen es pot explicar amb l'ajut de la figura 6.4.

A la part superior de la figura 6.4 es pot veure un circuit compost de dues parts: una part combinacional C connectada a un registre R activat per un rellotge CK i connectat als *pads* de sortida. Cadascuna de les dues parts té un interruptor a V_{DD} . Si hi ha un pont a C i s'obre el seu interruptor, les sortides a "1" de C passaran al cap d'un temps a "0". No obstant, aquest canvi no es propagarà fins les sortides primàries del circuit degut a l'existència de R que barrarà el canvi de C fins el següent impuls del rellotge CK. Els circuits integrats reals tenen una combinació complexa de parts seqüencials i combinacionals profundament imbricades i per això, no es pot garantir quants impulsos de rellotge seran necessaris, ni quins interruptors s'han de obrir i tancar per a detectar un defecte a cadascuna de les particions del circuit.

No obstant, el problema pot ser resolt fent les particions de manera adequada. A la part inferior de la figura 6.4 es veu el mateix circuit d'abans, però amb unes particions diferents: cada partició té una part del circuit combinacional C i una part del registre R. Cada part té el seu propi interruptor i una o més de les sortides de cada partició està directament connectada als *pads* de sortida del CUT. Així, el mateix pont de C fa que una o més de les sortides primàries del circuit canviïn de "1" a "0" i, per tant aquest canvi

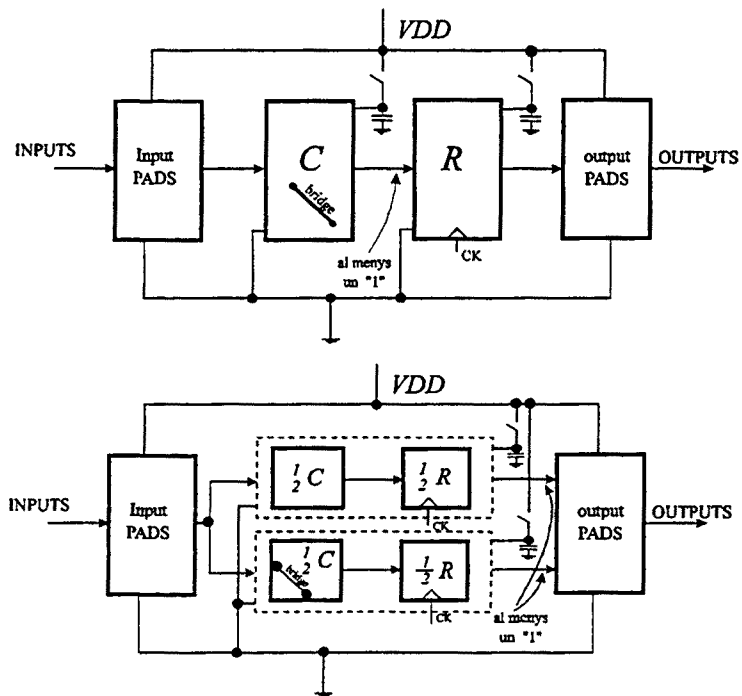


Figura 6.4: Aplicació de la tècnica amb múltiples interruptors a circuits seqüencials

pot ser detectat externament.

6.2.5 Anàlisi del temps requerit per detectar una fallada

El temps que cal esperar i, per tant, la velocitat del test es inversament proporcional al corrent de defecte, al valor de la capacitat associada al node VVDD de cada partició i al valor lògic de cada node intern del circuit (veieu el capítol anterior d'aquesta tesi). Com que aquestes capacitats creixen al créixer la mida de la partició, això implica que per aconseguir velocitats de test altes la mida de les particions ha de ser petita. No obstant, com s'ha vist abans, hi han altres restriccions que afavoreixen que la mida de la partició sigui gran. S'haurà doncs de buscar una solució de compromís.

En circuits sense defectes, després que l'interruptor s'ha obert, la descàrrega de les capacitats del node VVDD i dels nodes interns és principalment deguda, en tecnologies micròniques, al corrent de saturació de les unions PN polaritzades inversament. Aquest corrent és quasi constant e independent del voltatge del node i, per una tecnologia donada, és proporcional a l'àrea dels pous i difusions inversament polaritzades [17]. En tecnologies submicròniques cal afegir el corrent subllindar dels transistors en tall [1]. Per altre banda, les capacitats del circuit estan compostes per la capacitat dels pous i de les difusions (proporcional a les seves àrees), les capacitats de porta (proporcional a l'àrea de les portes) i la capacitat del *routing* (aproximadament proporcional a l'àrea del circuit) [11]. Així, si assumim les anteriors relacions, podem estimar que el temps que es necessita per descarregar els nodes a V_{DD} és aproximadament proporcional al quocient entre el valor mig de la capacitat per unitat d'àrea i el valor mig del corrent invers de saturació per unitat d'àrea. En processos CMOS standard, aquest temps és molt llarg [13].

En circuits amb defectes, després que l'interruptor ha estat obert, la descàrrega de les capacitats és deguda principalment al corrent I_{DDQ} anormal ja que aquest corrent és molts ordres de magnitud superior que el corrent I_{DDQ} sense defectes. La descàrrega de les capacitats segueix una llei complicada degut a la interdependència entre els voltatges dels nodes i els paràmetres dels transistors. No obstant, és possible obtenir una estimació aproximada del temps que es necessita per que una sortida del circuit canviï el seu estat, si s'accepten algunes hipòtesis simplificatives sobre el model dels transistors que participen en la descàrrega. Aquestes hipòtesis són:

- Els transistors que participen en la descàrrega es modelen com una simple resistència de valor constant: R_{ON} .

- Les capacitats dels nodes del circuit que està a "1" es suposen constants i afegides a la capacitat del node VVDD.
- El valor del voltatge d'un node es interpretat com "0" pels circuits dels *pads* de sortida quan és més baix o igual que el valor V_{IL} .

Amb aquestes hipòtesis simplificatives, la descàrrega pot ser aproximada per una caiguda exponencial i el temps t_s que necessita el circuit per canviar l'estat lògic de la seva sortida després de la desconnexió de l'alimentació en presència d'un corrent I_{DDQ} defectuós, és, aproximadament:

$$t_s = R_{ONequ} C_{equ} \ln \frac{V_{DD} - V_T}{V_{IL} - V_T} \quad (6.1)$$

on C_{equ} és la capacitat total equivalent calculada com s'ha indicat abans, R_{ONequ} és la resistència equivalent dels transistors que condueixen el corrent de descàrrega més la resistència del pont, i V_T és la tensió llindar dels transistors MOS (assumint que és la mateixa en els transistors NMOS i en els PMOS).

De 6.1 podem veure que, si utilitzem la opció de múltiples interruptors, el temps de detecció pot ser millorat per un factor proporcional a la disminució de les capacitats involucrades. Es pot obtenir la següent relació aproximada: $t_s(\text{interruptor múltiple}) = t_s(\text{interruptor simple})/N$, on N és el nombre de particions en que s'ha dividit el CUT. Simulacions en circuits de mida petita (sumadors complets d'un bit) mostren t_s en el rang de 10 a 100 ns depenent del defecte i, per tant, una velocitat de test en el rang de les desenes de MHz si les particions són petites. Tanmateix, en circuits CMOS VLSI la capacitat del node VDD a GND és gran (a [7] s'han reportat valors en el rang de 1 nF). Per tant, assumint $R_{ONequ} = 100\text{K}\Omega$ que correspondria a un pont amb resistència molt elevada, $C_{equ} = 1\text{nF}$, la expressió 6.1 dona un temps t_s en el rang de 100 μs i, per tant, una velocitat de test en el rang de les desenes de KHz. Per valors més realistes de la resistència del pont es poden obtenir R_{ONequ} de 1 a 10 $\text{K}\Omega$ i, per tant, velocitats de test de l'ordre dels centenars de KHz.

6.2.6 Simulacions i treball experimental

S'han efectuat simulacions d'un circuit sumador complet al que s'ha introduït senyals addicionals que permeten crear defectes que provoquen corrents quiescents de diferents valors. Els resultats de les simulacions són coherents amb la descripció anterior i són la base per a la construcció a

través de EUROCHIP d'un circuit integrat multiplicador de 3×3 bit que inclou 11 mòduls sumadors complets i que ha permès obtenir uns primers resultats experimentals de l'utilització d'aquesta tècnica. (figura 6.5).

Per a realitzar les observacions desitjades, cada sumador del multiplicador incorpora circuiteria addicional (veieu Figura 6.6):

- un interruptor connectat entre la línia d'alimentació (V_{DD}) i el sumador.
- una porta de transmissió i una resistència en sèrie que emula un pont resistiu entre diferents nodes interns del sumador. El valor de la resistència i la mida dels transistors es van dissenyar per que el corrent I_{DDQ} degut al pont fos tal que no generés errors lògics a les sortides del multiplicador.

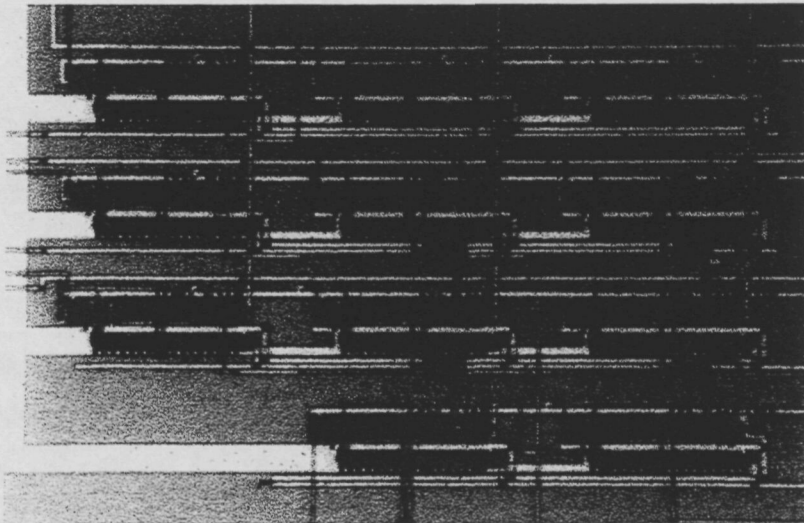


Figura 6.5: Multiplicador de 3×3 bits

Els interruptors de cada fila de sumadors s'han posat en paral·lel per a minimitzar el nombre de *pins* necessaris per a controlar-los. Cada porta de transmissió es pot controlar independentment per un *pin* d'entrada. Els interruptors a V_{DD} estan connectats als circuits interns del multiplicador. Els *pads* d'entrada/sortida estan connectats permanentment a la font d'alimentació.

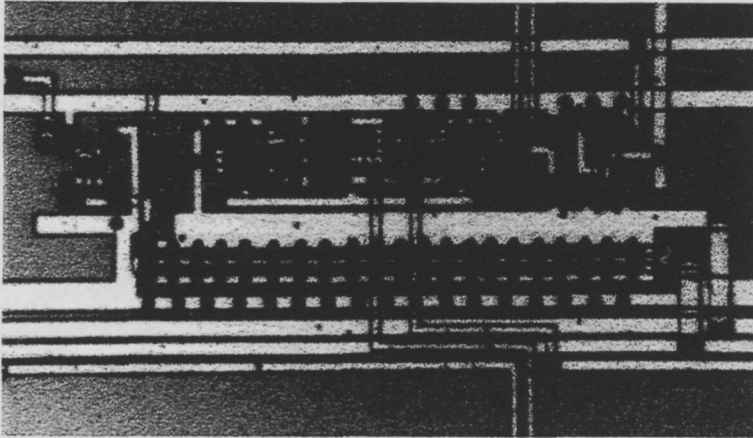


Figura 6.6: Sumador complet amb un interruptor (a baix) i una porta de transmissió amb una resistència en sèrie (a l'esquerra).

Amb aquest esquema, es poden activar 8 punts resistius diferents en el multiplicador, cadascun d'ells generant un valor de I_{DDQ} diferent. A la taula 6.1 es mostren els corrents I_{DDQ} corresponents a cada pont.

S'han fet les proves amb 10 mostres del circuit que ha estat fabricat amb tecnologia CMOS de $1.5 \mu\text{m}$ a ES2. Les proves s'han realitzat amb una màquina HP82000 del Dept. d'Enginyeria Electrònica de la UPC. S'han realitzat els següents tests:

- Test lògic funcional a freqüència de 1 MHz sense obrir els interruptors: s'apliquen els 64 vectors de la taula de la veritat del multiplicador de 3×3 bits excitant cada pont per separat. Només el pont no. 5 és detectat pel test funcional al donar un error en el resultat. Els demés punts no es detecten degut, tal com s'ha dit abans, a que els punts tenen una resistència elevada i no provoquen errors lògics.
- Test lògic funcional a freqüència de 1 MHz obrint tots els interruptors: s'aplica la taula de la veritat al multiplicador activant un pont cada vegada. Els interruptors s'obren 100 ns després de l'aplicació de cada vector per donar temps al circuit a que assoleixi l'estat quiescent. Les sortides del circuit s'observen 990 ns després de que cada vector és aplicat. Es detecten tots els punts excepte el no. 7. Aquest pont (el

Pont	Corrent
1	650 μA
2	210 μA
3	640 μA
4	350 μA
5	780 μA
6	300 μA
7	210 μA
8	490 μA

Taula 6.1: Valor del corrent I_{DDQ} degut a 8 defectes artificialment implantats al C.I. experimental. Valor promitjat de 10 mostres del circuit

no. 7) es detecta quan la freqüència de test disminueix a 100 KHz, mostrejant les sortides 9900 ns després d'aplicar cada vector. Aquest resultat mostra la millora en la detecció dels defectes respecte al test lògic convencional.

- Test lògic funcional a 100 KHz variant el temps de mostreig de les sortides i obrint tots els interruptors: s'apliquen els vectors de la taula de la veritat excitant un pont cada vegada. Aquest test permet mesurar el temps t_s que necessita el circuit per propagar els canvis d'estat dels nodes interns fins les sortides primàries. Els resultats per les deu mostres del multiplicador es donen a la taula 6.2. S'observen temps des de 27 ns a 890 ns depenent del pont excitat i de la sortida observada. El valor mig del temps t_s és de 210 ns. El pont no. 7 mostra un temps de detecció molt llarg degut a gran valor resistiu del pont.
- Comptatge dels vectors de test en els que es detecta cada pont a freqüències de 1 MHz i 100 KHz: aquest test s'ha realitzat obrint els interruptors i sense obrir-los per a observar l'efectivitat del mètode respecte al mètode convencional de test lògic. Els resultats es mostren a la taula 6.3 on es pot veure la millora en la detectabilitat: els ponts són detectats per tots els vectors que els exciten.

6.2.7 Resum

S'ha descrit la possibilitat de detectar circuits CMOS amb defectes que generen I_{DDQ} anormals en base als canvis d'estat que s'observen a les sor-

Pont	Sortida	$t_{s\ min}$ (ns)	$t_{s\ max}$ (ns)
1	P0	50	51
2	P0	382	401
3	P1	86	91
4	P1	145	151
5	P1	416	459
5	P2	27	28
5	P3	32	35
6	P2	140	145
7	P2	3525	8525 (*)
7	P3	3700	8525 (*)
7	P4	3650	8525 (*)
8	P4	125	150
8	P5	389	890

Taula 6.2: Rang de t_s per a cada pont. Resultats per a 10 mostres. (*) en una mostra, t_s va ser superior a 10000 ns

Pont	Funcional	"depowering"	"depowering"
	(1MHz)	(1MHz)	(100KHz)
1	0	48	48
2	0	40	40
3	0	24	24
4	0	2	2
5	4	4	4
6	0	9	9
7	0	0	1
8	0	10	10

Taula 6.3: Nombre de vectors, d'un total de 64 vectors, que detecten cada pont. Test funcional (sense obrir els interruptors), i test "depowering"

tides quan el circuit es desconnecta de l'alimentació per uns interruptors. El temps necessari per a la descàrrega de les capacitats del circuit en presència del corrent I_{DDQ} anormal és més petit que el temps necessari en un circuit sense defectes. Aquest fet permet la detecció d'una classe ampla de circuits amb defectes que generin corrents quiescents anormals utilitzant els equipaments estàndard emprats en el test lògic convencional. S'han considerat dues opcions: un sol interruptor (que pot ser *on-chip* o *off-chip*) i múltiples interruptors. En el cas de utilitzar interruptors interns, aquests desconnecten l'alimentació del circuit intern i no els *pads* d'entrada/sortida. S'ha dissenyat i fabricat un circuit multiplicador de 3×3 bits experimental on s'han afegit interruptors a cada fila de sumadors i circuits addicionals per emular defectes. Els experiments realitzats mostren temps de detecció en el rang de 30 ns a $1 \mu\text{s}$ per corrents del defecte de $200 \mu\text{A}$ a $800 \mu\text{A}$. A més, s'ha comprovat que el mètode millora la detectabilitats dels defectes respecte el test lògic convencional.

6.3 MONITORITZACIÓ DEL CONSUM EXCITANT EL CUT DESCONNECTAT

En el test per corrent, l'objectiu és determinar, *dins del període de temps d'un vector*, si existeix o no un corrent I_{DDQ} anormal. El test és executat *vector per vector* i un circuit és considerat com "bo" si no s'observen corrents I_{DDQ} anormals en cap vector del conjunt de vectors de test. És possible utilitzar un enfoc alternatiu per detectar corrents I_{DDQ} anormals eliminant el requeriment de detectar el defecte dins del període de temps d'un vector. Utilitzant aquest enfoc alternatiu, la detecció dels corrents quiescents anormals es fa per mitjà del *conjunt de vectors de test*, en comptes de vector per vector. L'objectiu és millorar la velocitat del test ja que s'eliminen els temps morts de connexió i desconnexió dels interruptors. A més, amb aquest enfoc es poden detectar també aquells defectes que introdueixen canvis en el consum dinàmic, millorant així la qualitat del test [9]. En aquesta tesi ens limitarem només a l'anàlisi de les possibilitats de l'enfoc per a la detecció de corrents quiescents anormals [6].

Aquest enfoc alternatiu es basa en la proposta de Keating-Meyer [10] pel test *off-chip* del corrent quiescent. El banc de treball necessari per a la seva implementació es pot veure a la Figura 6.7. Està compost pel circuit que es testa (CUT), un interruptor connectat entre la font d'alimentació i el *pin* VDD del CUT, un condensador C_{DD} connectat entre el pin VDD i

terra, una màquina de test que subministri el conjunt de vectors desitjat i un circuit de mesura del voltatge al *pin* VDD.

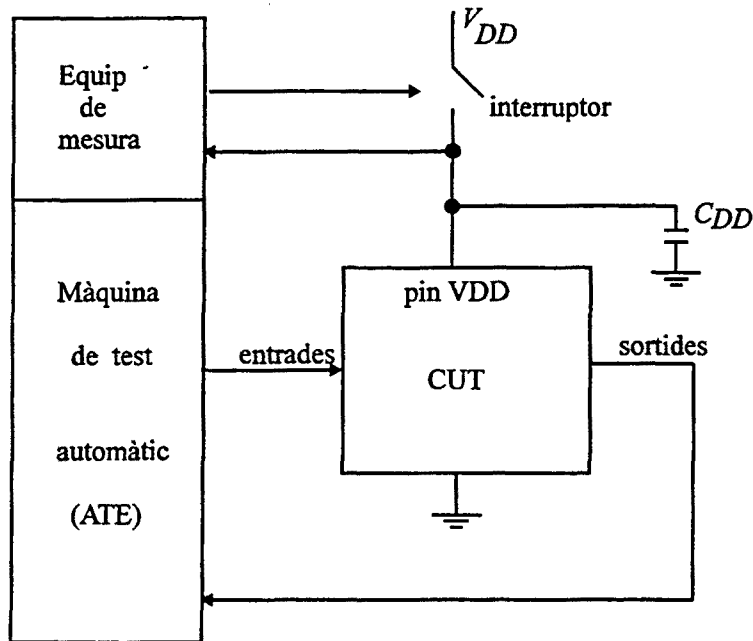


Figura 6.7: Banc de treball pel mètode de test proposat

Inicialment, l'interruptor està tancat i el condensador C_{DD} està totalment carregat. A continuació la màquina de test obre l'interruptor i comença a aplicar els vectors a les entrades del CUT a una freqüència determinada. El circuit de mesura també comença a mesurar el voltatge del *pin* VDD. El voltatge al *pin* VDD comença a baixar seguint una forma d'ona semblant a una escala. Si el CUT és "bo" després d'aplicar un conjunt de vectors d'entrada, el voltatge al *pin* VDD arriba a un valor lliandar determinat quan ha passat un temps des de que l'interruptor s'ha obert. Si, en canvi, el circuit té algun defecte que causa corrents I_{DDQ} anormals, i si el defecte és excitat per un o més vectors d'entrada, el temps requerit per que el voltatge al *pin* VDD atenyi el mateix valor lliandar és inferior. La diferència entre els dos intervals de temps permet distingir entre circuits "bons" i circuits "dolents".

En els següents paràgrafs s'analitza la metodologia de test proposada i s'obtenen expressions quantitatives sobre la velocitat i prestacions de la proposta. També es presenten resultats experimentals que validen la possibilitat d'utilitzar amb avantatge la proposta.

6.3.1 Anàlisi

Començarem definint els components del consum de circuits amb defectes que generin corrents I_{DDQ} anormals i circuits sense defectes.

L'energia consumida per un circuit CMOS (*full complementary*) quan s'aplica a les entrades un conjunt de vectors té els següents components:

- El consum dinàmic E_D : cada transició $t_{i,i+1}$ dels vectors d'entrada genera una sèrie de transicions en els nodes interns del circuit que consumeixen una energia de la font d'alimentació igual a $E_D(t_{i,i+1})$. El seu valor depèn de la parella de vectors considerada. Aquesta energia es pot descomposar en dos parts: la energia consumida per carregar les capacitats internes del circuit i la energia perduda en la conducció directe entre V_{DD} i terra [3].
- El consum estàtic E_S : és l'energia consumida en el període quiescent quan les transicions del circuit han acabat. Per un vector i , el seu valor $E_S(i)$ és proporcional al corrent I_{DDQ} i al temps, o sigui, $E_S(i) = I_{DDQ}V_{DD}T_{Qi}$ on T_{Qi} és el temps en que el circuit està en estat quiescent. S'assumeix que V_{DD} es manté constant.

Quan l'interruptor s'obre, l'energia consumida pel CUT s'obté del condensador C_{DD} , carregat inicialment amb una energia igual a $\frac{1}{2}C_{DD}V_{DD}^2$.

En circuits CMOS sense defectes, el valor del corrent quiescent és molt petit [11]. Així, negligirem el consum estàtic en els càlculs. En aquests circuits, l'energia consumida només té el component E_D . Després que el circuit es desconnecta de la font d'alimentació, i per a un conjunt de vectors d'entrada donat, es pot observar una evolució del voltatge al *pin* VDD en forma d'escala descendent (Figura 6.8) des de V_{DD} fins a $V_{DD} - V_D$, essent V_D la reducció especificada del voltatge al *pin* VDD. El valor del condensador C_{DD} es pot seleccionar per que quan s'apliquin els N vectors del conjunt de vectors d'entrada, la reducció de voltatge al *pin* VDD sigui justament V_D .

Per altre banda, en circuits amb defectes que generin corrents quiescents anormals, l'energia consumida pel circuit canvia. En primer lloc, el consum dinàmic es modifica ja que el corrent durant les transicions entre els vectors

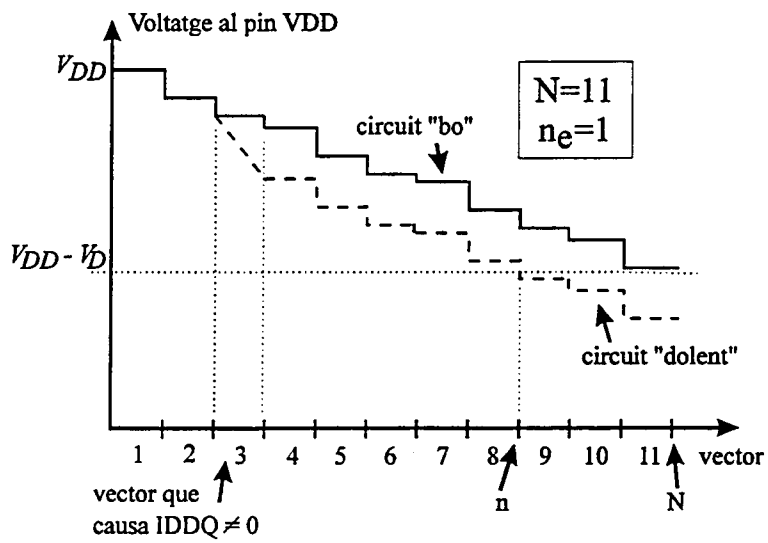


Figura 6.8: Evolució del voltatge al node VDD en un circuit amb defectes i en un circuit sense defectes

d'entrada que exciten el defecte i els vectors adjacents és diferent, ja que la forma del corrent canvia. D'altra banda, si el defecte modifica la topologia del circuit, el consum dinàmic pot canviar. En segon lloc, cada vegada que el vector d'entrada excita el defecte, es genera un corrent quiescent I_{DDQ} diferent de zero. Per aquests motius, l'energia consumida des del condensador C_{DD} és un compost format pel consum estàtic i dinàmic. Com a resultat, en els circuits amb defectes, el nombre de vectors que es necessiten per a obtenir la mateixa caiguda de tensió al *pin* VDD que en els circuits sense defectes, és diferent (Figura 6.8). Les condicions amb les que això succeeix s'analitzen en els següents paràgrafs.

A. Cas general

S'assumeix que el mínim voltatge al *pin* VDD quan es desconnecta la font d'alimentació i el conjunt de vectors és aplicat al CUT, és $V_{DD} - V_D$. El voltatge V_D ha de ser seleccionat per que els díodes de protecció sempre presents en els *pads* d'entrada del CUT no entrin mai en conducció, com succeiria si es permet que la diferència entre la tensió al *pin* VDD i la tensió a una entrada del CUT a "1" sigui superior al llindar de conducció dels díodes de protecció.

Per tant, la màxima energia E_L subministrada pel condensador C_{DD} és:

$$E_L = \frac{1}{2}C_{DD}V_{DD}^2 - \frac{1}{2}C_{DD}(V_{DD} - V_D)^2 = C_{DD}V_D \left(V_{DD} - \frac{V_D}{2} \right) \quad (6.2)$$

Per circuits sense defectes i amb l'hipòtesi que I_{DDQ} és negligible, aquesta energia és consumida *només per* E_D i, per un conjunt de N vectors d'entrada, C_{DD} pot ser seleccionat per que es satisfaci la següent relació:

$$E_{DVS} = \sum_{i=1}^N E_D(t_{i,i+1}) > E_L \quad (6.3)$$

On E_{DVS} és la energia total consumida per l'aplicació del conjunt de vectors $\{v_1, v_2, \dots, v_N\}$. Així, de l'anterior relació es pot deduir que el valor del condensador C_{DD} ha de ser:

$$C_{DD} < \frac{E_{DVS}}{V_D \left(V_{DD} - \frac{V_D}{2} \right)} \quad (6.4)$$

Com es pot veure en l'anterior equació, el valor de C_{DD} depèn de la seqüència de vectors i de la tensió llindar V_D .

En circuits sense defectes, les variacions degudes al procés de fabricació poden fer que el valor de E_{DVS} variï per a una seqüència de vectors donada i pel mateix circuit. Això fa que s'hagi d'ajustar C_{DD} o V_D per les pitjors condicions. L'estudi de la variabilitat del consum amb les variacions del procés no serà tractat en aquesta tesi. A més, una part de la capacitat C_{DD} està formada per la capacitat intrínseca del CUT que, com s'ha estudiat al capítol 5 d'aquesta tesi, varia amb el vector d'entrada al CUT. No obstant, si la capacitat externa és prou gran, aquestes variacions seran prou petites per poder ser negligides. Per tant, suposarem que el valor de E_{DVS} és conegut i perfectament determinat. El temps que necessita el circuit sense defectes per consumir E_L té com a límit inferior $t_{good} = NT$, on T és la inversa de la freqüència de test.

Per circuits amb defectes, l'energia emmagatzemada a C_{DD} és dissipada pel consum estàtic i dinàmic. Si apliquem el conjunt de vectors complet (N vectors) al circuit, l'energia E'_L subministrada per C_{DD} serà:

$$E'_L = \sum_{i=1}^{N-1} E'_D(t_{i,i+1}) + \sum_{i=1}^N E'_S(i) \quad (6.5)$$

on $E'_D(t_{i,i+1})$ i $E'_S(i)$ són el consum dinàmic resultat de l'aplicació del parell de vectors $i, i+1$ al CUT i el consum estàtic resultat de l'aplicació del vector i -èsim al circuit **amb defectes**. Assumirem que $E'_L > E_L$. Això vol dir que una energia igual o major que E_L és consumida pels primers n vectors, essent $n < N$. LLavors es pot determinar el número n que satisfà:

$$E_L \leq \sum_{i=1}^{n-1} E'_D(t_{i,i+1}) + \sum_{i=1}^n E'_S(i) = \sum_{i=1}^{n-1} E'_D(t_{i,i+1}) + \sum_{i=1}^n I_{DDQ_i} V_{DD} T_{Q_i} \quad (6.6)$$

Només alguns vectors dels n primers vectors del conjunt generaran $I_{DDQ} \neq 0$. LLavors, l'expressió anterior es podrà escriure:

$$E_L \leq \sum_{i,i+1 \notin ES} E'_D(t_{i,i+1}) + \left[\sum_{i,i+1 \in ES} E'_D(t_{i,i+1}) + \sum_{i \in ES} I_{DDQ_i} V_{DD} T_{Q_i} \right] \quad (6.7)$$

on ES és el conjunt dels índexs dels vectors que exciten el defecte. El temps que necessita el circuit per a excedir el consum E_L serà $t_{bad} = nT$, on, com en el cas anterior, T és la inversa de la freqüència de test.

De les expressions anteriors es pot veure que l'eficàcia del mètode proposat depèn de la relació $\frac{t_{bad}}{t_{good}}$ que, al seu torn, depèn dels paràmetres I_{DDQ_i} , $E'_D(t_{i,i+1})$ i del número n_e de vectors del conjunt n que exciten el defecte. En els següents paràgrafs analitzarem el significat i la importància de cadascun d'ells.

- n_e : com s'ha dit, és el nombre de vectors del conjunt n que exciten el defecte. Aquest nombre depèn del defecte (és a dir, de les vegades que aquest defecte pot ser excitat pel conjunt dels N vectors) i de l'ordre en la seqüència dels N vectors del conjunt de test. Aquest paràmetre n_e pot exhibir un alt grau de variabilitat degut a que un defecte pot ser excitat per un nombre de vectors molt diferent: des de 1 (en el cas pitjor) a n (en el cas millor). Tanmateix, per ponts se sap que el conjunt de vectors per test I_{DDQ} és petit i que ja el primer vector aplicat excita el 50% com a mitjana de tots els ponts possibles [15]. Experiments utilitzant el software CUTEGENS [5] sobre circuits ISCAS85 mostren que el número mig de vectors (d'un conjunt de N vectors per test I_{DDQ}) que exciten un defecte tipus pont és $\frac{N}{2}$, és a dir, que un defecte és excitat, com a mitjana, per *un de cada dos vectors* [14]. També els experiments mostren una distribució simètrica al voltant del valor mig del número de vectors que exciten un defecte per a tots els defectes possibles d'un circuit. Dit això, és possible trobar diferents escenaris per a n_e : en el cas pitjor *només l'últim vector* dels N vectors excita el defecte. En aquest cas $n_e = 1$ i $n = N - 1$. En el millor cas, $n_e = n$, i n dependrà de I_{DDQ_i} i de T_{Q_i} . En el cas general, n_e es distribuirà entre els dos límits anteriors.
- I_{DDQ_i} : aquest paràmetre és el corrent quiescent generat per cada vector que exciti el defecte. Aquest paràmetre és també variable. Assumint que només hi ha un defecte en el circuit, aquest defecte pot ser excitat per n_e vectors que causaran diferents corrents quiescent en un cas general. D'aquesta manera, hi ha també una distribució d'aquest paràmetre que es superposa a la distribució de n_e . Per tant hi ha una distribució de l'energia estàtica consumida pel circuit dependent dels vectors que excitin el defecte.
- $E'_D(t_{i,i+1})$: és l'energia dinàmica consumida pel circuit amb defectes en la transició $i, i + 1$, *des* d'un vector que exciti el defecte al següent o *cap* un vector que exciti un defecte des de l'anterior. També aquest paràmetre és variable perquè per alguns defectes (*opens* per exemple)

el seu valor pot ser més gran o més petit que el del circuit sense defecte. Com en el cas del paràmetre I_{DDQ_i} , el seu valor depèn dels detalls de la transició cap o des del vector que exciti el defecte, de les capacitats que intervinguin en la transició i del nombre, mida i connectivitat dels transistors que intervinguin en la transició. Per tant, és clar que existirà una distribució estadística del valor d'aquest paràmetre. Per altre banda, com s'ha dit més a dalt, un *open* o un pont pot variar la topologia del circuit i, per tant, modificar profundament el consum dinàmic del circuit.

De la discussió dels punts anteriors es desprén que és possible determinar el millor i el pitjor escenari per a la implementació de la tècnica proposada, d'acord amb el coneixement detallat de les distribucions abans esmentades. Aquest estudi detallat no és objecte de la tesi i en el que segueix s'utilitzarà el valor mig d'aquestes distribucions.

B. Expressions simplificades

Degut a l'existència de les distribucions esmentades anteriorment no és possible d'obtenir expressions tancades que relacionin el corrent defectuós, la freqüència de test, el número de vectors total N i el número de vectors n_e .

No obstant això, és possible d'obtenir expressions tancades que relacionin aquestes variables si s'assumeixen algunes hipòtesis simplificadores sobre el comportament dels paràmetres abans esmentats. Aquestes hipòtesis donen lloc a una aproximació de primer ordre que pot ser útil per avaluar la validesa de la metodologia proposada. Les hipòtesis són:

- H1** Les variacions de $E_D(t_{i,i+1})$ degudes al procés de fabricació són despreciables. Així, per a un determinat valor de C_{DD} tots els circuits sense defectes consumeixen exactament l'energia E_L quan s'apliquen els N vectors en un determinat ordre.
- H2** $E'_D(t_{i,i+1}) \geq E_D(t_{i,i+1})$. El consum dinàmic del circuit amb defectes és igual o més gran que el del circuit sense defectes. Aquesta hipòtesi serà comentada més avall en l'apartat C.
- H3** $T_{Q_i} = T = \text{constant}$. L'interval de temps en que el corrent quiescent actúa és igual per a tots els vectors que exciten el defecte e igual al període d'un vector.

H4 $I_{DDQ_i} = I_{DDQ} = \text{constant}$. Assumim que els circuits amb defectes generen el mateix corrent quiescent cada vegada que el defecte és excitat.

H5 Els vectors que exciten el defecte estan uniformement distribuïts en el conjunt de vectors de test.

Utilitzant les hipòtesis H3 i H4, el consum estàtic quan apliquem els N vectors a un circuit amb defectes és:

$$\sum_{i=1}^N E'_S(i) = n_e T I_{DDQ} V_{DD} \quad (6.8)$$

on n_e és el número total de vectors que exciten el defecte amb I_{DDQ} anormal. Substituint (6.8) a (6.5) i utilitzant les hipòtesis H1, H2 i l'equació (6.3) obtenim:

$$E'_L \geq E_L + n_e T I_{DDQ} V_{DD} \quad (6.9)$$

Com que la pèrdua màxima d'energia permesa és E_L llavors podem calcular el temps necessari per que el circuit amb defectes consumeixi E_L utilitzant la hipòtesi H5 i multiplicant l'expressió (6.9) per $\frac{n}{N}$ on n és el número de vectors que necessita el circuit amb defectes per a consumir una energia igual o superior a E_L . Així trobem:

$$\frac{n}{N} E'_L = E_L \leq \frac{n}{N} (E_L + n_e T I_{DDQ} V_{DD}) \quad (6.10)$$

i de l'expressió anterior podem trobar n :

$$n = \left\lceil \frac{N}{1 + \frac{n_e T I_{DDQ} V_{DD}}{E_L}} \right\rceil \quad (6.11)$$

Com s'ha dit més amunt, el moment en que un circuit és detectat com "dolent" és $t_{bad} = nT$, mentre que el temps necessari per acceptar que un circuit és "bo" és $t_{good} = NT$. Aquesta diferència de temps és el fonament del mètode proposat per a discriminar la "bondat" d'un circuit. La relació $1 - \frac{n}{N}$ pot ser interpretada com un *coeficient de discriminació* η_D del mètode proposat per a separar els circuits amb defectes dels que no ho són. Com més proper a 1 és η_D , més bona és la capacitat de discriminació, per a una freqüència de test determinada. L'expressió de η_D es pot calcular a partir de les hipòtesis H1-H5 i de l'expressió (6.11) com:

$$\eta_D = 1 - \frac{n}{N} = 1 - \frac{1}{1 + \frac{n e I_{DDQ} V_{DD}}{f E_L}} \quad (6.12)$$

on f és la freqüència de test del circuit. Així, l'expressió anterior mostra els *trade-offs* entre la freqüència de test i el corrent I_{DDQ} que es pretén detectar, per a un valor determinat de η_D .

C. Discussió

En l'anàlisi anterior, per a passar de l'equació (6.9) a l'equació (6.10), s'ha assumit que el voltatge al *pin* V_{DD} presenta un pendent constant quan s'aplica al circuit el conjunt de vectors de test. Tal com s'ha indicat abans, aquesta és una hipòtesi simplificadora del comportament real del circuit ja que l'energia dinàmica consumida pel circuit és diferent en cada transició. Tanmateix, l'expressió (6.11) és vàlida en la mesura en que determina un límit superior del número de vectors necessari per a detectar un circuit amb defectes sempre que el conjunt de N vectors estiguin ordenats de manera que les transicions més "consumidores" s'apliquen abans que les menys "consumidores".

Per altra banda, la hipòtesi H2 que assumeix que el consum dinàmic d'un circuit amb defectes és igual o superior al consum dinàmic del mateix circuit sense defectes, es compleix quan el defecte no genera un canvi en la funció del circuit. En cas contrari pot no complir-se. Per exemple, si el defecte és un pont amb resistència molt baixa entre l'entrada d'habilitació d'un comptador i terra, llavors el defecte impedirà que el comptador funcioni i, per tant, el circuit amb el defecte tindrà un consum dinàmic inferior que el circuit sense el defecte. Per que el mètode de test proposat detecti aquests tipus de situacions, caldrà que l'aportació del consum estàtic degut al defecte superi a la disminució del consum dinàmic també deguda al defecte, i això sempre és possible disminuint la freqüència del test, és a dir, fent T més gran.

La millora en la velocitat de test quan s'utilitza aquest mètode, en relació al mètode convencional de test per corrent (utilitzant l'enfoc de Keating-Meyer), és deguda al fet que per a cada vector d'entrada no és necessari esperar fins que el voltatge al *pin* V_{DD} caigui a la tensió lliard $V_{DD} - V_D$ sinó que aquest voltatge és aconseguit com a contribució del conjunt dels vectors. Cada vector que excita el corrent I_{DDQ} anormal contribueix amb la seva pròpia caiguda de tensió al decrement del voltatge al *pin* V_{DD} i, finalment,

la tensió llindar és sobrepassada en un temps inferior a t_{good} . A més, es suprimeixen els temps morts d'activació i desactivació dels interruptors.

En el següent exemple es demostra la millora aconseguida. Assumim els següents valors dels paràmetres: $E_D(t_{i,i+1}) = 10^{-10} J = \text{constant}$, (aquest és un valor real obtingut de [12]), $V_{DD} = 5V$, $V_D = 0.1V$, corrent I_{DDQ} anormal = $10\mu A$, $N = 100$, i $n_e = 5$. Llavors, a partir de (6.4), $C_{DD} = 20.2nF$, a partir de (6.12), $f = 225KHz$, a partir de (6.11), $n = 90$. Com la freqüència de test de l'exemple és de $225KHz$, tenim $t_{good} = 444.4\mu s$ i $t_{bad} = 400\mu s$. Si comparem aquests temps amb els obtinguts amb el test per corrent convencional (enfoc K-M) amb els mateixos paràmetres, necessitem esperar $202\mu s$ en cada vector per observar si el voltatge al *pin* V_{DD} cau $0.1V$. Si $N = 100$, el total del temps de test és de 20.2 ms, quasi quaranta vegades més gran que el necessari utilitzant el mètode proposat.

A més, la velocitat del test pot millorar-se disminuint el valor del consum dinàmic del circuit i això es pot fer afegint un *pin* extra d'alimentació. Així, un *pin* alimentaria els *pads* d'entrada/sortida i un altre alimentaria el nucli del circuit. El test dels *pads* d'entrada/sortida i els del nucli es poden fer separats i en la prova del nucli del circuit l'ausència del consum dinàmic dels *pads* milloraria la resolució i velocitat del test.

6.3.2 Treball experimental

Per a provar la viabilitat de la metodologia proposada, s'han realitzat diferents experiments. Les experiències realitzades s'han fet sobre dos bancs de treball:

- Sobre un circuit *ad hoc* contruït per a realitzar les proves.
- Sobre el banc de proves descrit al capítol 5.

A continuació es descriuran les proves i resultats obtinguts en ambdós bancs de treball.

Tarjeta *ad hoc*

S'han experimentat diferents circuits comercials i circuits *full-custom* dissenyats al D.E.E. de la UPC. L'objectiu dels experiments és provar la correspondència entre els anàlisis anteriors i la realitat. El *hardware* utilitzat es mostra a la figura 6.9: es disposa un interruptor entre la font d'alimentació i el node V_{DD} del CUT i es connecta un condensador C_{DD} entre el node

VVDD del CUT i terra. El valor nominal del condensador en els experiments realitzats és de 1nF, 10nF, 100nF i 1 μ F. Es connecta al node VVDD un seguidor de tensió amb un corrent de polarització extremadament petit. Un oscil·loscopi TEK TMS420 s'utilitza per monitoritzar el voltatge a la sortida del seguidor. Finalment, un circuit controlador excita al CUT.

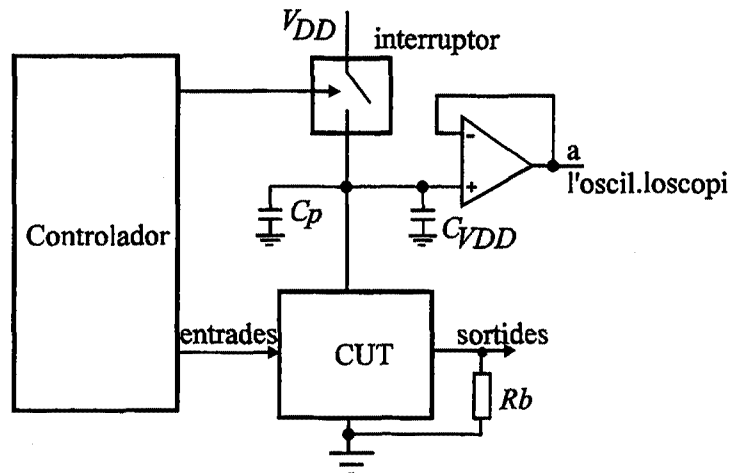


Figura 6.9: "Hardware" del banc de proves utilitzat en l'experimentació

S'han verificat circuits comercials de la sèrie 74HC i un circuit *full-custom* (MUL33: un multiplicador de 3x3 bits). Per a emular els defectes que causen corrents quiescents anormals, es connecta una resistència (R_b a la figura 6.9) entre una sortida del CUT i terra. Els valors nominals de la resistència són: 5.6 M Ω , 1M Ω , 100K Ω i 10 K Ω que provoquen corrents I_{DDQ} nominals de 0.89 μ A, 5 μ A, 50 μ A i 500 μ A. Es mesura el temps necessari per que el voltatge del node VVDD del CUT baixi des de 5 volt a 4.5 volt o 4.7 volt per totes les combinacions de resistències i capacitats. El conjunt de vectors de test s'ha aplicat al CUT tantes vegades com ha estat necessari per que el voltatge al node VVDD baixés fins al llindar especificat.

El procediment per fer les mesures és el següent:

- Mesura de la capacitat paràsita (C_p a la figura 6.9) del node VVDD. Aquesta capacitat inclou la capacitat de l'interruptor, la capacitat del CUT i la capacitat del cablejat. El seu valor s'afegeix al del condensador C_{DD} .

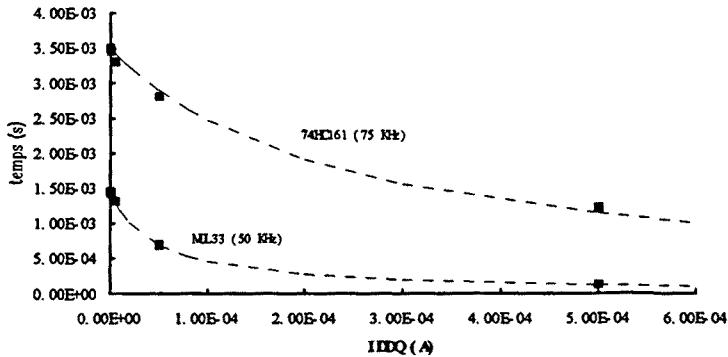


Figura 6.10: Resultats per a dos circuits. Eix X: corrent I_{DDQ} anormal deguda a R_b . Eix Y: temps necessari per arribar al voltatge llindar. Línia: calculat amb (6.11), símbols: mesurat.

- Mesurar precisa del valor dels condensador i resistències usades amb instruments de 6 dígit.
- S'excita cada circuit utilitzant un senyal de rellotge per sincronitzar l'obertura de l'interruptor i es mesura el temps que triga cada circuit per que el voltatge del node VVDD baixi des de 5 volts al llindar especificat.

Alguns resultats es mostren a la figura 6.10. Els símbols són punts de mesura reals i les línies són valors calculats d'acord amb l'equació (6.11). En el multiplicador MUL33 es va forçar que el pont s'excités un de cada dos vectors mentre que en el circuit 74HC161 el pont s'excitava un de cada 16 vectors. Com es pot veure, hi ha un bon acord entre els resultats de l'anàlisi proposat i els resultats experimentals. Per corrents importants la capacitat de detecció del defecte es tan ràpida com preveu l'equació (6.11). A la figura 6.11 es possible veure un exemple de l'evolució del voltatge al node VVDD del circuit 74HC161 per diferents corrents de descàrrega i el mateix conjunt de vectors. Com es pot veure, el pendent de cada línia de descàrrega és el mateix (línies rectes paraleles) llevat del moment en que el defecte és excitat i es crea un graó descendent proporcional al corrent I_{DDQ} .

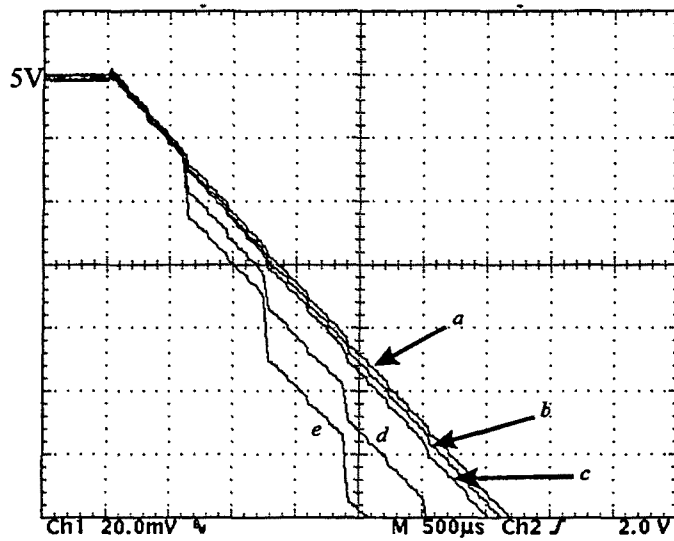


Figura 6.11: Voltatge al node VVDD en el 74HC161. a) circuit sense defectes, b) $I_{DDQ} = 1\mu A$, c) $I_{DDQ} = 5\mu A$, d) $I_{DDQ} = 50\mu A$, e) $I_{DDQ} = 500\mu A$.

R. nominal	$t_{teòric}(\mu s)$	$t_{mesurat}(\mu s)$	Error (%)
22 K Ω	141.7	147.36	+4.00
15 K Ω	96.41	99.08	+2.76
10 K Ω	64.56	67.89	+5.16
8.2 K Ω	52.78	54.34	+2.95
5.6 K Ω	35.70	37.64	+5.43

Taula 6.4: temps obtinguts amb el banc de treball i temps calculats

Banc de proves descrit al capítol 5

S'han realitzat dos sèries de proves: la primera per a validar els resultats que s'obtenen en el banc de proves, la segona per provar el mètode "depowring".

En la primera sèrie de proves es substitueix el CUT per una resistència de valor conegut i s'executa el test comparant el temps de caiguda teòric i el mesurat. L'expressió del temps teòric és:

$$t_{teòric} = RC \ln \frac{V_{DD}}{V_{DD} - \Delta V} \quad (6.13)$$

Essent R el valor de la resistència, C la capacitat de descàrrega, V_{DD} el voltatge d'alimentació i ΔV la caiguda de tensió admesa al node VDD del CUT. Per les mesures, $C = 104.94$ nF, $\Delta V = 0.3$ V i $V_{DD} = 5$ V. La freqüència de test és de 1 MHz.

Els resultats es poden veure a la taula 6.4 per cinc valors nominals de les resistències. L'error és inferior al 6 %.

Després de mesurar la precisió del banc de proves es procedeix a aplicar el mètode de test al circuit MPBICS (descrit al capítol 4). Per a cada un dels punts del circuit es realitza el test a diferents freqüències. Els resultats es mostren a la taula 6.5. A les mesures, $C = 104.94$ nF, $\Delta V = 0.3$ V, $V_{DD} = 5$ V i $N = 54$.

Com es pot veure tots els punts poden ser detectats a partir d'una freqüència de test de 800 KHz perquè el nombre de vectors que consumeixen l'energia especificada és menor que en el cas del circuit sense punts. Com més baixa és la freqüència a la que s'aplica el test, més clara apareix la diferència entre el circuit sense defectes i el circuit amb el defecte.

Per a comparar amb els resultats calculats a partir de l'equació (6.11) es mostra a la taula 6.6 els resultats combinats per les freqüències de 250 KHz i 125 KHz.

Pont	2.5MHz	800KHz	250KHz	125KHz
	NVEC	NVEC	NVEC	NVEC
sense pont	54	54	54	54
ca1	42	29	13	7
ca2	49	45	32	21
cb1	42	29	13	7
cb2	54	52	52	49
cb3	54	53	52	49
cc1	54	51	48	44
cd2	42	31	16	9

Taula 6.5: Nombre de vectors per a cada pont del test "depowering" en el circuit MPBICS

Pont	250KHz	250KHz	125KHz	125KHz
	exp.	calc.	exp.	calc.
sense pont	54	54	54	54
ca1	13	12	7	7
ca2	32	28	21	19
cb1	13	12	7	7
cb2	52	50	49	47
cb3	52	50	49	46
cc1	48	40	44	32
cd2	16	13	9	7

Taula 6.6: Comparació entre els valors calculats i els experimentals del test "depowering" amb el circuit MPBICS

L'observació de la taula 6.6 ens diu que els valors calculats són una estimació optimista del nombre de vectors necessari per a detectar cada pont. Això és degut a que les hipòtesis simplificatives de l'equació (6.11) no es compleixen, sobre tot H4 i H5, és a dir, els vectors que exciten el defecte **no** estan distribuïts uniformement al llarg del conjunt de vectors de test i/o el corrent I_{DDQ} és el mateix per cada vector que excita el defecte. Això fa que, si els vectors n_e estan concentrats al final de la llista de vectors o hi han fortes diferències entre els valors del corrent, el número de vectors necessari per consumir E_L sigui més gran que el calculat, tal com succeeix en els ponts ca2, cb2, cb3, cc1 i cd2. Pels ponts en que la distribució és uniforme i el corrent I_{DDQ} és aproximadament igual el nombre de vectors calculat coincideix amb l'experimental, com succeeix en els ponts ca1 i cb1. En funció de que les condicions reals s'acosten a les hipòtesis simplificatives, l'error és més o menys gran. A la figura 6.12 es pot veure les distribucions del corrent quiescent d'alguns ponts del circuit **MPBICS**.

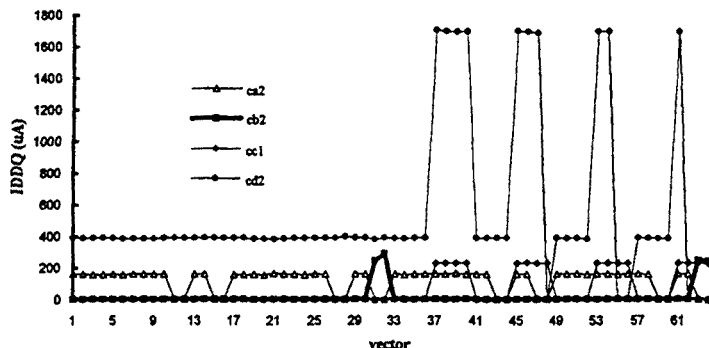


Figura 6.12: Distribució del corrent quiescent (en μA) d'alguns ponts del circuit MPBICS (multiplicador de 3×3 bits). Els números de l'eix horitzontal indiquen l'índex del vector de test aplicat a les entrades del MPBICS, de 0 a 63.

6.3.3 Resum

En aquesta secció s'ha presentat un nou enfoc per al test *off-chip* basat en l'aplicació d'un conjunt de vectors al circuit desconnectat de l'alimentació.

El mètode proposat permet la detecció de defectes que generen corrent quiescent a freqüències de test superiors a les que s'obtidrien amb el mètode de Keating-Meyer. S'han realitzats experiments que demostren la validesa del mètode.

6.4 CONCLUSIONS

En aquest capítol s'han presentat dos nous mètodes de vigilància del consum. La primera proposta detecta defectes en els circuits CMOS que generen corrents quiescents anormals fent que el propi circuit, o una part d'ell, modifiqui el seu estat com a resposta al defecte. Aquesta proposta de test per vigilància del consum és la *que utilitza el sensor més simplificat* dels que han estat publicats: simplement un interruptor. La segona proposta consisteix en monitoritzar el consum del circuit una vegada desconnectat mentre se li està aplicant el conjunt de vectors de test. Aquesta segona proposta millora la velocitat i la qualitat del test per una classe de circuits ja que elimina els temps morts de commutació dels interruptors i és sensible als defectes que causin canvis del consum dinàmic.

El treball realitzat obre vies de recerca que cal aprofundir per tal d'aprofitar les avantatges potencials dels mètodes proposats. aquestes vies són:

- La investigació de la variació del consum dinàmic d'un circuit amb defectes.
- L'estudi de la distribució del nombre de vectors, d'un conjunt donat, que exciten un defecte.
- La determinació d'un criteri per l'ordenació del conjunt de vectors de test, per tal d'obtenir el millor rendiment dels mètodes de detecció proposats.

Bibliografia

- [1] A. Ferré, J. Figueras. Consumo Quiescente en Tecnologias CMOS: Anlisis de las Contribuciones a IDDQ. A *Actas de DCIS95*, pàgines 216–221, Novembre 1995.
- [2] A. Rubio, J. Figueras, J. Segura. Quiescent Current Sensor Circuits in Digital VLSI CMOS Testing. *Electronic Letters*, pàgines 1204–1206, Juliol 1990.
- [3] Ananta P. Chandrasakan, Samuel Sheng, Robert W. Brodersen. Low Power CMOS Digital Design. *IEEE Journal of Solid-State Circuits*, pàgines 473–483, Abril 1992.
- [4] Changku Hwang, Mohammed Ismail, Joanne E. DeGroat. On-Chip IDDQ Testability Schemes for Detecting Multiple Faults in CMOS IC's. *IEEE Journal of Solid-State Circuits*, Vol. 31, No. 5, pàgines 732–739, Maig 1996.
- [5] E. Isern, J. Figueras. Test Generation with High Coverages for Quiescent Current Test of Bridging Faults in Combinational Circuits. A *Proceedings of ITC93*, pàgines 73–82, Octubre 1993.
- [6] J. Rius, J. Figueras. IDDQ Fault Detection by On the Fly Depowering. A *Proceedings of IEEE Intl Workshop on IDDQ Testing*, pàgines 40–44, Octubre 1995.
- [7] Kenneth M. Wallquist, Alan W. Righter, Charles F. Hawkins. A General Purpose IDDQ Measurement Circuit. A *Proceedings of ITC93*, pàgines 642–651, 1993.
- [8] M. Favalli, P. Olivo, M. Damiani, B. Riccò. Novel Design for Testability Schemes for CMOS IC's. *IEEE Journal of Solid-State Circuits*, Vol. 25, No. 5., pàgines 1239–1246, Octubre 1990.

- [9] M.A. Ortega, J. Rius, J. Figueras. Test of CMOS Circuits Based on its Energy Consumption. A *Digest of Papers of IDDQ'96 Workshop*, pàgines 36–40, Octubre 1996.
- [10] Mike Keating, Dennis Meyer. A new Approach to Dynamic IDD Testing. A *Proceedings of ITC87*, pàgines 316–321, 1987.
- [11] Neil H.E. Weste, Kamram Eshraghian. *Principles of CMOS VLSI Design. A Systems perspective*. Addison-Wesley, Reading, Massachusetts, second edition, 1993.
- [12] Philips. *Designers Guide. High Speed CMOS*. PHILIPS, Eindhoven, first edition, Gener 1986.
- [13] Randall L. Geiger, Phillip E. Allen, Noel R. Strader. *VLSI Design Techniques for Analog and Digital Circuits*. McGraw Hill, New York, 1990.
- [14] Robert C. Aitken. A Comparison of Defect Models for Fault Location with IDDQ Measurements. A *Proceedings of ITC92*, pàgines 778–787, Septembre 1992.
- [15] Roger Perry. IDDQ Testing in CMOS Digital ASIC'S. Putting it All Together. A *Proceedings of ITC'92*, pàgines 151–157, 1992.
- [16] Tsin-Yuan Chang, Cheng-Chi Wang, Jain-Bean Hsu. Two Schemes for Detecting CMOS Analog Faults. *IEEE Journal of Solid State Circuits*, Vol. 27, No. 2, pàgines 229–233, Febrer 1992.
- [17] W. Maly, M. Patyra. Design of ICs Applying Built-in Current Testing. *Journal of Electronic Testing*, pàgines 111–120, Juliol 1992.

Capítol 7

Conclusions i treball futur

En aquest capítol s'extreuen les conclusions del conjunt del treball realitzat i es senyalen les línies del treball futur.

En els treballs desenvolupats en aquesta tesi s'ha analitzat l'estat de l'art dels sensors per al test per corrent de circuits CMOS i s'han investigat els paràmetres dels sensors. També s'han fet contribucions al test *on-chip* amb el PBICS i al test amb sensors *off-chip*: test "depowering" i test pel consum energètic del circuit.

En les següents paràgrafs es resumeixen els resultats obtinguts en cadascun dels aspectes senyalats.

ELS SENSORS PER AL TEST PER CORRENT DELS C.I. CMOS

De l'anàlisi de l'estat de l'art es dedueix que el test I_{DDQ} amb sensors *off-chip* és el que està més desenvolupat. Sens dubte realitzar el test per corrent a la factoria amb sensors *off-chip*, és més atractiu per les empreses fabricants degut a que no es penalitza ni l'àrea de Silici, ni la velocitat del circuit ni tampoc es requereix modificar les regles ni l'estil de disseny del circuit llevat de respectar el que, per disseny, el circuit ha de tenir un corrent quiescent per sota del llindar especificat. Aquests avantatges dels sensors *off-chip* han portat a que els dissenyadors hagin aplicat tècniques cada vegada més refinades en la mesura *off-chip* del corrent quiescent i a dissenyar sensors *off-chip* més precisos i més ràpids. De les múltiples solucions proposades, hi ha dos enfoc que semblen avui ser els preferits: l'enfoc basat en la tècnica de Keating-Meyer (sensors integradors) i l'enfoc basat en alimentar el CUT des

d'una resistència connectada en el llaç de realimentació d'un A.O. Aquests dos enfocats han estat adoptats per algunes empreses fabricants de C.I. i d'equips ATE per al test per corrent. El resultat és que la tecnologia del test I_{DDQ} amb sensors *off-chip* ha iniciat el pas de l'estadi de recerca a l'industrial. No obstant, amb sensors *off-chip* es fa difícil discriminar a alta velocitat el corrent quiescent del corrent residual després d'un transitori, i això fa que les freqüències del test siguin baixes. A més, aquesta dificultat s'incrementarà els propers anys a mida que es fabriquin C.I. amb longituds de canal més petites.

En canvi, el test I_{DDQ} amb sensors *on-chip* és 2-3 ordres de magnitud més ràpid que amb sensors *off-chip* i pot encaixar millor els problemes derivats de les tecnologies profundament submicròniques. No obstant, encara no hi han experiències d'aplicació industrial d'aquests sensors i s'està treballant activament en la recerca de solucions que millorin les prestacions i redueixin les penalitzacions que el seu ús imposa als C.I. L'ús de BICS per al test per corrent presenta les següents penalitzacions per al CUT:

- Disminueix la velocitat del CUT.
- S'incrementa l'àrea de Silici degut a la presència del BICS i a la partició del circuit.
- Es necessita integrar el BICS al circuit i això pot implicar *pins* addicionals i modificacions en l'estil de disseny.

Tot i tenir aquests problemes, el paper dels BICS es revaloritzarà en el proper futur ja que es preveu un increment en el corrent quiescent normal dels C.I. amb tecnologies profundament submicròniques. Aquest problema és molt menys important en els BICS que en els sensors *off-chip*, ja que el CUT pot ser particionat i els corrents quiescents paràsits dels pous no són mesurats pels BICS.

ELS PARÀMETRES D'AVAUACIÓ DELS SENSORS

En aquesta tesi s'ha estudiat els paràmetres d'avaluació dels sensors per al test I_{DDQ} .

En primer lloc s'ha investigat la degradació del retard dels circuits que incorporin un sensor o un transistor de *bypass*. L'anàlisi ha mostrat que la degradació del retard depèn de la caiguda de tensió generada pel sensor, per l'interruptor o pel transistor de *bypass*. Per aquests dos últims casos s'ha

trobat degradacions en el retard d'un inversor del 2-4 % per caigudes de tensió de només un 1 % (tecnologies ES2 de 1 μm i 0.7 μm). Per sensors amb díode i resistència la caiguda de tensió està en l'entorn del 15 % ($V_{DD} = 5$ V) i la degradació del retard d'un inversor creix fins el 30-60 %. En tots els casos s'ha trobat que existeix un *trade-off* entre l'àrea de Silici disponible pel sensor, l'interruptor o el transistor de *bypass* i la degradació del retard del circuit.

La metodologia emprada a tingut en compte totes les variables pertinents: la capacitat de càrrega del circuit, el pendent dels senyals d'entrada i el model adient del circuit i del sensor. S'han obtingut expressions de la degradació del retard en funció de les variables del circuit i s'han validat per simulació i experimentalment els resultats.

Un altre paràmetre estudiat és la velocitat dels sensors. S'ha investigat aquest paràmetre en sensors integradors i en sensors amb díode i resistència. En els sensors integradors la velocitat del sensor es pot dividir en dues parts independents: la primera depèn del temps que el CUT necessita en arribar a l'estat quiescent, la segona depèn del temps de resposta del propi sensor. En els sensors amb díode i resistència el temps que el CUT necessita en arribar a l'estat quiescent i el temps de resposta del sensor estan imbricats i, per aixó, cal realitzar l'anàlisi conjunt dels dos temps. S'han obtingut expressions de la velocitat d'aquests tipus de sensor i s'han validat amb simulacions SPICE.

S'ha analitzat la capacitat dels sensors de discriminar entre els corrents quiescents normals i els anormals. La discriminabilitat d'un sensor depèn de les característiques del transductor i del comparador. L'estudi ha mostrat que els sensors amb transductors lineals mostren una millor discriminabilitat que els dels transductors no lineals. En els sensors amb transductors lineals s'ha definit la sensibilitat com la relació entre el paràmetre de sortida del transductor i el corrent quiescent, i s'ha trobat que els sensors que potencialment presenten una millor sensibilitat són els integradors.

L'àrea de Silici consumida pels BICS és un altre paràmetre investigat. S'ha trobat que l'àrea ocupada està entre unes dècimes del 1 % i un 3 % de l'àrea total del circuit, pels sensors muntats sobre circuits experimentals. L'*overhead* d'àrea, no obstant, pot ser més gran en el futur quan a l'àrea del propi sensor s'hi afegixi l'àrea de les interconnexions entre cada partició del circuit i el seu BICS i l'àrea de la lògica de sortida de cada BICS per a donar una única senyals de sortida PASSA/FALLA.

Altres tònics estudiats han estat la variació del consum del CUT a l'incorporar un sensor, la autotestabilitat i robustesa dels sensors i les condicions per que els BICS puguin ser integrats en un CUT: senyals addicionals,

modificació del procés de fabricació o de l'estil de disseny.

En l'estudi realitzat, s'han observat els següents *trade-off* entre els paràmetres abans apuntats:

- L'augment de la discriminabilitat (sensibilitat en els sensors lineals) fa augmentar el temps de resposta del sensor i viceversa.
- La degradació del retard del CUT disminueix quan el sensor augmenta la seva grandària i viceversa.

Les relacions quantitatives desenvolupades a la tesi poden ajudar a establir criteris objectius pel disseny de sensors optimitzant el valor de cada paràmetre.

CONTRIBUCIONS AL TEST *ON-CHIP*: EL SENSOR PBICS

El sensor integrat proporcional desenvolupat en aquesta tesi preten aportar una solució *on-chip* al problema de la monitorització del consum quiescent. El PBICS presenta com a novetat, respecte als BICS amb díodes, la separació entre el node de connexió del sensor al CUT (el node VGND) i el node on es desenvolupa un voltatge proporcional al corrent quiescent (el node VSENS). Això s'aconsegueix per mitjà d'un transistor PNP lateral compatible amb la tecnologia CMOS (CLBJT) que, a més de limitar l'excursió de tensió al node VGND, deriva una part del corrent quiescent cap al circuit de mesura. El voltatge V_{sens} recollit en el node de mesura es compara amb una tensió de referència per tal d'obtenir un senyal PASSA/FALLA digital.

La solució adoptada és perfectament compatible amb qualsevol tecnologia CMOS estàndard i no requereix cap tensió d'alimentació addicional. També permet detectar corrents quiescents en un marge ampli de valors amb sensibilitat ajustable modificant el valor de la resistència sensora. La mida del sensor és petita degut al petit nombre de components que el componen i a la gran capacitat de conducció de corrent de les unions PN. El sensor no depèn del valor exacte de cap dels seus paràmetres ni de l'aparellament exacte dels components per al seu funcionament. Per tant, presenta una bona robustesa davant de variacions dels paràmetres, de la temperatura o del voltatge d'alimentació. El temps de resposta del sensor és reduït i depèn de la capacitat del node VGND i de la sensibilitat demanada al sensor (R_{sens}). La inevitable degradació del retard del CUT a l'implantar el PBICS es pot minimitzar augmentant l'àrea del sensor. Respecte el comparador, cal dir

que permet la memorització de l'estat de fallada del CUT i que el consum en estat quiescent del PBICS és negligible degut a que el comparador no està alimentat quan el sensor no està operatiu.

Després de descriure l'estructura del PBICS es presenta un model elèctric per predir el seu comportament. El model té com paràmetres: la mida del CUT, la mida del sensor i la sensibilitat requerida del sensor. A partir del model es deriven les expressions que expliquen tant el comportament del PBICS en estat estacionari com el temps de resposta del sensor.

S'han fabricat diferents circuits experimentals construïts amb tecnologies de $2\ \mu\text{m}$, $1.5\ \mu\text{m}$ i $1\ \mu\text{m}$ per a mesurar el comportament del sensor. Les mesures estàtiques o en estat estacionari han permès l'obtenció de la funció de transferència $I_{DDQ}-V_{sens}$, la mesura de la sensibilitat del sensor i la determinació de l'*offset* del comparador. Les mesures dinàmiques han estat la mesura del retard del comparador i la determinació dels marges en la freqüència del sensor. Els resultats obtinguts validen el model utilitzat i han permès obtenir sensors PBICS amb sensibilitats de $4.49\ \frac{\text{mV}}{\mu\text{A}}$ i velocitats de 10 Mhz.

CONTRIBUCIONS AL TEST *OFF-CHIP*

En aquesta tesi s'han analitzat i s'han donat solucions i propostes als problemes relacionats amb els sensors *off-chip*. El treball realitzat s'ha validat tant en simulacions com experimentalment en un banc de proves desenvolupat sobre una màquina de test convencional que permet l'experimentació de les tècniques descrites a continuació.

Anàlisi de l'interruptor dels sensors integradors

Entre les solucions proposades per la vigilància del consum quiescent amb sensors *off-chip*, les basades en l'enfoc de Keating-Meyer requereixen un nombre petit de components i presenten unes bones característiques de sensibilitat. En la implementació d'un sensor basat en aquesta tècnica apareixen dos elements crítics: l'interruptor que talla la tensió del CUT a l'inici del cicle de mesura del corrent, i la capacitat C_{DD} entre els nodes d'alimentació i terra del CUT que emmagatzema l'energia necessària per mantenir el CUT alimentat mentre l'interruptor està obert. El disseny de l'interruptor està subjecte a requeriments contradictoris: d'una banda l'interruptor ha de presentar una baixa resistència en estat ON per a minimitzar la caiguda de tensió quan el CUT està commutant, i aixó fa que l'interruptor hagi de tenir una mida gran. D'altra banda, el fenomen de l'injecció de càrrega del

transistor al node d'alimentació flotant es minimitza amb transistors petits i, per tant, amb una resistència ON alta. En aquesta tesi s'ha proposat una solució a aquest problema que aconsegueix una baixa resistència ON i una injecció de càrrega molt petita connectant en paral·lel un transistor MOS de potència i una porta de transmissió junt amb diverses capacitats de compensació. El preu que es paga per la millora de les prestacions de l'interruptor és una major complexitat en el seu control.

Anàlisi de la capacitat entre V_{DD} i GND

Un component essencial en la implementació dels sensors integradors és la capacitat entre V_{DD} i GND. L'anàlisi d'aquesta capacitat mostra que és una entitat complexa i que el seu valor depèn del vector d'entrada i del voltatge d'alimentació. Per tal de determinar els ordres de magnitud d'aquesta capacitat i el seu comportament amb la tensió s'han reunit dades experimentals del valor d'aquesta capacitat en C.I. comercials i d'aplicació específica de mitjana escala d'integració. Els resultats obtinguts són una base de partida per aprofundir en el coneixement del comportament d'aquesta capacitat, com una part important per a desenvolupar mètodes de test on intervingui aquesta capacitat.

Propostes de mètodes de test amb sensors *off-chip*

En aquesta tesi s'han proposat dos nous enfoc per al test amb sensors *off-chip*.

En el primer enfoc es desconnecta l'alimentació del circuit i s'espera un temps mentre s'observen les sortides del circuit. Si hi ha un defecte que genera un consum anormal, les sortides a "1" lògic canviaran a "0", mentre que si el circuit és correcte, les sortides mantindran els seus valors lògics degut a que les capacitats internes del circuit romanen carregades. El temps d'espera es pot disminuir dividint el circuit en particions amb un interruptor a cada una. L'avantatge d'aquest enfoc és la simplicitat del sensor (només un interruptor) i la facilitat d'integració amb els equips de test convencional. No obstant, la velocitat de test és baixa si es vol discriminar corrents quiescents petits de circuit molt grans i, per tant, amb grans capacitats de V_{DD} a GND.

El segon enfoc verifica la presència de corrents quiescents quan s'aplica el conjunt de vectors de test al circuit mentre es manté desconnectada l'alimentació del circuit. El voltatge del node d'alimentació del circuit disminueix més o menys en funció del nombre de vectors que exciten el defecte, de la freqüència de test i de la magnitud del corrent quiescent generada pel defecte. Mesurant la caiguda de tensió al node d'alimentació al final del

test es pot determinar la presència del defecte. L'avantatge d'aquest enfoc davant de l'enfoc convencional de Keating-Meyer és que elimina els temps de commutació de l'interruptor a cada vector. A més, aquest enfoc permet realitzar una signatura del consum del circuit ja que l'evolució del voltatge al node d'alimentació és una funció del consum del circuit.

Com a conclusió general del treball, cal destacar que s'ha analitzat els factors que intervenen en el disseny de sensors del corrent quiescent sensibles, ràpids, econòmics i que perturbin molt poc el funcionament del circuit. Les contribucions realitzades en aquesta tesi mostren que aquest és encara un camp obert on són possibles i necessàries aportacions per a ampliar la difusió d'aquest tipus d'elements en el disseny dels circuits integrats del futur.

TREBALL FUTUR

Les següents línies de treball prometen resultats interessants en futurs desenvolupaments:

- Investigar les tècniques per reduir l'impacte sobre el retard del CUT degut a la presència de BICS.
- Analitzar acuradament, teòrica i experimentalment, la capacitat entre V_{DD} i GND dels circuits CMOS, així com la seva dependència amb el vector d'entrada, la tensió d'alimentació i la temperatura.
- Explorar les possibilitats que obre per al test la tècnica de excitar el CUT amb un conjunt de vectors mentre es mantè l'alimentació desconnectada.
- Caracterització dels defectes detectables pel mètode anterior i pel mètode "depowering".
- Evolució de les tècniques de test I_{DDQ} amb V_{DD} reduïdes i en circuits de baix consum.
- Validació de les especificacions de consum energètic emprant sensors de corrent.
- Test I_{DDQ} *on-line* per aplicacions d'alta seguretat.