



UNIVERSITAT POLITÈCNICA DE CATALUNYA

DEPARTAMENT D'ENGINYERIA ELECTRÒNICA

## **Diseño Microelectrónico de Controladores para Convertidores Conmutados Continua-Continua**

Tesis doctoral presentada  
para la obtención del título de  
Doctor Ingeniero de Telecomunicación por

*Eduard Alarcón Cot*

Director:

*Dr. Alberto Poveda López*

*Barcelona, Noviembre de 1999*

## CAPÍTULO IV

### DISEÑO MICROELECTRÓNICO EN MODO CORRIENTE DE CONTROLADORES EN MODO DESLIZAMIENTO CON SUPERFICIE NO LINEAL PARA CONVERTIDORES CONMUTADOS CONTINUA-CONTINUA

#### 4.1 Introducción

La naturaleza conmutada de la acción de control en convertidores conmutados continua-continua, que permite la transferencia de flujo energético de forma eficiente, justifica la adecuación del modo deslizamiento (o control *sliding*), que requiere, en general, de una acción de control discontinua [SLO91].

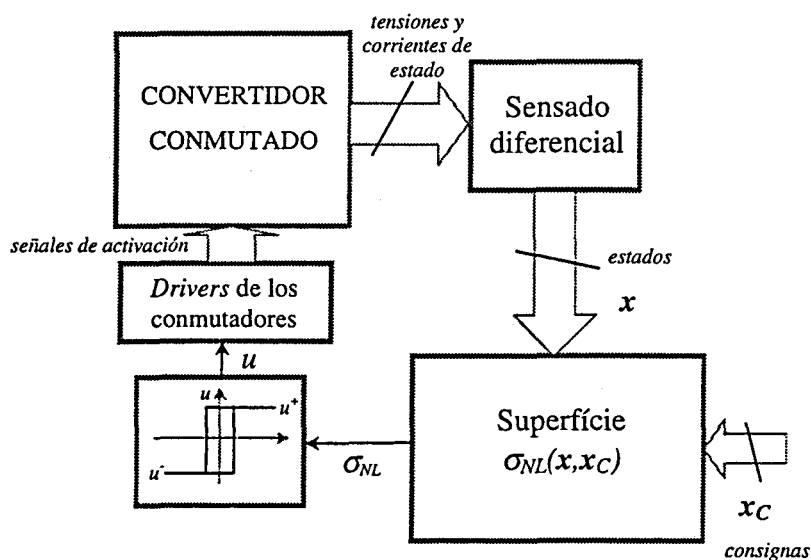
En el presente capítulo se aborda la síntesis y el diseño de circuitos que implementan estrategias de control en modo deslizamiento, retomando las propiedades teóricas expuestas en la introducción sobre dicho control asociado a los sistemas de estructura variable y su aplicación al control de convertidores conmutados DC-DC. La aplicación de técnicas de procesado en modo corriente permite proponer estructuras circuitales cuya frecuencia de operación ( $>1\text{MHz}$ ) llega a ser dos décadas superior a aquéllas conseguidas con diseños clásicos en modo tensión [CAR94], [ESC99], [CHI99].

En primer lugar, con el objetivo de plantear la síntesis circuital de controladores en modo deslizamiento con operación analógica en modo corriente, se analizan en este capítulo los

requerimientos en cuanto a procesado que dicho método de control requiere para su aplicación a convertidores conmutados. A continuación, y dado que se plantea el estudio de controladores *sliding* de superficie de deslizamiento no lineal, se estudia la adecuación y aplicabilidad al control *sliding* de la aproximación difusa de funciones no lineales abordada en el capítulo II. Finalmente, y como caso particular de circuito controlador *sliding*, se detalla el diseño completo de un circuito microelectrónico analógico BiCMOS con operación en modo corriente que implementa una superficie de deslizamiento de tipo cuadrático cuya finalidad es la generación de señales sinusoidales de potencia en células de conversión conmutadas de tipo *BUCK*, y que se fundamenta en recientes resultados teóricos [BIE99].

## 4.2 Sobre el diseño microelectrónico de controladores *sliding*

Existen sólidos fundamentos teóricos sobre la aplicación de técnicas en modo deslizamiento [UTK78], [SIR87], y asimismo, su aplicación al control de convertidores conmutados DC-DC constituye una línea de investigación de interés actual [OPP96], [MAR98], [CAR98], [BIE98]. En dicho campo, el control *sliding* requiere a menudo de un esquema de realimentación no lineal como el mostrado en la figura 4.1, en el que se aprecia la etapa de sensado y acondicionamiento de las variables de estado del convertidor, seguida de una etapa de conformación de la superficie no lineal de deslizamiento  $\sigma_{NL}$  que incluye las consignas  $x_C$ , para finalmente obtener la acción de control  $u$  mediante una etapa de comparación.



**Figura 4.1** Esquema general de un sistema de control en modo deslizamiento de ley no lineal aplicado a un convertidor conmutado DC-DC.

A pesar de las ventajas que de un esquema de control en modo deslizamiento se derivan, y que han sido consignadas en el capítulo I, su implementación circuital no ha sido tratada de forma extensa en la literatura especializada.

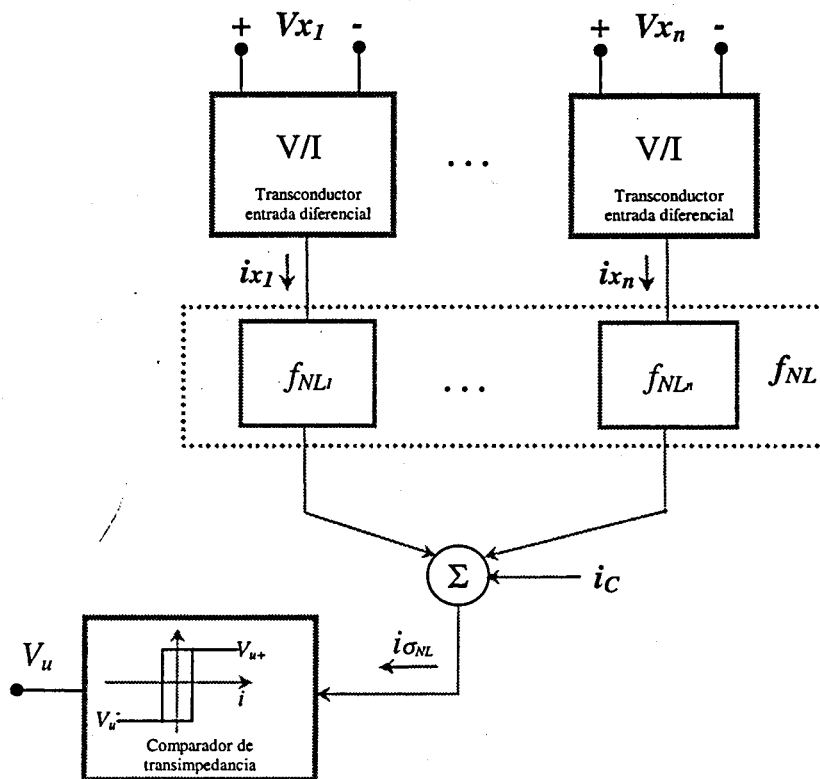
Por una parte, debido a que el control en modo deslizamiento es una técnica de control instantáneo (de dinámica rápida), que puede presentar un número elevado de entradas (realimentación de estado) y que no requiere una complejidad de procesado excesiva, se ponen de manifiesto el conjunto de desventajas inherentes a las técnicas de procesado digital de señal, como puedan ser el elevado tiempo de cómputo así como a la necesidad de incorporar etapas de conversión A/D y D/A. A pesar de ello, existen implementaciones digitales basadas en tablas *look-up* mapeadas sobre EPROMs [BIE98], o que consideran el uso de microcontroladores [OPP96], que han demostrado implementar de forma efectiva el método de control en modo deslizamiento, si bien que para frecuencias de conmutación reducidas (*i.e.* en el orden de las decenas de kHz).

Por otra parte, las escasas implementaciones analógicas de leyes de control *sliding* aparecidas en la literatura [CAR94], [ESC99], [CHI99], [CAC99] utilizan el procesado clásico en modo tensión, es decir, se considera el uso de amplificadores operacionales de alta ganancia operados en configuraciones localmente realimentadas, aspecto que revierte en severas limitaciones en ancho de banda tanto en pequeña señal como en gran señal (*i.e.* efecto de *slew-rate*)

Frente a dichas propuestas, la aplicación de técnicas de procesado en modo corriente resulta, además de en una adecuada adecuación al procesado que requiere el esquema mostrado en 4.1, en elevadas prestaciones dinámicas del circuito controlador. Dicha elevada velocidad de procesado conlleva una idealización de la operación teórica del control *sliding*, cuyo efecto de alta ganancia requiere de elevadas frecuencias de operación (idealmente infinitas). Asimismo las propuestas en modo corriente se adecúan a los elevados requerimientos dinámicos impuestos por las modernas tecnologías MOSFET de conmutadores de potencia.

El estudio sobre los requerimientos circuitales de procesado sobre el esquema 4.1 en su implementación en modo corriente conduce a menudo, como se verá en el apartado 4.4, al esquema mostrado en la figura 4.2, en el que  $V_{x_i}$  representa la  $i$ -ésima variable de estado en tensión,  $f_{NL}$  corresponde a la función no lineal (unidimensional o multidimensional) que conforma, por agregación, la superficie de deslizamiento  $i_{\sigma}$ , y  $V_u$  corresponde a la tensión de control conmutada.

En dicho esquema, se observa, por una parte, la adecuación de la representación en corriente a la obtención de la operación de agregación. Por otra parte, las variables de estado del convertidor están representadas a nivel eléctrico en modo tensión (sean éstas directamente tensiones en condensadores o muestras de corriente de inductor obtenidas a partir de resistencias de sensado o sensores de efecto Hall) y, asimismo, la señal de actuación de los drivers de potencia está descrita en modo tensión. Bajo dichos condicionantes de entorno circuital, la consideración de elementos de transducción o conversión  $V/I$ , así como la adición de un elemento (comparador) de transimpedancia o conversión  $I/V$ , que son siempre necesarios en procesamiento interno en modo corriente para entornos externos en modo tensión, desemboca directamente en la estructura de la figura 4.2.



**Figura 4.2** Esquema de la implementación en modo corriente de un circuito de control en modo deslizamiento de superficie no lineal para convertidores conmutados DC-DC.

Como referencia asociada, cabe citar los trabajos de A. Romero –véase [ROM98a], [ROM98b]- que versan sobre la implementación de controles de tipo *sliding* con superficie lineal, es decir, cuya superficie conforma un hiperplano en el espacio de estado y que, en general, incorporan dinámica de regulación lineal de tipo PID.

A continuación se discuten las distintas posibilidades y consideraciones de diseño circuital.

En cuanto al diseño de transconductores, nótese que, a diferencia de las etapas circuitales de transducción usualmente consideradas en un entorno microelectrónico (e.g. aquéllas que son ubicuas en aplicaciones de filtrado en tiempo continuo  $g_m C$ ), el esquema de la figura 4.2 tan sólo requiere de un número limitado de transconductores, estando además el margen dinámico en tensión impuesto por los niveles externos de la planta de potencia. A diferencia de los transconductores que trabajan en un entorno microelectrónico (que consideran distintas técnicas de compensación de las no linealidades propias a los transistores, véase [TOU91], [MAD98]) y cuyos márgenes dinámicos deben adecuarse a las tensiones de alimentación del circuito integrado, las etapas de transducción de la figura 4.2 deben establecer una adaptación entre márgenes dinámicos además de una conversión  $V/I$  lineal. La solución finalmente propuesta para esta etapa, que será descrita en el apartado 4.4.2.1, considera una estructura circuital compuesta de una resistencia externa (que proporciona la transconductancia inherentemente lineal, así como la adaptación de márgenes dinámicos) conectada a un nodo de baja impedancia, de acceso al circuito integrado, impuesta por una estructura de tipo *current conveyor* encargada de redireccionar la corriente hacia la siguiente etapa, si bien que con operación en lazo abierto. La idea subyacente en dicha estructura de conversión  $V/I$  está presente en la estructura circuital clásica debida a un amplificador inversor simple con un amplificador operacional, si bien que, en dicho caso, la conversión  $I/V$  posterior en lazo cerrado limita sus prestaciones dinámicas.

Por otra parte, el diseño del elemento comparador de transimpedancia con histéresis también es adecuado al diseño en modo corriente. Efectivamente, la estructura circuital considerada, que será descrita en su diseño en el apartado 4.4.2.4, se basa en la estructura de comparación de transimpedancia [ROD95], que presenta tiempos de conmutación mínimos para una determinada tecnología, y cuyo nodo de entrada de baja impedancia, a la vez de facilitar la agregación de corriente asegurando el correcto funcionamiento de las etapas previas, simplifica asimismo la adición de una muestra en realimentación positiva de la señal de salida con el fin de obtener el comportamiento de histéresis requerido.

Cabe citar que la elevada velocidad de operación del anterior comparador hace necesaria la incorporación explícita de histéresis en el circuito en modo corriente, a diferencia de la operación en modo tensión, en cuyo caso, el retardo efectivo propio al circuito de procesado, interpretado como un comportamiento de histéresis, puede aprovecharse con el fin de reducir la frecuencia de conmutación [BIE99].

### 4.3 Sobre controladores *sliding* de superficie no lineal. Control *sliding* difuso

Considerando el esquema de la figura 4.2, y más concretamente la implementación de la función no lineal que reproduce la superficie de deslizamiento definida sobre las variables de estado, dadas las propiedades de aproximación universal que se describen en el capítulo II para un sistema difuso, es plausible plantear el uso de dicho sistema difuso para aproximar la función no lineal en cuestión. De esta consideración se deriva el esquema de la figura 4.3, en el que se muestra la realimentación de estado no lineal implementada mediante un sistema difuso TSK-1 y que conforma la superficie de deslizamiento, al que sigue un elemento comparador que establece la acción de control conmutada.

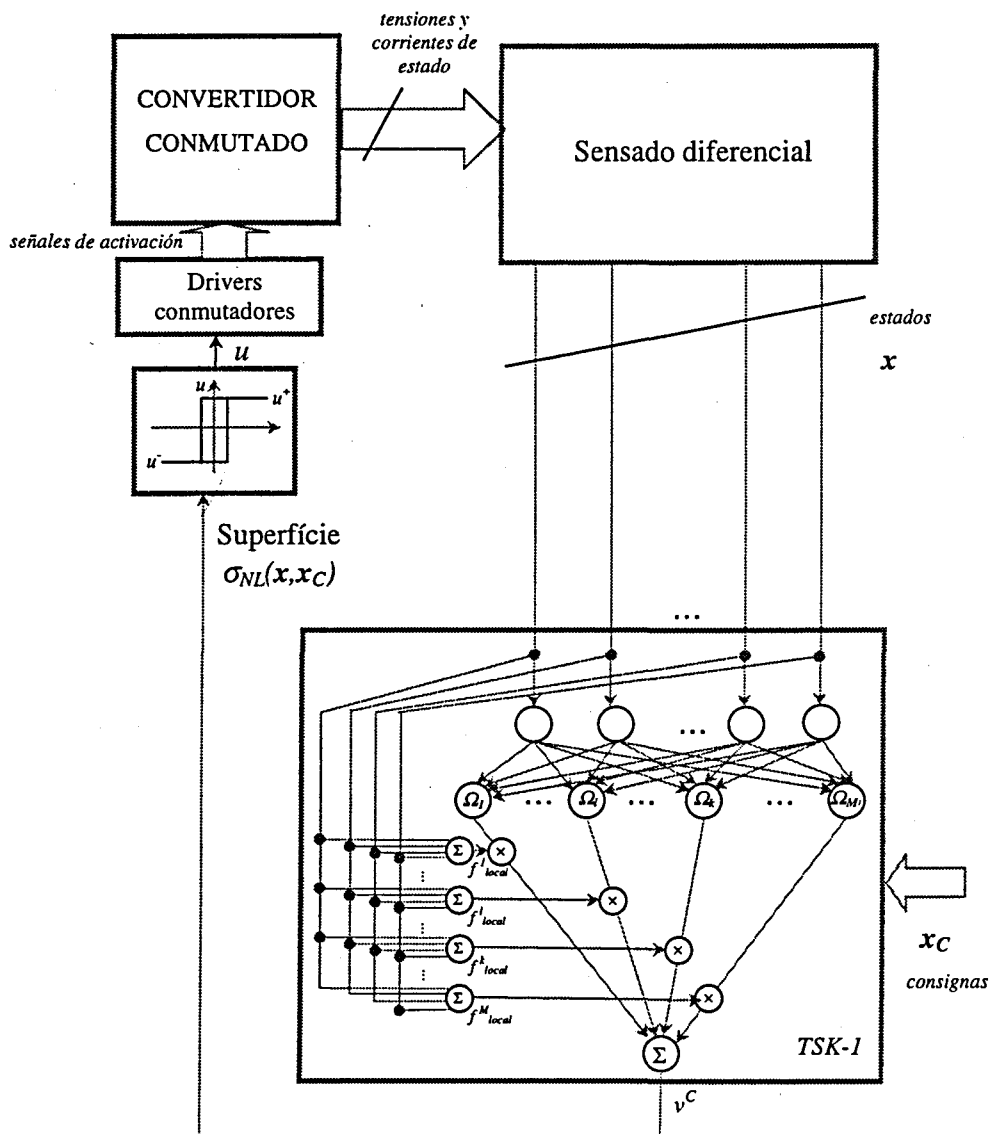


Figura 4.3 Esquema de un sistema de control en modo deslizamiento de ley no lineal mediante un control difuso TSK generalizado aplicado a un convertidor conmutado DC-DC.

Interpretando el control difuso TSK extendido, tal como ha sido descrito en el capítulo II, como la subdivisión zonal localizada del espacio de entrada de control junto a la asignación de una estrategia de control local, nótese que el control difuso en modo deslizamiento puede definirse mediante el siguiente conjunto de  $M^l$  reglas:

$$\begin{aligned}
 R^l: & \text{ SI } (x_1, \dots, x_n) \text{ es } A^l \text{ } \mu_{R^l}(x_1, \dots, x_n) \text{ ENTONCES } \sigma_l = \sum_{j=1}^n k_j^l (x_j - x_j^C) = k_1^l (x_1 - x_1^C) + \dots + k_n^l (x_n - x_n^C) \\
 R^l: & \text{ SI } (x_1, \dots, x_n) \text{ es } A^l \text{ } \mu_{R^l}(x_1, \dots, x_n) \text{ ENTONCES } \sigma_l = \sum_{j=1}^n k_j^l (x_j - x_j^C) = k_1^l (x_1 - x_1^C) + \dots + k_n^l (x_n - x_n^C) \\
 R^{M^l}: & \text{ SI } (x_1, \dots, x_n) \text{ es } A^{M^l} \text{ } \mu_{R^{M^l}}(x_1, \dots, x_n) \text{ ENTONCES } \sigma_{M^l} = \sum_{j=1}^n k_j^{M^l} (x_j - x_j^C) = k_1^{M^l} (x_1 - x_1^C) + \dots + k_n^{M^l} (x_n - x_n^C)
 \end{aligned} \tag{4.1}$$

de forma que la característica de transferencia del controlador deviene:

$$\begin{aligned}
 v^C &= f^{TSK1} \{x_1, x_2, \dots, x_n\} = \\
 &= \sum_{l=1}^{M^l} \left\{ \sum_{j=1}^n k_j^l (x_j - x_j^C) \right\} \cdot \left\{ \mu_{R^l}(x_1, x_2, \dots, x_n) \right\} = \\
 &= \sum_{l=1}^{M^l} \left\{ k_1^l (x_1 - x_1^C) + \dots + k_n^l (x_n - x_n^C) \right\} \cdot \left\{ \mu_{R^l}(x_1) * \mu_{R^l}(x_2) * \dots * \mu_{R^l}(x_n) \right\}
 \end{aligned} \tag{4.2}$$

característica a la que hay que añadir la acción del comparador para establecer la acción de control.

Nótese que, si bien un sistema difuso TSK-0 puede aproximar cualquier función no lineal, la asignación de modelos locales lineales TSK-1 permite recuperar la metodología de análisis y diseño de superficies de deslizamiento lineales, cuya aplicación está extendida y su efecto ha sido estudiado en profundidad [MAR98]. En este sentido, para el caso de superficies lineales, el plano de discontinuidad para el establecimiento de modos deslizantes puede obtenerse de forma explícita mediante la fórmula de Ackermann de posicionamiento de polos mediante realimentación de estado en sistemas lineales, tal como han demostrado recientemente Ackermann y Utkin [ACK98]. Ello justifica la interpretación del conjunto de reglas (4.1) como extensión del lema 2.6 que trata de la realimentación de estado no lineal asociada a un posicionamiento de polos arbitrario zonal, estableciendo una estructura de realimentación de estado no lineal, a la que se añade un elemento comparador que establece dos acciones de control distintas en función de la posición respecto a la superficie de deslizamiento.



Con esta finalidad, la implementación del ASIC *neurofuzzy* descrito en el apartado 2.15 incluye una combinación de bits de configuración que inhabilita la etapa de división, si bien que reteniendo la estructura de comparación de transimpedancia, e implementa, por tanto, el conjunto de reglas difusas de deslizamiento local interpolado descritas por (4.1).

Respecto al esquema anterior que plantea el control *sliding* no lineal zonal gracias a la acción de un sistema difuso de tipo TSK-1 extendido, cabe hacer las siguientes observaciones.

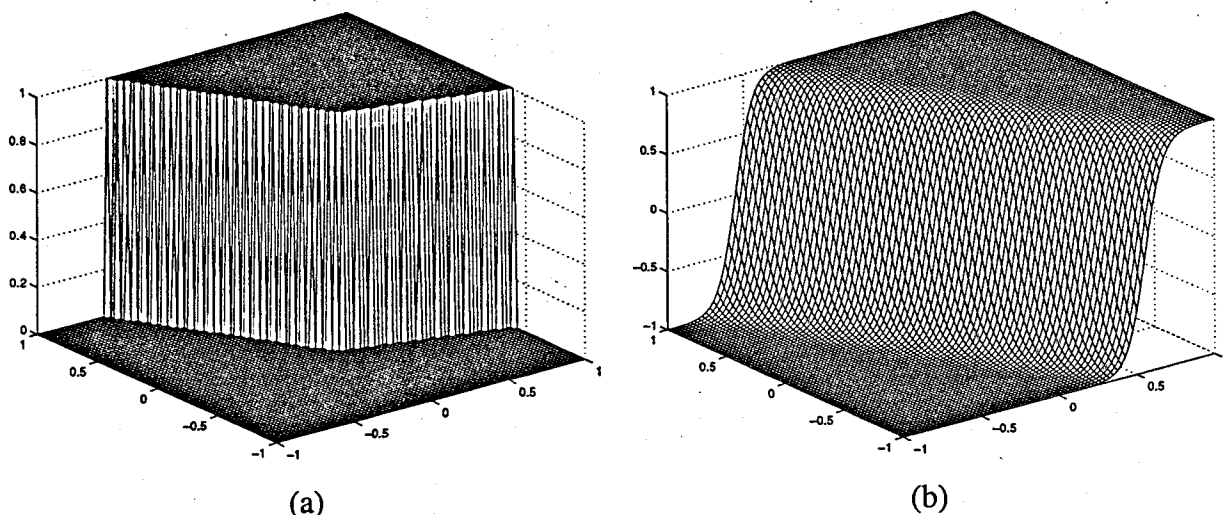
Si bien la función que se obtiene a la salida del comparador es una función (bivaluada) de entrada multidimensional (variables de estado), la síntesis directa de dicha función, aunque es teóricamente posible en virtud de las propiedades de aproximación universal, es impráctica por su comportamiento abrupto (obsérvese que la síntesis mediante una agregación en serie está mal condicionada para la aproximación de discontinuidades de salto). En este sentido, la adición de un comparador externo al sistema de aproximación difuso relaja los condicionantes de síntesis del mismo. Esta filosofía es común a la síntesis de sistemas clasificadores, como aplicación de las propiedades de aproximación universal de las redes neuronales artificiales, en los que la etapa de salida está compuesta por un subsistema WTA (*Winner Take All*) cuya salida es de carácter discreto, y cuya versión unidimensional coincide con un comparador. Como inciso, cabe citar en este punto que la acción de un controlador *sliding* simple de superficie lineal, como sistema MISO compuesto por una agregación simple y una comparación, es formalmente equivalente a una neurona de tipo McCulloch-Pitts o *adaline* – véase [ZUR92]-. En este sentido, es destacable notar la considerables prestaciones de control que de la aplicación de dicha neurona a las variables de estado se derivan, si se consigue modo deslizante, en comparación con las reducidas propiedades como clasificador estático, que, en general, requieren de la agregación de un número masivo de neuronas paralelas.

Finalmente, como revisión de la aplicación de los sistemas difusos al control en modo deslizamiento, destaca el hecho de que la anterior idea basada en la aplicación de una etapa de comparación como elemento que permite obtener una función discreta (ON/OFF) a partir de una función no lineal difusa, no es de aplicación extendida, aunque es razonable en la aplicación de control difuso *sliding* a convertidores conmutados –véase un enfoque equivalente, incluyendo un comparador, en la aplicación de un sistema difuso para la aproximación de leyes de tiempo mínimo, en el trabajo de Gomáriz *et al* [GOM98b]-. En efecto, la combinación de los sistemas difusos al control y modo deslizamiento tiene otras implicaciones según el enfoque de la literatura. Obsérvese que, por definición, un sistema de estructura variable VSS, sobre el que se fundamenta la teoría de regímenes deslizantes, como

sistema de control, es un sistema que implementa diferentes leyes de control en diferentes regiones del espacio de estado divididas por un conjunto de superficies [HWA94]. Dicha acción de control por zonas, si bien que interpoladas o suavizadas, es paralela a la descripción del control difuso generalizado descrito en el capítulo II. Por otra parte, y a diferencia del control de tipo discreto (ON/OFF o *bang-bang*) en convertidores conmutados, para la mayoría de plantas cuyo control es continuo, la aplicación de regímenes deslizantes que requiere de acciones de control conmutadas propias al sistema VSS resulta tanto en la aparición de un efecto *chattering* indeseado como en la posible excitación de modos de alta frecuencia no modelados en la planta. Ello explica la ampliamente aceptada aplicación de la teoría de regímenes deslizantes bajo la simplificación, ya en su definición teórica, que sustituye la acción de comparación o signo  $sgn(x)$  por una acción de saturación  $sat(x/\Phi)$ , según Slotine [SLO91]:

$$sat(x) = \begin{cases} x & \text{si } |x| < 1 \\ sgn(x) & \text{si } |x| \geq 1 \end{cases} \quad (4.3)$$

sustitución que establece una zona  $\Phi$  de transición entre controles (*boundary layer*, en inglés). Esta anterior interpretación, inaplicable al control de convertidores conmutados, por establecer una transición suave entre acciones de control continuas, es descrita en diversos trabajos sobre control *sliding* difuso [PAL92], [CHE94], [HWA94], [KAY98], [CHA9898] así como los capítulos correspondientes en Driankov *et al* [DIR93] y Wang [WAN95], en los que se aproxima un función sencilla como (4.3) mediante un conjunto de reglas difusas. Entendemos que la implementación de cada una de dichas reglas es en sí misma más compleja que la implementación de una función de saturación, sin que por ello gane interpretabilidad el problema de control. La figura 4.4 ilustra, para un espacio de estado bidimensional, la doble interpretación como superficie de conmutación no lineal (que conforma un conjunto bidimensional clásico *crisp*), o como superficie lineal de conmutación suave (interpretable como una relación difusa bidimensional). Cabe destacar que, en la línea de la interpretación alternativa que ha sido ofrecida, recientemente en [WAN99] se plantea el uso de una superficie no lineal sintetizada mediante un sistema difuso TSK-0 para resolver el problema del seguimiento de trayectorias arbitrarias mediante aplicación del control en modo deslizamiento.



**Figura 4.4** Interpretación del control difuso *sliding* (a) Control ON/OFF de superficie de deslizamiento no lineal (b) Control continuo con zona de transición difusa

## 4.4 Controlador *Sliding* BiCMOS en modo corriente para la generación de señal sinusoidal en un convertidor *BUCK*

### 4.4.1 Introducción

La anterior propuesta de síntesis difusa de la función no lineal que describe una superficie de deslizamiento arbitraria, puede ser complementada, a nivel circuital, con la síntesis de funciones más compactas, como pueda ser la síntesis polinómica aplicada sobre cada variable de estado.

En este apartado se describe la propuesta de diseño de un circuito microelectrónico analógico en tecnología BiCMOS, cuya aplicación se debe al control *sliding* de un convertidor conmutado continua-continua para la generación de señal sinusoidal de amplitud, frecuencia y *offset* ajustables. El circuito implementa una ley *sliding* sobre una superficie de conmutación autónoma de conformación polinómica. La propuesta de este diseño analógico, operando en modo corriente, presenta buen funcionamiento en cuanto a velocidad de operación, fundamental en esta aplicación de control instantáneo. A nivel circuital, el controlador consta de transconductores externamente linealizados basados en *current conveyors*, rectificadores y comparadores de corriente, así como células cuadráticas translineales bipolares. Se presentan simulaciones HSPICE a nivel transistor para una tecnología BiCMOS AMS 1.2 $\mu$ m que validan la funcionalidad del circuito propuesto.

Tal como se ha descrito en el capítulo introductorio, las técnicas de control en modo deslizamiento -*sliding mode control*- ([SIR87], [UTK78]), aparecen como una alternativa plausible a las estrategias de control PWM en el área de los reguladores conmutados, al mejorar la robustez de dichos circuitos convertidores de potencia frente a perturbaciones, ya sean éstas variaciones en la tensión de entrada o en la carga. El trabajo aquí expuesto considera la implementación de una superficie de conmutación no lineal autónoma (independiente de la variable tiempo) y la ley de control *sliding* asociada para conseguir la generación de señal sinusoidal en un convertidor reductor -*Buck*- , cuyos aspectos teóricos están inicialmente descritos en [BIE98] y que corresponden a las investigaciones de D. Biel [BIE99]. A diferencia de las aplicaciones de regulación, en las que la superficie de deslizamiento es generada como combinación lineal de las variables de estado del convertidor y un conjunto de referencias ([SIR87], [ROM98a]), constituyendo así un hiperplano en el espacio de estado, la superficie propuesta en [BIE98] es no lineal y no requiere referencia externa. En dicho trabajo [BIE98], y, considerando como planta de potencia conmutada el convertidor reductor que se muestra en la figura 4.5a, en el que se incorpora, como modificación topológica, un puente de conmutación de entrada con el fin de asegurar la bipolaridad de la señal generada, se demuestra que si la señal sinusoidal de salida se define según

$$\sqrt{V_{out}}(t) = A \sin(\omega t) + B \quad (A > 0) \quad (4.4)$$

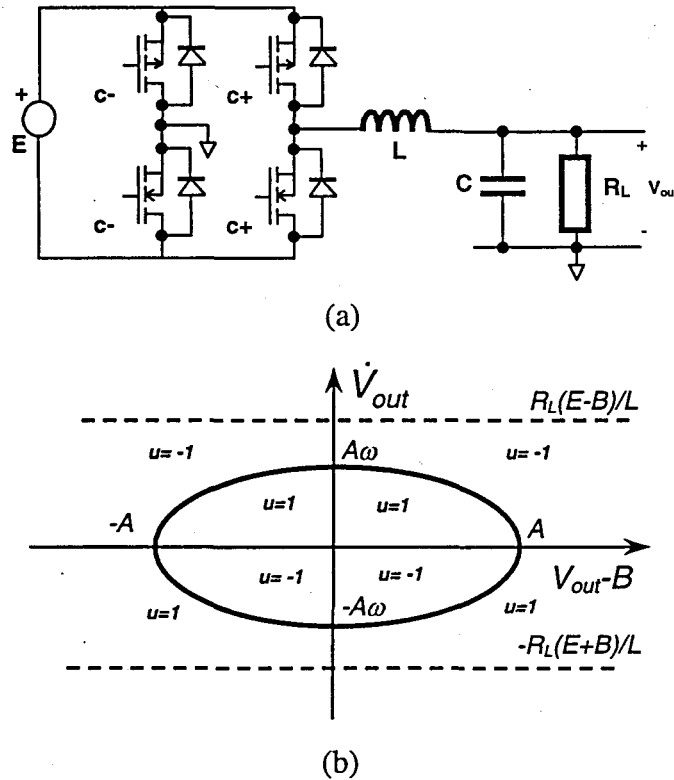
dicha señal oscilante de salida puede obtenerse como régimen de deslizamiento al forzar la superficie de deslizamiento:

$$\sigma(V_{out}, \dot{V}_{out}) := \dot{V}_{out}^2 + \omega^2(V_{out} - B)^2 - \omega^2 A^2 = 0 \quad (4.5)$$

Asimismo, en [BIE98] se obtienen las zonas del espacio de estado que constituyen dominio de deslizamiento, así como la ley de control de conmutación asociada, definida por

$$u = \begin{cases} +1 & \text{si } \sigma \cdot \dot{V}_{out} < 0 \\ -1 & \text{si } \sigma \cdot \dot{V}_{out} > 0 \end{cases} \quad (4.6)$$

expresión en la que se considera que  $u=\pm 1$  corresponde a una tensión de entrada al filtro del convertidor de  $\pm E$ . Estos resultados se muestran recopilados en la figura 4.5b, donde se representan, en el plano de estado, la superficie de deslizamiento –elipse–, el dominio de deslizamiento –delimitado por líneas discontinuas–, así como el valor que debe tomar la variable de control  $u$  según la ley definida por la expresión 4.6.



**Figura 4.5** (a) Convertidor conmutado de potencia *Buck* con puente de entrada.

(b) Representación en el plano de estado de la ley de control (4.6)

y la superficie de deslizamiento (4.5).

Habiendo sentado las bases teóricas en las que se fundamenta la aplicación, se expone a continuación tanto la síntesis del circuito controlador como el análisis circuital de los subcircuitos que lo componen.

#### 4.4.2 Descripción de los bloques BiCMOS de procesamiento analógico

Partiendo del sensado de las señales de tensión de salida y de tensión debida a la corriente del condensador del convertidor Buck (ya provenga ésta de un sensor Hall o de una resistencia de sensado), y la subsiguiente conversión al modo corriente, el procesamiento que requiere la implementación de la ecuación no lineal descrita por (4.5), (4.6) y la figura 4.5(b) consiste en

una relación cuadrática, agregación de señales y comparación con histéresis. Un hecho importante que el controlador bajo estudio considera es la simetría en el plano de fase en cuanto a la forma de la superficie de *sliding*, dada la naturaleza bivaluada de la misma. De modo que el controlador, tras convertir las señales externas en corriente, debe detectar el signo de las señales de entrada –para detectar el cuadrante de operación- y rectificarlas antes de obtener el tramo elipsoidal de comparación. Posteriormente, y tras la etapa de comparación con histéresis, la información de la posición en cada cuadrante en el plano de fase se aprovecha para reconvertir el valor de la señal discreta ON/OFF de salida. El procesado anteriormente descrito puede realizarse de forma compacta según el esquema completo del controlador mostrado en la figura 4.6.

A partir de dicho esquema, puede obtenerse la ecuación que modela el segmento de elipse (superficie de deslizamiento  $\sigma_i$ ) debido a un solo cuadrante en función de las señales y referencias del circuito, así como su relación con los parámetros de la forma de onda sinusoidal definidos en (4.4), que resultan en:

$$\sigma_i = \frac{(i_Y)^2}{i_{B_Y}} + \frac{(i_X - i_{os})^2}{i_{B_X}} - i_\Lambda = 0 \quad (4.7)$$

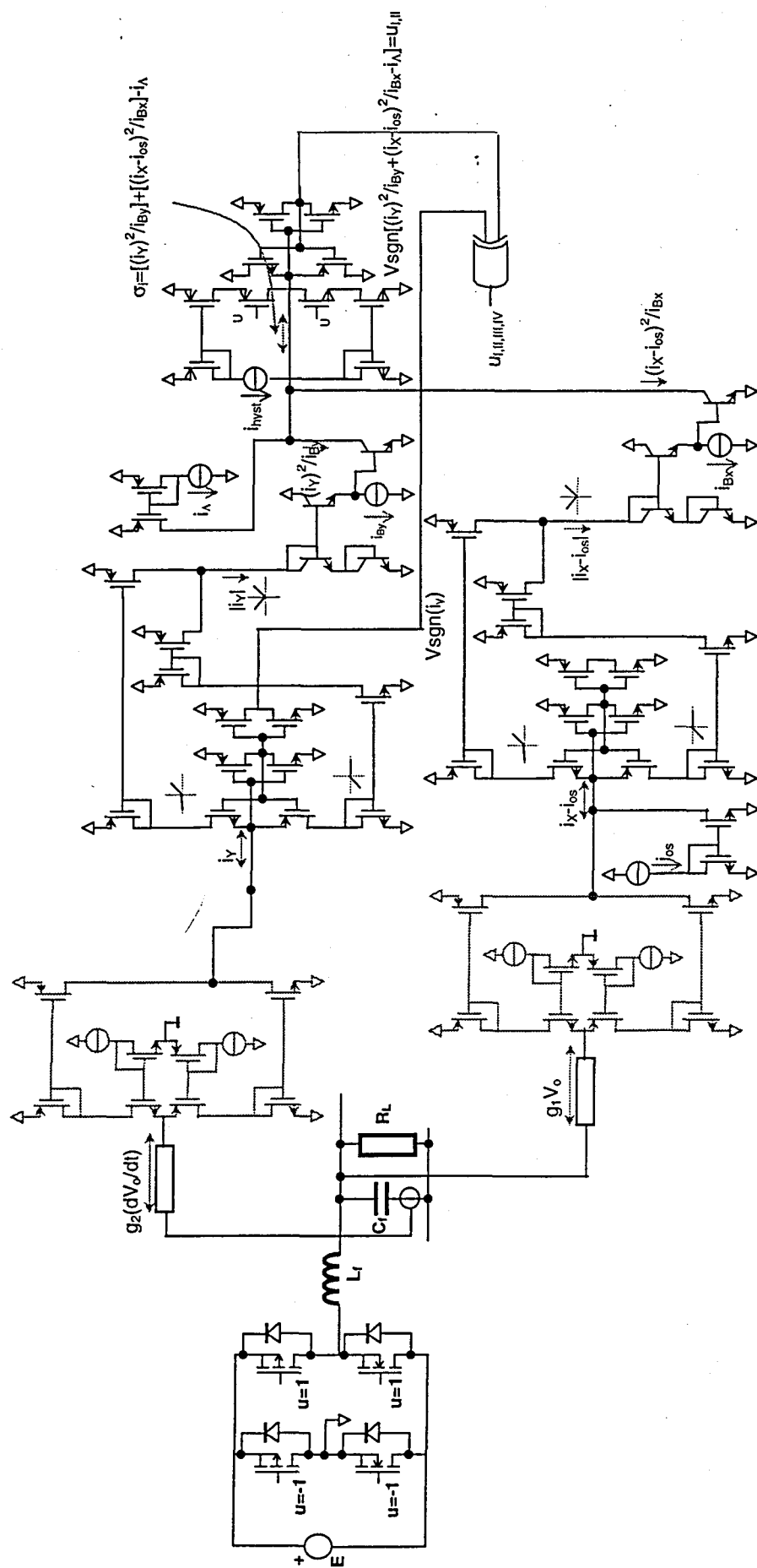
$$B = \frac{i_{os}}{k_X}, \omega = \left( \frac{k_X}{k_Y} \right)^2 \left( \frac{i_{B_Y}}{i_{B_X}} \right), A = \frac{1}{k_X} i_{B_X} \sqrt{\frac{i_\Lambda}{i_{B_Y}}}$$

$$\begin{cases} i_Y = k_Y \dot{V}_{out} \\ i_X = k_X V_{out} \end{cases}$$

A continuación se describe el funcionamiento y las especificidades de cada uno de los subbloques que constituyen el controlador *sliding*.

#### 4.4.2.1 Transconductor basado en Current Conveyor y resistencia externa.

Dado que las señales procesadas por el controlador son corrientes, las señales externas del convertidor, en modo tensión, deben convertirse a corriente mediante un circuito transconductor. La opción circuital escogida se muestra en la figura 4.7a. A diferencia del diseño de transconductores linealizados mediante técnicas de compensación de las características no lineales de los transistores – véase [TOU91], y para un estudio comparativo [MAD98]-, en el circuito de la figura 4.7a, la transconducción es inherentemente lineal y



**Figura 4.6** Diagrama completo del controlador *sliding* de superficie cuadrática con operación en modo corriente para generación de señal senoidal

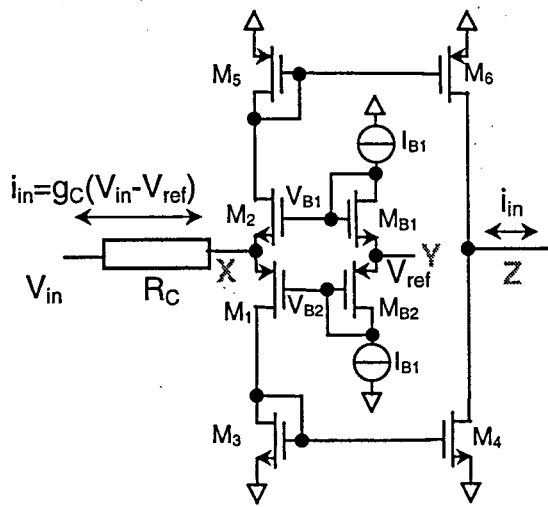
debida a una resistencia externa,  $R_C$ , resistencia que ya es necesaria para la adaptación del margen dinámico en tensión del convertidor al controlador. En lugar de utilizar realimentación negativa sobre un elemento de ganancia en tensión (como es el caso de los amplificadores diferenciales de sensado clásicos), la tensión  $V_{ref}$  se impone en uno de los terminales de la resistencia  $R_C$  por una estructura CMOS tipo *current conveyor* (CCII) [PAY94], y la corriente bidireccional sensada se reconduce y reconvierte en el nodo de salida gracias al espejo en clase AB ( $M_{3,6}$ ). Interpretando el circuito como un espejo de corriente en clase AB, los niveles de tensión fijados por los transistores  $M_{B1,2}$  pueden ser compartidos por cada etapa transconductora de entrada. El uso de una resistencia como transconductor *off-chip* ha sido recientemente utilizada como etapa de *front-end* para circuitos de procesado analógico en modo corriente (principalmente en circuitos de corrientes conmutadas [STE98], [LIN95]) o como conversores V-I de tiempo continuo de alta velocidad, altamente lineales, y operables para bajas tensiones de alimentación [HUA96].

La propuesta circuital descrita, que pretende validar la funcionalidad de la idea, debiera extenderse en una versión definitiva a una estructura de sensado diferencial, como corresponde al esquema genérico de la figura 4.2, así como la adición de regulación local sobre el nodo X con el fin de disminuir su impedancia, según las pautas descritas en [MAD98].

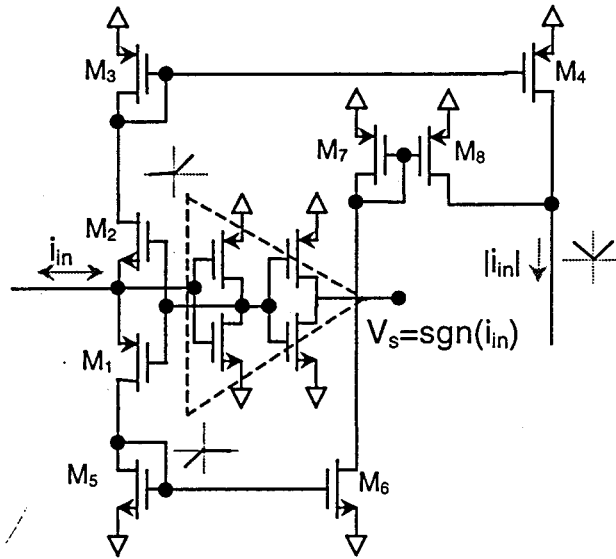
#### 4.4.2.2 Rectificadores de corriente.

El diseño de los rectificadores de onda completa en corriente -fig 4.7(b)- se basa en la denominada *llave de corriente*, circuito cuyo núcleo es un comparador de transimpedancia [ROD95], que presenta una entrada en baja impedancia, y se encarga del sensado y detección del signo de la corriente de entrada. Si las corrientes rectificadas en media onda por cada rama -vía  $M_{3,4}$  y  $M_{5,6}$ - son reconvertidas en un nodo, y, considerando la inversión de sentido necesaria - $M_{7,8}$ - , la señal rectificada en onda completa es recuperada en el nodo de salida. El funcionamiento de este circuito está desprovisto de zona muerta en la transferencia no lineal, y presenta velocidades de respuesta por debajo de los 100ns, aunque presenta asimetría debido al desapareamiento de los transistores de los espejos de reflexión  $M_{3,8}$ . Una ventaja adicional de este rectificador en modo corriente es que proporciona un estado lógico de información  $V_s$  que codifica el signo de la corriente de entrada.





(a)



(b)

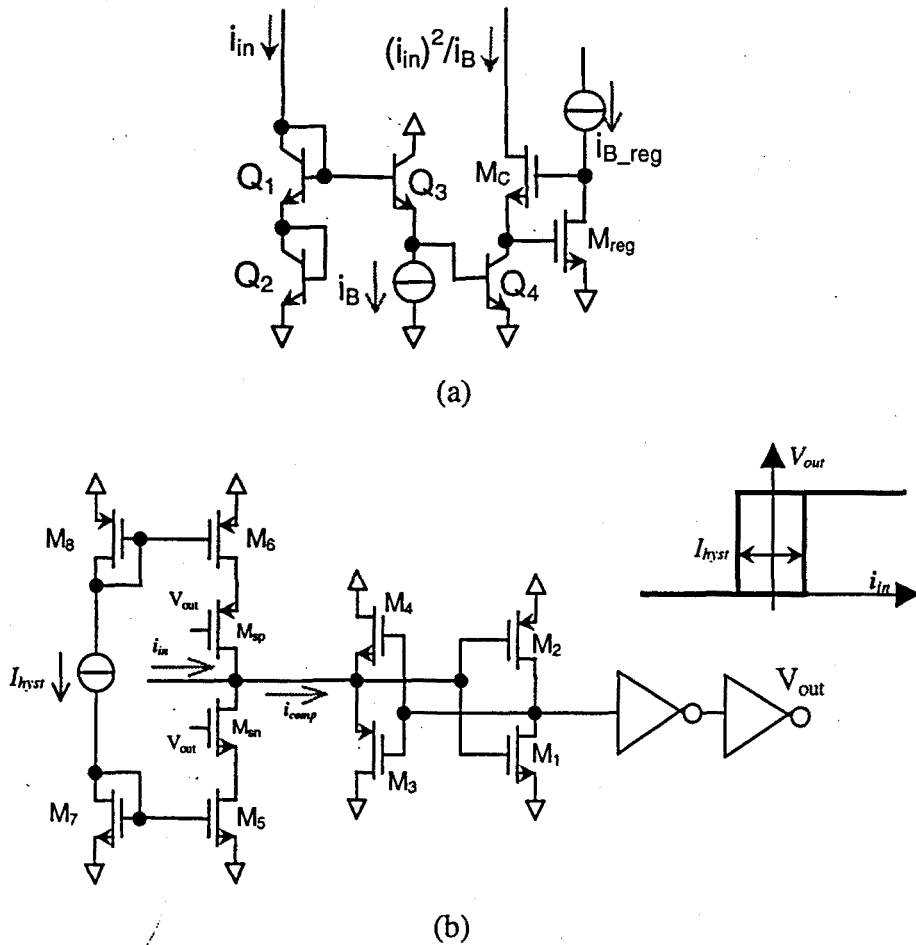
Figura 4.7 (a) Transconductor CMOS basado en CCII clase AB

(b) Rectificador de corriente de onda completa CMOS.

#### 4.4.2.3 Células cuadráticas translineales

Aprovechando el principio translineal propio a elementos con características tensión-corriente exponenciales, se ha considerado la célula cuadrática de la figura 4.8a, cuya transferencia está expresada por  $i_o = i_{CQ4} = (i_{in})^2 / i_B$  [MIN97]. La doble caída de tensión base-emisor de la rama de diodos de entrada resulta en una transferencia cuadrática para la corriente de salida de la célula. La selección de esta estructura circuital en tecnología bipolar, en lugar de una estructura basada en la transferencia cuadrática de los transistores MOS, se ha basado en las mejores prestaciones en cuanto a margen dinámico y ancho de banda de aquella respecto de ésta. El hecho de aumentar la resistencia de salida mediante una configuración *cascode* MOS

regulado se debe a la mejora obtenida en cuanto al efecto de carga no lineal considerada la posterior conexión de esta célula al comparador de transimpedancia, cuya entrada presenta ciertas variaciones de tensión.



**Figura 4.8** (a) Célula cuadrática translineal bipolar  
(b) Comparador de corriente con histéresis.

#### 4.4.2.4. Comparador de corriente con histéresis

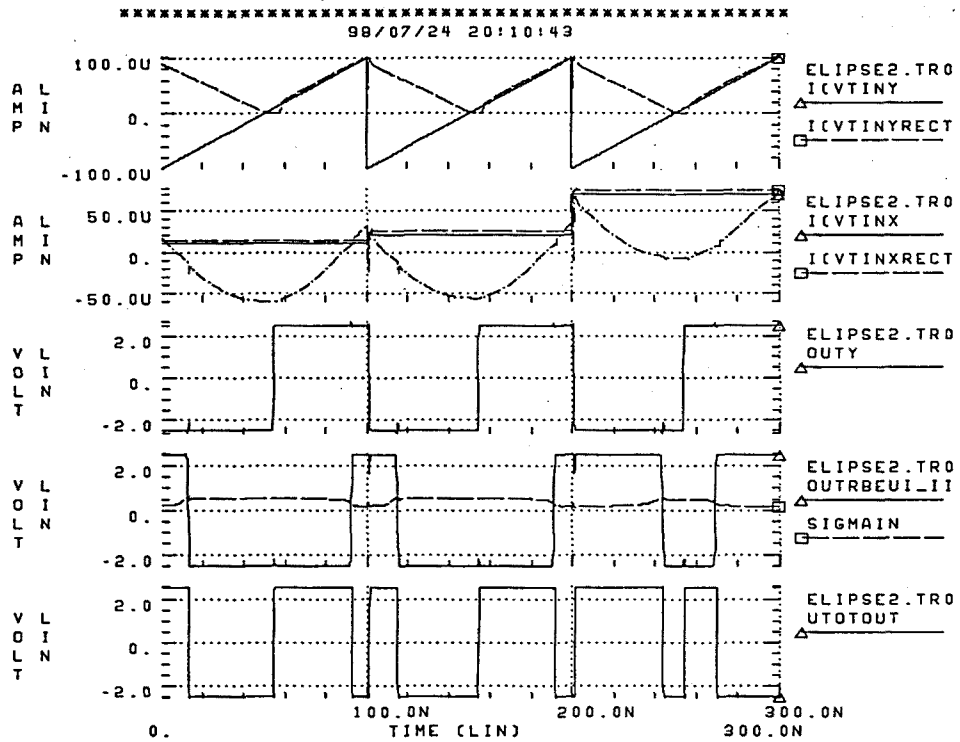
La implementación del control *sliding* requiere añadir un cierto nivel de histéresis al comparador de salida del controlador que debe evaluar instantáneamente la combinación  $\sigma_i$  para así evitar un seguimiento *sliding* con una frecuencia de conmutación infinita. Para ello, se propone en este controlador el uso del comparador con histéresis en modo corriente de la figura 4.8b. El núcleo de este comparador de transimpedancia con histéresis lo constituye un comparador con entrada en corriente y salida en tensión formado por un inversor CMOS de entrada capacitiva ( $M_{1,2}$ ), característica que confiere un *offset* nulo al comparador en virtud del efecto de integración, al que se añaden dos transistores ( $M_{3,4}$ ) que proporcionan una realimentación en clase AB que resulta en una reducción de la impedancia de entrada así

como en un incremento en la velocidad de respuesta. El subcircuito de adición de histéresis se basa en un espejo de corriente con salida bidireccional conmutable (mediante  $M_{s,n,p}$ ) en función del estado de salida del comparador  $V_o$ , estructura circuital que conduce a un diseño compacto y de mínimo tiempo de respuesta. Una propiedad destacada del circuito es que el nivel de histéresis resulta controlable electrónicamente por medio de  $I_{hyst}$ , hecho que resulta en un grado más de libertad para la resolución del problema de control.

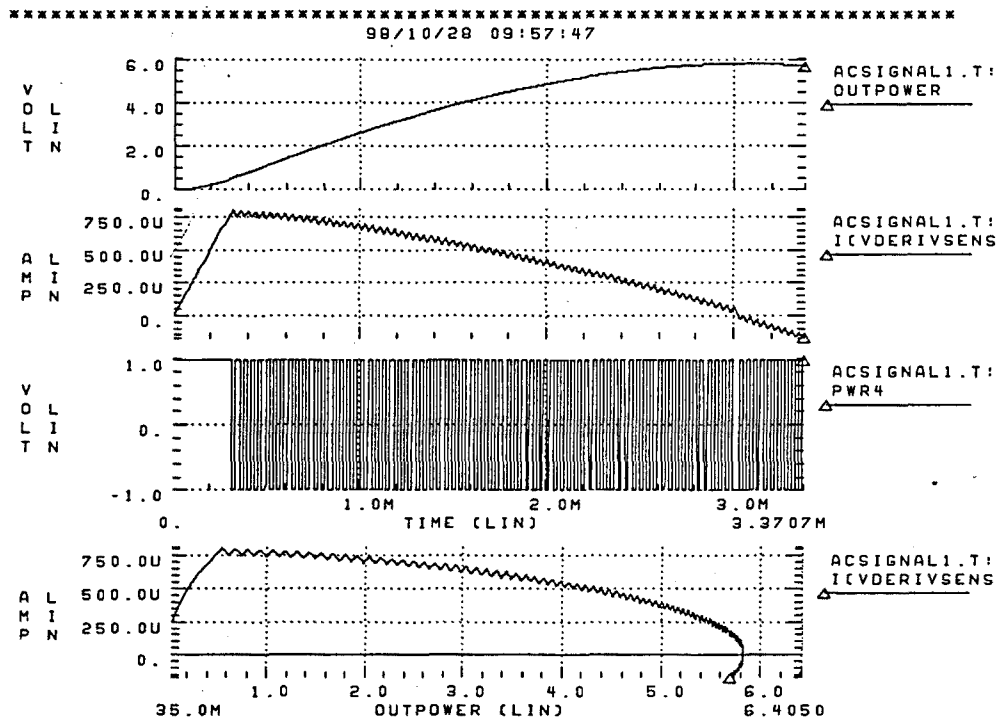
#### 4.4.3 Resultados de simulación

Se han llevado a cabo extensivas simulaciones sobre el circuito, con el fin de asegurar la correcta interconectabilidad entre los bloques, la precisión y el ancho de banda deseados, para diferentes relaciones de aspecto de los transistores MOS y niveles de polarización.

En la figura 4.9a se muestra una simulación global de todo el circuito controlador, a nivel transistor, utilizando los parámetros de una tecnología BiCMOS standard (AMS 1.2 $\mu$ m). El circuito es excitado mediante una señal de entrada en diente de sierra ( $i_Y$ ) y escalones de tensión ( $i_X$ ), para así explorar el espacio bidimensional de entrada. Siendo la frecuencia de  $i_Y$  muy elevada (10MHz), con el fin de enfatizar las ventajas del diseño en modo corriente, se observa la capacidad del circuito para rectificar la señal (subgráfica 1) y obtener un bit de codificación de su sentido (subgráfica 3), obtener la conformación cuadrática (subgráfica 2), realizar la comparación con histéresis (subgráfica 4, en la que también se observa la tensión del nodo de baja impedancia de entrada al comparador, centrada respecto a las alimentaciones) para finalmente obtener la señal de control en función del cuadrante del espacio de estado (subgráfica 5). La figura 4.9b muestra la respuesta del circuito convertidor reductor (modelado con conmutadores ideales) al insertar en el lazo de control el controlador *sliding* diseñado. La evolución de la tensión a la salida (trazo 1) y la corriente a través de la capacidad del filtro (trazo 2), así como su representación en el plano de estado (trazo 4), siguen el comportamiento esperado de evolución sinusoidal en el tiempo y elipsoidal en el plano de estado. En el trazo 3 se observa la salida del comparador con histéresis que modula el estado de los transistores de potencia en el puente de entrada del convertidor de potencia. Los parámetros correspondientes a la simulación particular mostrada son  $A=6V$ ,  $B=0V$ ,  $f_{osc}=80Hz$ ,  $L=0.48\text{ mH}$ ,  $C=30\text{ }\mu F$ ,  $R_L=7.5\text{ }\Omega$ ,  $E=12\text{ V}$   $f_s=25\text{ KHz}$ . La simulación sólo muestra un cuarto de ciclo de oscilación debido a problemas de convergencia del simulador HPSICE© utilizado.



(a)



(b)

Figura 4.9. Resultados de simulación para el controlador *sliding* (a) Operación del controlador en lazo abierto con  $f_{in}=10\text{Mhz}$  (b) Operación del controlador en lazo cerrado.

Como recolección de los resultados presentados en este apartado, cabe concluir que se ha propuesto la implementación microelectrónica de un controlador *sliding* para la generación de formas de onda sinusoidales de parámetros variables, propuesta que encuentra aplicación en diseños de acondicionamiento de potencia como fuentes de alimentación ininterrumpibles (UPS). Para superar las dificultades impuestas por las altas frecuencias de conmutación, así como los requerimientos de este modo de control inherentemente instantáneo comparado con el control PWM, se propone el uso del diseño en modo corriente. Simulaciones globales a nivel de transistor confirman la correcta operación del circuito en cuanto a velocidad de respuesta, así como su funcionalidad en el control de un convertidor reductor de potencia.

La continuación natural del trabajo consistiría en un posible rediseño de algunos bloques para explotar al máximo las ventajas del uso de una tecnología BiCMOS, así como su diseño a nivel *layout* y la implementación del controlador como ASIC.

## CAPÍTULO V

### CONCLUSIONES Y LÍNEAS FUTURAS DE INVESTIGACIÓN

#### 5.1 Conclusiones

En esta tesis doctoral se ha presentado el diseño microelectrónico de controladores analógicos para convertidores conmutados continua-continua.

La aplicación de una metodología de diseño analógico en modo corriente constituye una nueva propuesta en la concepción, diseño e implementación de estos controladores, que ha permitido extender sus prestaciones dinámicas de manera significativa.

En concreto la propuesta de metodología de diseño ha cristalizado en cuatro clases de controladores, cuya heterogeneidad en cuanto a los métodos de control teóricos considerados aparece unificada por ser métodos que utilizan variables de estado de dinámica rápida, aspecto que incide directamente en su dificultad de implementación y que justifica la aplicación de técnicas de procesado en modo corriente. Estos controladores son los siguientes:

- 1) Se ha realizado el diseño completo de un controlador de inferencia difusa implementado como circuito integrado CMOS de aplicación específica con operación mixta analógica-digital en modo corriente. El circuito aportado representa la primera propuesta de un circuito integrado que implementa el método de Takagi-Sugeno de orden uno, la primera propuesta de circuito de inferencia difusa de aplicación específica para el control de convertidores conmutados de potencia e incluye diversas células originales de procesado analógico.
- 2) Se ha propuesto un controlador de corriente microelectrónico de tipo  $MC^2$  para convertidores conmutados, diseñado y validado hasta la fase de *layout*. La propuesta circuital ha demostrado ser adecuada a los requerimientos de integración CMOS, y su operación en modo corriente ha permitido extender el margen de frecuencias de posible aplicación de dicho método de control de convertidores conmutados.
- 3) Se ha propuesto una estructura circuital microelectrónica CMOS validada mediante simulaciones a nivel transistor, para un controlador de un ciclo con operación en modo corriente que constituye la primera propuesta como circuito integrado para dicho método de control.
- 4) Se ha propuesto, en base a metodologías de diseño microelectrónico, un método de síntesis circuital de controladores en modo deslizamiento de superficie no lineal del que se ha derivado una estructura circuital BiCMOS para la generación de señal sinusoidal en un convertidor reductor mediante control en modo deslizamiento, que ha sido validada mediante simulaciones a nivel de transistor.

A continuación se detallan las conclusiones respecto a cada una de las propuestas, destacando en cuanto a volumen de información el controlador de inferencia difusa debido a su complejidad y al análisis teórico asociado.

#### 1) Respecto al controlador de inferencia difusa:

Se ha presentado, con un carácter autocontenido previo al diseño microelectrónico, un exhaustivo estudio sobre las propiedades analíticas de los sistemas difusos que ha resultado en las siguientes conclusiones y aportaciones:

- Partiendo de un modelado analítico de los conceptos asociados a la inferencia lógica difusa y a la teoría de conjuntos difusos, se ha demostrado que la aplicación de una implicación de tipo Mamdani y una tautología de inferencia de tipo Modus Ponens

Generalizado resulta en la obtención de una función multidimensional espacialmente localizada sobre el espacio multidimensional de entrada al sistema de inferencia difusa.

- Se ha demostrado asimismo que la defuzzyficación mediante media de centros aplicada sobre una base de reglas difusas resulta en una agregación ponderada de dichas funciones base multidimensionales localizadas.

El desarrollo de las demostraciones anteriores, que ha sugerido denominar a los sistemas estudiados como sistemas difusos de agregación local, ha proporcionado como resultados parciales:

- ◆ Una demostración de las condiciones de equivalencia entre los métodos de defuzzyficación de media de centros y la defuzzyficación centroidal.
- ◆ Se ha justificado que la aplicación de la defuzzyficación de media de centros sobre las implicaciones difusas de Zadeh, Lukasiewicz y Dienes-Rescher conduce a sistemas de inferencia difusa imprácticos.
- ◆ Se ha demostrado que el resultado de la aplicación de la defuzzyficación de máximos es independiente de la forma de las funciones de pertenencia que definen los conjuntos difusos y que esta clase de defuzzyficación resulta en transferencias analíticas abruptas.
- ◆ Asimismo, se ha propuesto un método de defuzzyficación unificado que incluye el método centroidal y el método de máximos, y que es aplicable directamente sobre la base de reglas, aspecto que revierte en su implementabilidad.

Se ha contrastado que la anterior combinación de características difusas es exhibida por los sistemas difusos utilizados en aplicaciones de interés en ingeniería.

- Los anteriores resultados han permitido proponer una interpretación analítica de la operación de un sistema difuso de agregación local como sistema de aproximación e interpolación matemática que admite una descripción característica en forma de red de procesado paralelo *feedforward*.
- Ante la anterior justificación analítica, se han establecido analogías entre distintos paradigmas de aproximación no lineal que han permitido una unificación de modelos a nivel conceptual y analítico, resultando en la familia de sistemas de agregación local.



◆ Se han clasificado los modelos difusos Takagi-Sugeno de orden cero como un caso particular de la familia de sistemas no lineales de agregación local.

◆ Asimismo se ha demostrado, justificando las condiciones que fundamentan la equivalencia entre modelos, la pertenencia a dicha familia para las redes neuronales de función base radial o RBF, el controlador CMAC, la interpolación *spline*, los modelos de regresión generalizada probabilísticos y la descomposición de *wavelets*.  
En particular:

- Se han extendido las equivalencias previas existentes entre los modelos difusos y los modelos RBF, al relajar las condiciones sobre la conformación de las funciones base multidimensionales.

Esta unificación de modelos ha permitido establecer resultados analíticos sobre las propiedades de aproximación no lineal de funciones multidimensionales por parte de estos modelos. A pesar de la distinta procedencia histórica y aplicación disciplinar de todos estos métodos de aproximación, su operación ha demostrado ser funcional y estructuralmente equivalente, lo que ha permitido concluir que la interpretación lingüística no es una característica clave en las propiedades de aproximación de los sistemas difusos.

• Se ha presentado un estudio, inexistente en la literatura, respecto a los efectos de la normalización no lineal sobre las funciones base en sistemas de agregación local que ha revelado los siguientes aspectos.

◆ Por una parte, se ha demostrado el carácter superfluo de dicha operación ante una adecuada distribución y forma del conjunto de funciones base multidimensionales de aproximación.

◆ Por otra parte se ha demostrado que dicha operación produce el efecto de retención sobre valores localizados y extremos, presentando un mal comportamiento computacional que revierte en una elevada sensibilidad frente a las imperfecciones de implementación.

• El subsiguiente estudio respecto de las propiedades como aproximadores universales de funciones multidimensionales de los sistemas difusos ha permitido extraer las siguientes conclusiones, aplicables directamente a los demás sistemas que pertenecen a la familia unificada de sistemas de agregación local.

♦ Se ha constatado que los análisis previamente existentes están basados en el genérico teorema de Stone-Weierstraß que solo permite un carácter demostrativo del análisis.

Como alternativa, se han presentado tres análisis diferenciados, si bien que complementarios, que demuestran la propiedad de aproximación universal de los sistemas difusos de agregación local. Estos tres análisis, que son de carácter constructivo y por tanto aplicables a una ulterior síntesis, han proporcionado los siguientes resultados:

♦ Se ha establecido un modelo matemático de la representación de la operación de un sistema difuso de agregación local en base a una representación ortogonal sobre el espacio de Hilbert de funciones multidimensionales. Este modelo ha permitido demostrar el carácter óptimo estructural de dicho método de aproximación frente a otros (*e.g.* redes neuronales MLP)

- En particular se ha demostrado su aplicabilidad en la representación óptima de sistemas no lineales multientrada-multisalida.

♦ Se ha propuesto un modelo analítico en base al concepto de delta generalizada multidimensional que ha puesto de manifiesto la independencia de la aproximación de la función multidimensional de la forma de las funciones base en el comportamiento límite.

♦ Se ha aportado un modelo matemático resultado de la aplicación de una versión multidimensional de los conceptos de muestreo y recuperación mediante filtrado frecuencial de una función espacial no lineal. La interpretación en el dominio frecuencial espacial, ha permitido establecer criterios analíticos, inexistentes en la literatura, sobre las condiciones de recuperación exacta de la función aproximada por el sistema de agregación local, en base a una generalización del criterio de Nyquist aplicado a la aproximación de funciones estáticas multidimensionales.

- Esta última interpretación, que engloba a las dos precedentes ha permitido extraer conclusiones cuantitativas sobre cuestiones previamente abiertas en la literatura, a saber: cuál debe ser la cardinalidad de funciones base (reglas) y cuál es el efecto de su forma.

- Posteriormente, se ha demostrado la mejora analítica que resulta de la utilización de los modelos difusos Takagi-Sugeno de orden 1 en la aproximación universal de funciones multidimensionales. Estos modelos, que permiten además la minimización del efecto de la *curse of dimensionality* han dado lugar a los resultados siguientes:

- ◆ Se ha establecido un método sistemático de síntesis de sistemas no lineales que considera la asignación local de modelos decorrelados, estableciendo una subdivisión bien condicionada del espacio de aproximación o modelado mediante la consideración de funciones base multidimensionales de características pseudotrapezoidales. Se han justificado sus propiedades como funciones base que presentan un intervalo de máxima credibilidad al modelo local, presentan un intervalo de interpolación entre modelos finito y disjunto del anterior, y detentan la propiedad de autonormalización que justifica una operación agregada.

- ◆ Por su parte, dicho método de síntesis ha permitido establecer una analogía con los métodos de aproximación lineal a tramos PWL multidimensional.

- ◆ Como fruto de la interpretación de la operación de un sistema de agregación local como realización de una subdivisión topológica del espacio multidimensional de aproximación junto a la asignación de modelos locales constantes para la función aproximada, se ha establecido una extensión de dichos sistemas a aquellos que asignan un modelo arbitrario, y que engloban a los sistemas Takagi-Sugeno.

- Se ha propuesto la subsiguiente adición de dinámica al modelado de sistemas difusos, tema tratado de forma irregular en la literatura. Como resultado se ha establecido un modelo genérico para sistemas dinámicos no lineales (en particular controladores). Como consecuencia,

- ◆ Se ha obtenido, como extensión de la metodología anterior de síntesis de funciones multidimensionales estáticas, una metodología de síntesis de sistemas dinámicos no lineales basada en sistemas difusos TSK-1, que permite, en cierta medida, y a diferencia de otros métodos de aproximación, recuperar resultados del análisis, la síntesis y el modelado de sistemas lineales.

Esta metodología de modelado y síntesis ha sido particularizada en tres casos prácticos de notable interés tanto de índole teórico como práctico:

- Se ha obtenido un modelo, para el caso de un espacio de entradas tridimensional cuyas coordenadas corresponden a las componentes proporcional, derivativa e integrativa de la variable de entrada al controlador, que ha desembocado en la propuesta de síntesis de controladores PID no lineales universales.
  - Se ha propuesto un sistema compensador dinámico no lineal arbitrario para una variable de control como caso particular de un sistema dinámico universal SISO. Ello ha requerido de una representación en forma canónica de control de un sistema lineal de dinámica arbitraria al que se ha añadido el modelado o síntesis de funciones no lineales arbitrarias mediante sistemas difusos TSK
  - Se ha propuesto una modelación conjunta de una planta genérica dinámica no lineal y de su controlador de estado no lineal bajo un modelo coherente dinámico no lineal de agregación de modelos locales que ha permitido establecer la ubicación de polos arbitraria no lineal universal.
  - Respecto a las tres propuestas anteriores, se ha demostrado la inclusión de los sistemas lineales correspondientes (PID, compensador arbitrario, *pole placement*) como casos particulares de los sistemas dinámicos no lineales modelados.
- El modelo difuso de sistemas dinámicos no lineales propuesto ha sido contrastado con los métodos clásicos de modelado de dichos sistemas. Se ha demostrado su ventaja frente a los modelos basados en series temporales de Volterra, debido a las propiedades de aproximación global ortogonal. Asimismo, se han estudiado las afinidades y disimilitudes con los modelos de Wiener, concluyendo la notable similitud estructural entre ambos métodos, si bien el propuesto parece presentar una mayor facilidad de implementación.
  - Como conclusión definitiva sobre el control difuso, y a diferencia de la interpretación clásica de ser un tipo de control lingüístico adecuado a plantas de dinámica no bien modelada, éste ha sido descrito como un método cuantitativo de síntesis o modelado de sistemas no lineales dinámicos arbitrarios. En dicho sentido, el control difuso ha sido interpretado y extendido como la conjunción de una etapa de subdivisión del espacio de entrada (correspondiente a los antecedentes o premisas lógicas difusas) seguido de un modelo local de control (correspondiente al consecuente analítico), sea éste constante,

afín, dinámico, de realimentación de estado, en modo deslizamiento o difuso en sí mismo (jerárquico).

Respecto a la implementación microelectrónica del controlador de inferencia difusa, que ha constituido la cristalización del análisis previo, y se describe en la parte final del capítulo II:

- Se ha presentado, partiendo de una propuesta previa de arquitectura secuencial [MOR97], el diseño completo a nivel circuital e implementación de un circuito integrado de aplicación específica analógico y con operación en modo corriente, que reproduce el sistema de aproximación difusa y considera modelos Takagi-Sugeno de orden 1, siendo, frente al conjunto de circuitos procesadores difusos descritos en la literatura, la primera propuesta circuital que incluye dicho modelo.

Respecto al circuito integrado mixto *neurofuzzy* implementado:

- Se han estudiado los requerimientos de implementación de una arquitectura secuencial analógica, que constituye la primera propuesta que considera la flexibilidad temporal de implementación ante el problema de la *curse of dimensionality*. Asimismo, el modo de operación secuencial ha permitido, como nueva propuesta circuitalmente apropiada, la sustitución de la integración concurrente espacial por una operación de integración o acumulación temporal.
- Respecto a las células circuitales que componen el procesador ASIC *neurofuzzy* implementado, cuyo procesado en modo corriente incluye tanto procesado analógico digitalmente programado de forma dinámica como procesado discreto con memoria.
  - ◆ Se ha diseñado un nuevo circuito que proporciona programabilidad digital de la pendiente de la función de pertenencia difusa, que ha sido implementada mediante pares diferenciales compuestos, y que ha permitido, a su vez, obtener conformaciones pseudotrapezoidales apropiadas a la síntesis de controladores no lineales zonales.
  - ◆ Se ha propuesto, justificando las ventajas que se derivan de su uso, la utilización de circuitos convertidores D/A algorítmicos en modo corriente como núcleo de implementación de los modelos locales afines TSK-1.
  - ◆ Se ha diseñado una nueva estructura complementaria de integración de corriente conmutada. Por su parte, los índices adoptados para el modelado de las prestaciones circuitales con respecto al tiempo de respuesta y el ruido en circuitos copiadores de

corriente han permitido establecer un criterio de optimización en el diseño de los mismos, estudiado en el apéndice A.

♦ Se ha propuesto y diseñado una nueva célula de división analógica de transimpedancia con salida modulada en anchura de pulsos. Su aplicación es muy apropiada tanto como etapa de salida de cualquier circuito en modo corriente por su operación pulsada de salida, que facilita la interficie eléctrica, como para el control de plantas de potencia. El circuito integrado mixto *neurofuzzy* constituye así la primera propuesta de circuito de control difuso de aplicación específica para el control de convertidores conmutados continua-continua.

## 2) Respecto al controlador de corriente $MC^2$

En el capítulo 3, se han analizado los requerimientos de procesado de los controladores de control de corriente y se ha justificado la adecuación a los mismos del diseño en modo corriente.

- Se ha demostrado la aplicabilidad de la metodología de diseño en modo corriente mediante la propuesta de un circuito analógico microelectrónico que implementa un controlador de corriente  $MC^2$ .
- Los resultados de simulación *post-layout* de la estructura propuesta han demostrado la funcionalidad de la propuesta y han extendido el margen de posibles frecuencias de conmutación frente a las estructuras circuitales comerciales y propuestas en la literatura.

## 3) Respecto al controlador de un ciclo

En el capítulo 3, asimismo, se ha justificado la adecuación del diseño en modo corriente al diseño de controladores de un ciclo. En este sentido:

- La correcta operación a frecuencias de conmutación elevada de la estructura circuital propuesta ha permitido demostrar la viabilidad práctica de dicho método de control, hasta ahora impracticable a frecuencias de conmutación medias o elevadas.

#### 4) Respecto al controlador en modo deslizamiento:

En el capítulo 4, se ha tratado la síntesis y diseño de controladores que consideran el método de control en modo deslizamiento de superficie no lineal aplicado a convertidores conmutados, y como consecuencia:

- En base al capítulo II, se ha justificado la idoneidad de una extensión del método de síntesis difusa con el fin de sintetizar controladores en modo deslizamiento de superficie no lineal.
- Se han detectado las necesidades de procesamiento de los controladores en modo deslizamiento y se ha demostrado la adecuación del diseño en modo corriente a la síntesis circuital eficiente de los mismos.
- Se ha propuesto un diseño circuital BiCMOS completo para la generación de señal sinusoidal en un convertidor BUCK bajo control en modo deslizamiento.
- Se han obtenido tiempos de respuesta que permiten frecuencias de operación de hasta dos décadas superiores frente a las previamente obtenidas mediante circuitos en modo tensión.

## 5.2 Líneas futuras de investigación

Llegados a este punto, cabe plantear ciertas extensiones naturales del presente trabajo así como sugerir ciertas continuaciones y aplicaciones del mismo.

- Como aplicación del modelo genérico dinámico no lineal óptimo que establece una subdivisión ortogonal y una posterior asignación de modelos afines, cabe proponer su utilización para la síntesis de controladores no lineales para convertidores conmutados continua-continua.
- Como aplicación de la estructura circuital propuesta para el control en corriente, cabe estudiar la adaptación del circuito al control de ciertos índices significativos de la corriente del inductor con el fin de extender las prestaciones del circuito controlador.

- Desde el punto de vista de la implementación microelectrónica, la acción inmediata corresponde a la verificación experimental en sus diferentes posibilidades de aplicación del prototipo ASIC *neurofuzzy* diseñado e implementado, así como a la implementación de los prototipos de control de corriente, control de un ciclo y en modo deslizamiento.
- Cabe asimismo aprovechar la flexibilidad de la arquitectura de procesado mixto secuencial considerada para implementar una aproximación eficiente al concepto de *reglas activas*. Ello revertiría en una clara reducción del efecto de *curse of dimensionality* en la implementación de circuitos procesadores difusos.
- En este sentido, cabría plantear una versión optimizada en velocidad para un circuito controlador difuso, cuya operación agregada sin normalización mejoraría las prestaciones dinámicas y justificaría la imbricación de los circuitos que realizan en corriente los consecuentes junto a los que obtienen las funciones de pertenencia.
- Considerando un enfoque tecnológico, cabe extender las propuestas circuitales hacia tecnologías más apropiadas a un entorno circuital de elevadas prestaciones dinámicas como corresponde a una tecnología bipolar o BiCMOS. Cabe asimismo contemplar la adición de las medidas de protección necesarias (e.g. *soft start*, detección de sobrecorriente) y cierta lógica de control para los circuitos controladores propuestos, entendidos éstos como núcleos de procesado.
- Las elevadas prestaciones en cuanto a la velocidad de respuesta del método de control que de la operación en modo de corriente se derivan permiten plantear la utilización de los circuitos propuestos como controladores de altas prestaciones para la actual línea de investigación que estudia convertidores conmutados continua-continua de baja potencia, cuyos elementos activos de conmutación aparecen integrados sobre el mismo sustrato que los circuitos que alimentan (eventualmente aparecen en un entorno de microsistemas, en aplicaciones de *smart power*), y cuyos condicionantes de reducción de peso y volumen justifican la aplicación de elevadas frecuencias de conmutación.





## APÉNDICE A

### ESTUDIO DE LOS EFECTOS DE RUIDO Y ANCHO DE BANDA EN CÉLULAS DE MEMORIA DE CORRIENTE CONMUTADA

#### A.1 Técnicas de procesamiento analógico de corrientes conmutadas

Este apéndice trata diversos aspectos fundamentales sobre las células de memoria analógica en corriente o *copiadores de corriente*, especialmente los efectos del ruido eléctrico y la velocidad de respuesta o ancho de banda de operación de las mismas. En él se derivan criterios óptimos para la selección de los parámetros de diseño de los transistores que conforman el coprador de corriente, en función del ruido térmico, el ancho de banda así como la frecuencia de operación. Para dichas células de memoria dinámica en corriente se propone un modelo para el que se infiere un factor de mérito que incluye las anteriores dependencias, y se demuestra analíticamente su relación con el área del transistor principal o de copia. Se incluyen resultados de simulación HSPICE para el proceso CMOS standard AMS-0.8 $\mu$ m con el fin de validar el modelo propuesto.

A modo de introducción, cabe mencionar que el coprador de corriente (*current-copier*, en inglés) o célula de memoria de corriente conmutada (*switched-current memory cell*, en inglés) constituye el bloque básico de diseño en el área del procesamiento analógico de señal mediante corrientes conmutadas, paradigma de tratamiento de señal analógica muestreada propuesto recientemente de forma simultánea por Hughes *et al* ([HUG89], [HUG90], [HUG90a], [HUG90b]), Wegmann y Vittoz ([WEG89], [WEG90], [WEG90a]) y Daubert, Vallancourt y Tsvidis ([VAL89], [DAU90a]). Su operación, que considera la multiplexación temporal de transistores MOS, tiene como objetivo el evitar los errores de desapareamiento, basándose en técnicas analógicas dinámicas discretas que resultan en una capacidad teóricamente libre de errores de copiado o almacenamiento de muestras de corriente. Como aspecto adicional

destacado, el copiator de corriente es susceptible de ser implementado en tecnologías VLSI CMOS de una única capa de polisilicio (tecnologías digitales), lo que confiere una clara ventaja a los sistemas de corrientes conmutadas frente a la técnica previamente dominante de procesamiento discreto analógico basada en capacidades conmutadas, hecho que justifica el considerable esfuerzo y los notables avances en esta área. La técnica de procesamiento de corrientes conmutadas ha sido satisfactoriamente aplicada [TOU93] al diseño de filtros de corrientes conmutadas que incluyen programabilidad digital –véase [FIE91], [GAT92], [SCH93], [BAR93], [HUG95], bloques multiplicadores/divisores independientes de las relaciones de aspecto de los transistores [LEE96], convertidores digitales/analógicos con autocalibración [WOU89], así como *frontends* de tipo sigma-delta [CRA92a], [DAU92], [MOE95], [NED95]. Por otra parte, el potencial funcionamiento del copiator de corriente no ya como elemento de retardo dinámico sino como elemento de almacenamiento de información analógica, ha demostrado ser útil en el diseño de implementaciones de señal mixta de procesadores neuronales secuenciales sistólicos, como el presentado en [MOR94].

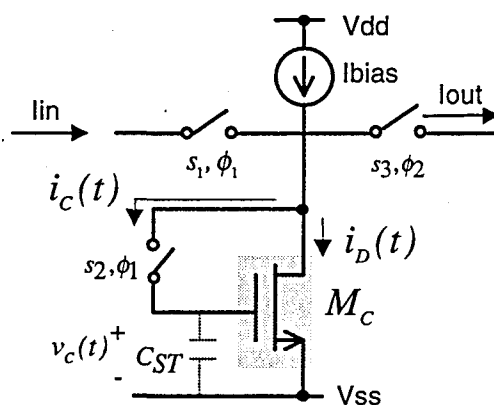


Figura A1 Célula *copiator de corriente* básica.

En la práctica, no obstante, diversos efectos no ideales limitan las prestaciones de funcionamiento del copiator de corriente [MAC94]. Para analizar su impacto, considérese la célula básica de memoria en corriente mostrada en la figura A1. Durante la fase de reloj  $\phi_1$ , los interruptores MOS  $s_1$  y  $s_2$  permanecen cerrados y, en consecuencia, el transistor base de copia conectado como diodo MOS genera una tensión de puerta correspondiente a la corriente de entrada a la célula de memoria (a través de la relación cuadrática propia a la característica de saturación del transistor). Durante la segunda fase de reloj  $\phi_2$ , los interruptores MOS  $s_1$  y  $s_2$  permanecen abiertos, mientras que, por su parte, el interruptor MOS  $s_3$  conecta el drenador del transistor de copia al nodo de baja impedancia que constituye la carga de la célula de

memoria. Dado que la capacidad de almacenamiento de puerta  $-C_{ST}$  (provenga ésta de la capacidad intrínseca puerta-fuente o de un condensador añadido explícitamente a tal efecto) almacena la información analógica en modo tensión, y, asumiendo la hipótesis de que el transistor de copia base mantiene su operación en saturación, el valor de la corriente de salida, durante la fase  $\phi_2$ , iguala idealmente a la corriente de entrada a la célula durante la fase  $\phi_1$ .

Partiendo de este mecanismo o principio de operación, se esperan diversas fuentes de error que afectan la operación del copiador de corriente (concretamente la precisión de copia o de almacenamiento). A saber, diversos efectos resultan en errores de copiado, como puedan ser efectos de inyección de carga y de *clock feedthrough* o acoplamiento de reloj, efectos debidos a valores no nulos de la conductancia de salida y una velocidad de respuesta limitada (o tiempo de establecimiento no nulo). Conjuntamente, aparece un cierto error de copiado no determinista debido al ruido introducido por los transistores del copiador.

Existe un conjunto de técnicas circuitales propuestas con el objetivo de reducir los dos primeros efectos no ideales consignados. Por una parte, el uso de técnicas de regulación MOS *cascode* mejora el nivel de impedancia de salida hasta hacer negligible su efecto [TOU90a]. Por otra parte, y con el fin de reducir los severos errores debidos a la redistribución de cargas (inyección de carga y acoplamiento de reloj), se ha propuesto en la literatura el uso de puertas de transmisión CMOS con la adición eventual de transistores *dummy*. El uso de esquemas de temporización de reloj de complejidad mayor (*e.g.*, técnicas S<sup>n</sup>T) también ha demostrado ser de utilidad para la reducción de los efectos de redistribución de cargas [TOU90b], [HUG93], [HUG93b], [HUG96]. El conjunto de mejoras circuitales ha resultado en una pléyade de copiadores de corriente de segunda generación [GUG93], [ZEL93], [HUG93a], [NAI94], [GUZ95], [HUA95], [LEE95a], [MOE95a], [VEC95], [NAI96], [SHA96].

Obsérvese que la reducción mediante técnicas circuitales de los anteriores efectos conduce a una situación en que las limitaciones fundamentales del circuito (ancho de banda limitado e introducción de ruido) aparecen como limitaciones prácticas cuyos efectos deben ser estudiados en el proceso de diseño. En dicho sentido, el propósito de este apéndice queda demarcado por la revisión de los efectos del ruido y el ancho de banda para copiadores conmutados de forma no necesariamente periódica (copiadores de corriente, a diferencia de retardos de corriente) y así obtener como conclusiones alguna directriz para el diseño de los tamaños de los transistores y la corriente de polarización de la célula, así como el valor de capacidades externas de almacenamiento eventualmente añadidas.

## A.2 Análisis de ruido

En este apartado, el ruido debido a los transistores que componen el copiador de corriente es caracterizado como un efecto limitador en cuanto a la máxima resolución alcanzable (en su equivalente en bits) en el proceso de almacenamiento de señal analógica en modo corriente. La figura A2 muestra una representación del proceso temporal de muestreo y retención en corriente, en el que se incluyen los efectos del ruido.

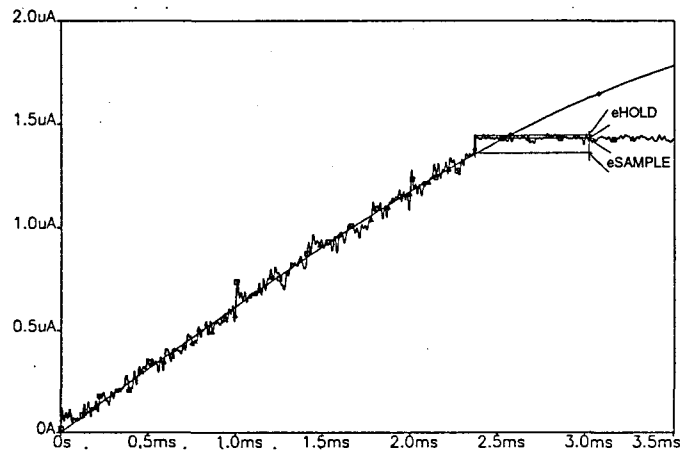


Figura A2 Proceso de muestreo del ruido de corriente en el dominio temporal

Con el objetivo de obtener un modelo teórico del ruido, y considerando un valor  $i_{in}$  para la muestra de corriente de entrada a la célula de memoria, el valor de la corriente de salida admite el modelo

$$i_o = i_{in} + \Delta i_{n_{sample}} + i_n(t)_{hold} \quad (A.1)$$

expresión en la que el segundo término corresponde a una constante no determinística, asimilable a un *offset* y debido al ruido que se mantiene en retención en el instante de muestreo o de almacenamiento de memoria, mientras que, por su parte, el tercer término corresponde a una componente de ruido variante con el tiempo. Como se demuestra a continuación, el nivel de la primera componente de ruido depende del propio ancho de banda del copiador de corriente, estando relacionado con el ancho de banda de la célula de carga o de la siguiente etapa circuital para la componente variante.

En principio, tanto los transistores de copiado como los transistores que actúan como conmutadores contribuyen al ruido de la capacidad de almacenamiento. Sin embargo, en el circuito completo, y en virtud de la conexión realimentada, el ruido introducido por el

conmutador es despreciable según muestra (A.2), expresión en la que  $S_{M_{sw}}(f)$  representa la densidad cuadrática media de ruido en tensión para el transistor conmutador  $M_{sw}$  que implementa  $s_2$  en la figura A1, y  $S_{V_{cM_{sw}}}^s(f)$  la densidad cuadrática media de ruido en tensión en el nodo de almacenamiento capacitivo, denotando el supraíndice  $s$  la fase de muestreo.

$$S_{V_{cM_{sw}}}^s(f) = \frac{\left(\frac{g_o}{g_m}\right)^2}{1 + \left(\frac{f}{f_o}\right)^2} S_{M_{sw}}(f) \xrightarrow{g_o/g_m \ll 1} \approx 0 \quad (\text{A.2})$$

Por su parte, la densidad espectral debida al transistor principal aparece filtrada por el ancho de banda del lazo de realimentación que conforma la configuración en diodo MOS  $-f_o-$ , tal como expresa A.3. [DAU90]. En general, considerando la distribución espectral del ruido de un transistor MOS, esta densidad espectral consiste tanto en un término flicker ( $1/f$ ) como en una componente de ruido blanco (A.4):

$$S_{V_{cM_c}}(f) = \frac{1}{1 + \left(\frac{f}{f_o}\right)^2} S_{M_1}(f) \quad (\text{A.3})$$

$$S_{V_{cM}}^s(f) = \frac{4kT}{3g_m} + \frac{KF_n}{C_{OX}WL} \cdot \frac{1}{|f|} \quad (\text{A.4})$$

Obsérvese que ante una operación periódicamente conmutada del copiador de corriente (como corresponde a las aplicaciones de filtrado de corrientes conmutadas), las componentes de ruido -blanco y  $1/f$ - son también periódicamente muestreadas. Ello conlleva que la densidad espectral de ruido presente réplicas espectrales situadas en los armónicos de la frecuencia de conmutación, así como una conformación espectral de tipo función *sinc* debida al tiempo de retención (*hold*, en inglés). Analíticamente:

$$S_{i_D}^{S/H}(f) = g_m^2 S_{V_c}^{S/H}(f) = g_m^2 \text{sinc}^2(f \cdot T_{hold}) \cdot \sum_{n=-\infty}^{n=+\infty} S_{M_{IC1}}(f - nf_s) \quad (\text{A.5})$$

La utilidad del modelo anterior debe replantearse cuando el copiador de corriente no trabaja como retardo analógico sino como elemento de memoria analógica ( $f_s \rightarrow 0$ ), en cuyo caso, tan

solo la ventana temporal  $nT_s < t < (n+1)T_s$  debe considerarse en el análisis, y, por tanto, sólo la componente espectral en banda base de ruido en corriente se mantiene (A.6):

$$S_{i_D}^S(f) = g_m^2 S_{v_{cM}}^S(f) \quad (\text{A.6})$$

Considerando la componente variante durante la fase de retención, el modelo de la anterior expresión mantiene su aplicabilidad siempre que el ancho de banda de la célula de carga se asuma, sin demasiada pérdida a de generalidad, igual al ancho de banda de la célula de copiado, hipótesis razonable si la célula de copiado o memoria suministra las muestras de corriente a otro coprador de corriente.

Consecuentemente, y con el fin de establecer un modelo que justifique un criterio para la caracterización del ruido a nivel de precisión de almacenamiento, se obtiene el valor esperado cuadrático en corriente integrando las anteriores densidades espectrales (A.6) sobre el ancho de banda de la propia célula de memoria:

$$\begin{aligned} \bar{i}_{TOT}^2 &= \int_0^{\infty} S_{TOT}(f) df = \int_0^{\infty} [S_{i_D}^S(f) + S_{i_D}^H(f)] df = 2 \int_0^{\infty} S_{i_D}^S(f) df = \\ &2 \int_0^{\infty} g_m^2 \frac{1}{1 + (f/f_0)^2} \cdot \frac{4kT}{3g_m} \cdot df = 2g_m^2 \cdot \frac{4kT}{3g_m} \cdot \frac{g_m}{4C_{ST}} \end{aligned} \quad (\text{A.7})$$

En la derivación precedente (A.7), se asume como aproximación el hecho de no considerar el ruido *flicker*, de forma que las expresiones del modelo de ruido devienen más compactas. Esta hipótesis de simplificación es válida, ya que, para valores típicos de ancho de banda, el valor relativo del ruido  $1/f$  es menor que un 1% del ruido blanco [LAK94].

La potencia de ruido en corriente obtenida en (A.7) incluye y modela tanto el ruido muestreado (error de copia constante) como el ruido directo (error de salida variante con el tiempo). En concordancia, la raíz cuadrada de la anterior expresión representa el valor esperado de corriente de ruido  $\sigma_{ni}$  a la salida de la célula de memoria en corriente (A.8):

$$\sigma_{ni} = \sqrt{\bar{i}_{TOT}^2} = g_m \sqrt{\frac{2kT}{3C_{ST}}} \quad (\text{A.8})$$

El valor obtenido mediante las anteriores consideraciones y simplificaciones, que depende de parámetros de diseño de la célula de memoria (vía  $g_m$  y  $C_{GS}$ , y su dependencia con  $I_{BIAS}$ ,  $W$  y  $L$ ), será posteriormente considerado como una medida agregada representativa del error de copia debido al ruido.

### **A.3 Consideraciones sobre la velocidad de respuesta y el tiempo de establecimiento**

El ancho de banda de operación del copiador de corriente puede definirse como el margen de frecuencias de almacenamiento sobre el cual el error, debido bien a efectos dinámicos de alta frecuencia o bien de baja frecuencia, deviene comparable con la resolución equivalente del copiador.

En cuanto a efectos de baja frecuencia se refiere, la cota de error que delimita el máximo tiempo de retención de la memoria en corriente (o la mínima frecuencia de operación del copiador de corriente como retardo analógico) está condicionada por la descarga del condensador de almacenamiento, asociada a la corriente que fluye a través de la unión inversamente polarizada asociada al transistor conmutador, en estado de corte. Con el fin de minimizar este efecto, la relación entre la capacidad de almacenamiento o retención y las dimensiones del transistor que actúa como conmutador debe incrementarse, aumento que, por otra parte, resulta en una reducción del efecto de *clock feedthrough*.

Los efectos en alta frecuencia aparecen, en el dominio temporal, como un tiempo de establecimiento no despreciable que limita la precisión de la memoria analógica. Dado que ambos efectos están interrelacionados, en la aplicación del copiador de corriente como célula de memoria, *i.e.* con ausencia de relojes periódicos, el procedimiento de diseño consiste en, como primer paso, la obtención del tamaño de la capacidad de almacenamiento de memoria, para asegurar –considerando un cierto tiempo de muestreo– una cota del error debido al tiempo no nulo de establecimiento, para posteriormente inferir el tiempo de retención para el cual la célula retiene el valor de corriente almacenado dentro de la resolución preespecificada.

Un modelo razonable para el efecto del tiempo de establecimiento consiste en un modelo simple de primer orden debido a un polo real (asociado al ancho de banda del lazo realimentado), según



$$\omega_o = 1/\tau = \frac{g_m}{C_{ST}} \quad (\text{A.9})$$

No obstante, con el fin de utilizar apropiadamente este modelo, debe profundizarse en el estudio de un posible establecimiento de tipo no lineal, así como efectos dinámicos lineales de orden superior, cuyo análisis, presentado a continuación, permite obtener las condiciones de operación que garantizan un modelo como el descrito por (A.9).

### A.3.1 Establecimiento no lineal

Un modelo linealizado en pequeña señal para la topología circuital del copiador de corriente mostrada en la figura A1, proporciona, en la fase de muestreo y considerando el modelo de primer orden (A.9), una evolución temporal para la corriente de drenador del transistor principal del tipo

$$i_D(t) = I_1 + \Delta I(1 - e^{-t/\tau}) \quad (\text{A.10})$$

Sin embargo, en aplicaciones en las que el copiador de corriente opera como célula de memoria, es razonable asumir que la corriente de entrada varíe sustancialmente [CRA93a], [CRA94]. En consecuencia, el modelo lineal que resulta en una respuesta temporal del tipo (A.10) pierde validez, y por tanto, se requiere un análisis que incluya la relación no lineal cuadrática entre la tensión de puerta del transistor de copia y la corriente de drenador del mismo al resolver la ecuación diferencial no lineal que modela el comportamiento dinámico del copiador de corriente, tal como muestra la figura A3.

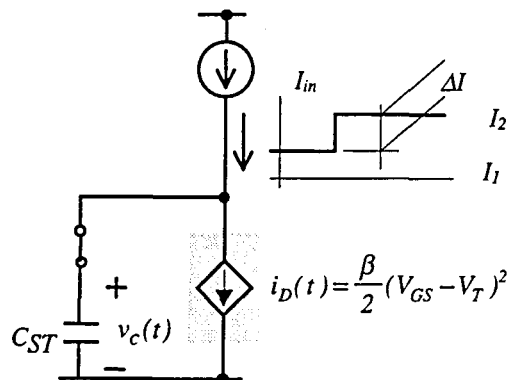
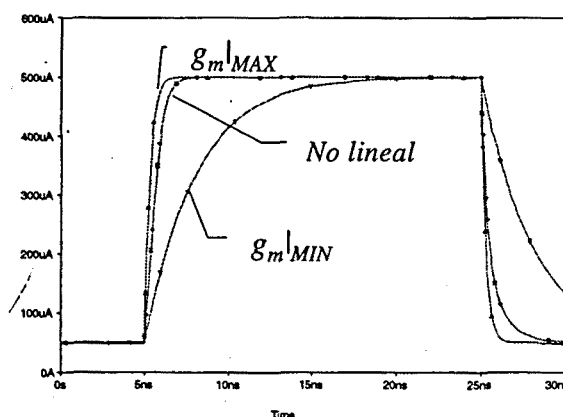


Figura A3 Modelo circuital para el análisis del establecimiento temporal no lineal

El análisis del modelo anterior resulta en un establecimiento no lineal para la corriente del transistor principal de copia equivalente al caso de espejos de corriente de tiempo continuo [NAI93]:

$$I_D(t) = I_2 \left( \frac{\sqrt{I_1} + \sqrt{I_2} + (\sqrt{I_1} - \sqrt{I_2}) e^{-\frac{\sqrt{2I_2}\beta_1}{C_{ST}} t}}{\sqrt{I_1} + \sqrt{I_2} - (\sqrt{I_1} - \sqrt{I_2}) e^{-\frac{\sqrt{2I_2}\beta_1}{C_{ST}} t}} \right)^2 \quad (\text{A.11})$$

En base a la simulación SPICE de la figura A4, se infiere que la forma de onda concreta no es crítica en la evaluación del tiempo de respuesta. En dicha gráfica de simulación aparecen superpuestas las respuestas debidas a los modelos linealizados de transconductancia de valor máximo y mínimo, así como la respuesta real que considera la transferencia no lineal del transistor base (curva interior).



**Figura A4** Comparación entre la respuesta temporal lineal y no lineal en la carga del copiador de corriente

De forma cualitativa, el valor de la transconductancia lineal en un modelo de primer orden equivalente  $g_{mEQ}$  para el establecimiento no lineal (aquella que proporciona el mismo tiempo de establecimiento) se presentará entre los valores máximos y mínimos de transconductancia, en virtud de la propiedad de monotonía de la característica no lineal cuadrática, tal como muestran las expresiones (A.12) y la figura A5.

$$g_{mMIN}(I_1) \leq g_{mEQ} \leq g_{mMIN}(I_2) \quad (\text{A.12})$$

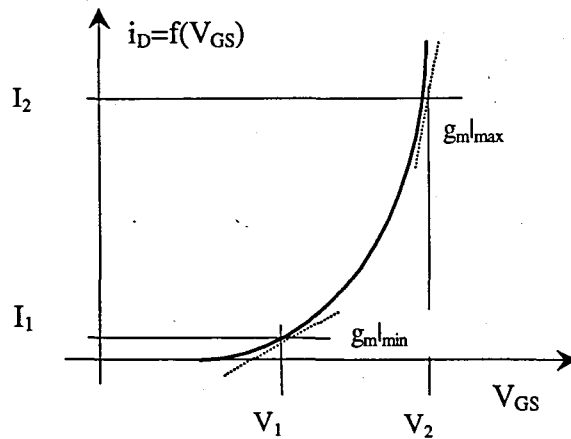


Figura A5 Linealización del modelo de establecimiento no lineal de carga de corriente.

### A.3.2 Establecimiento de segundo orden

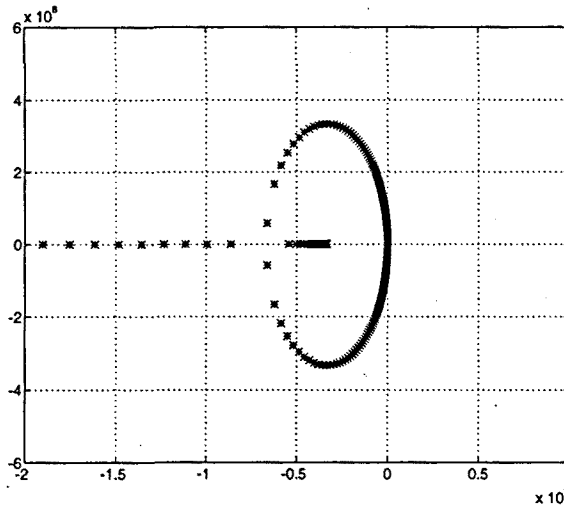
Al extender la versión linealizada del circuito de la figura A1 incluyendo efectos parásitos de segundo orden como la resistencia ON del transistor que actúa como conmutador ( $r_s = 1/g_s$ ) y la capacidad de carga en el nodo de salida ( $C_{OUT}$ ), la función de transferencia entre la corriente de entrada al copiador de corriente y la corriente de drenador del transistor base deviene:

$$H(s) = \frac{i_D(s)}{i_{IN}(s)} = \frac{1}{1 + s \left( \frac{C_{ST} + C_{OUT}}{g_m} \right) + s^2 \left( \frac{C_{ST} C_{OUT}}{g_m g_s} \right)} \quad (A.13)$$

Un método para analizar cuantitativamente el efecto de la resistencia del conmutador sobre la respuesta dinámica de la célula, y ya que dicha resistencia aparece en el lazo de realimentación que proporciona el nodo de baja impedancia de sensado de corriente, es la representación del lugar geométrico de los polos de la función de transferencia (A.13) considerando la resistencia del conmutador  $r_s$  como parámetro:

$$1 + s \left( \frac{C_{ST} + C_{OUT}}{g_m} \right) + s^2 \left( \frac{C_{ST} C_{OUT}}{g_m g_s} \right) = 0 \Rightarrow$$

$$\Leftrightarrow 1 + r_s \frac{s^2 \left( \frac{C_{ST} C_{OUT}}{g_m} \right)}{1 + s \left( \frac{C_{ST} + C_{OUT}}{g_m} \right)} = 0 \quad (\text{A.14})$$



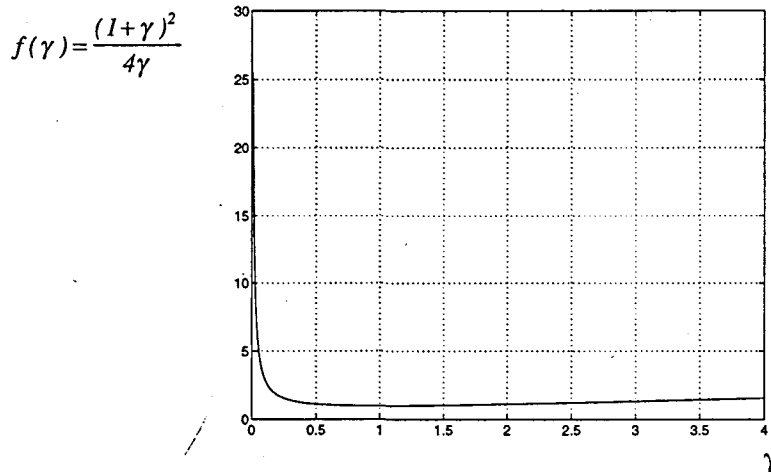
**Figura A6** Lugar geométrico de los polos de la función de transferencia de segundo orden del copiador de corriente en función de  $r_s$ .

Del análisis de este lugar geométrico puede inferirse que el caso de una resistencia de conmutador de valor nulo reduce el problema a un caso de establecimiento simple de primer orden –cuya constante de tiempo está definida por (A.9)–. Al suponer un incremento del valor de  $r_s$  (debido a un cambio por diseño de la relación de aspecto del transistor correspondiente), la célula de memoria de corriente responde con mayor rapidez y consigue un tiempo de establecimiento mínimo –aproximadamente la mitad de la constante de tiempo intrínseca (A.9)–, para un cierto valor de  $r_s$  – $r_{scrit}$ –, justo antes de que el par de polos se transforme en un par de polos complejos conjugados y aparezca sobreimpulso en el dominio temporal. Tras este valor  $r_{scrit}$  la célula ralentiza su comportamiento temporal, dado que la parte real de los polos (asociada a la envolvente en el tiempo de establecimiento) es menor. La obtención del valor de la resistencia de conmutador que proporciona una respuesta de máxima velocidad  $r_{scrit}$  puede derivarse del factor de calidad del denominador de segundo orden de la expresión (A.13), según

$$Q = \frac{\sqrt{\frac{g_m}{g_s} C_{ST} C_{OUT}}}{C_{ST} + C_{OUT}} \xrightarrow{C_{OUT} = \gamma \cdot C_{ST}} Q = \frac{\sqrt{\frac{g_m}{g_s} \gamma}}{1 + \gamma} \quad (\text{A.15})$$

Nótese que en la anterior definición se ha supuesto un cierto valor de capacidad de carga  $C_{OUT} = \gamma C_{ST}$ . Considerando la expresión (A.15), un valor del factor de calidad de 0.5 corresponde al valor de  $r_s$  de respuesta óptima en cuanto a velocidad de carga, según

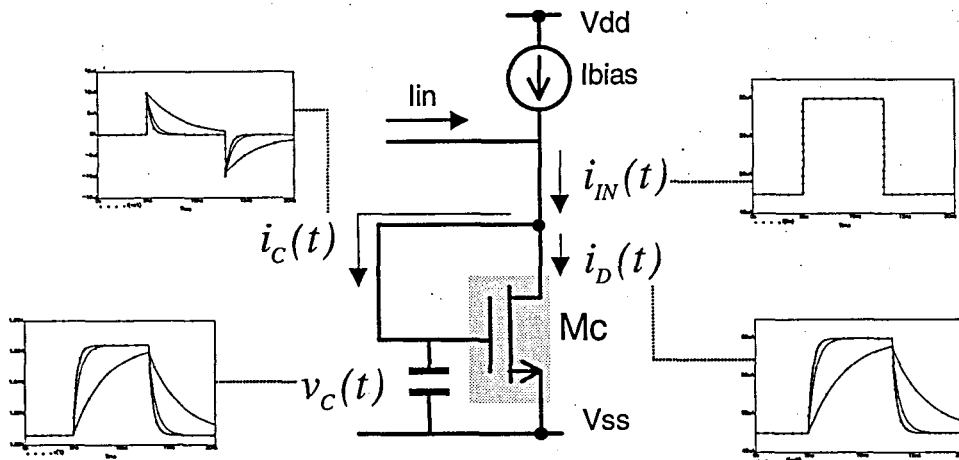
$$Q = 0.5 \Rightarrow r_{scrit} = \frac{1}{g_m} \cdot \left[ \frac{(1 + \gamma)^2}{4\gamma} \right] \geq \frac{1}{g_m} \quad (\text{A.16})$$



**Figura A7** Dependencia de  $r_{scrit}$  con la capacidad de carga del copiator de corriente.

La figura A7 muestra el factor de dependencia de (A.16) respecto al parámetro  $\gamma$  que modela el efecto de la capacidad de carga, observándose que para  $\gamma > 0.5$ , la conductancia óptima del conmutador es del orden de la transconductancia del transistor base de copia. Nótese que éste es nuevamente un fenómeno no lineal, ya que la respuesta lineal de la célula (en concreto la velocidad de respuesta lineal y el nivel de sobreimpulso) depende del nivel de corriente de entrada vía el valor de transconductancia  $g_m$ .

Como conclusión final sobre el comportamiento del tiempo de establecimiento del copiator de corriente, puede indicarse que el modelo de respuesta lineal de dinámica de primer orden es válido para su respuesta bajo condiciones suficientemente generales y descritas en el análisis precedente. De hecho, el error de copia de corriente debido a un tiempo de establecimiento no nulo puede ser siempre acotado por un decaimiento exponencial de primer orden.



**Figura A8** Proceso de carga del condensador de almacenamiento de memoria en el copiador de corriente.

Partiendo de la representación en el dominio temporal del proceso de carga del condensador de almacenamiento mostrada en la figura A8, puede deducirse que el error que limita la resolución de la célula corresponde a la diferencia entre la corriente de entrada y la corriente de drenador al final del tiempo de muestreo (*sample time*), diferencia o error que, por su parte, corresponde a la corriente de desplazamiento que fluye a través del condensador de almacenamiento, según representa (A.17).

$$\Delta i(1 - e^{-t/\tau}) = \Delta i - \epsilon_{ST} \quad (A.17)$$

#### A.4 Optimización del diseño de copiadores de corriente

El principal objetivo del análisis presentado en este apéndice es el establecimiento de criterios de diseño de la célula de memoria analógica basada en el copiador de corriente en cuanto a los efectos sobre el ancho de banda y el ruido se refiere.

Una primera aproximación al diseño consiste en la compensación del ancho de banda propio de la célula con el objetivo de reducir el efecto del ruido equivalente en la muestra de salida, mediante la adición de una capacidad  $-C_{ADD}$  sobre el nodo de almacenamiento (puerta del transistor base), añadiendo así un nuevo grado de libertad al problema que aumenta la flexibilidad del diseño. Es patente que esta compensación depende de la frecuencia de operación de la célula en aplicaciones periódicamente conmutadas o en el tiempo de muestreo  $T_s$  en aplicaciones de memoria. Nótese que para valores altos de  $T_s$  (aplicaciones con baja

frecuencia de operación), el ruido es el efecto que limita la máxima resolución que se puede conseguir. La compensación, por su parte, disminuye el tiempo de respuesta. Con el fin de establecer una pauta analítica para la resolución de este compromiso, cabe plantear la minimización de la suma de ambos errores. En base a los resultados precedentes del apartado A.3, el error debido al tiempo de establecimiento no nulo, incluyendo la dependencia con el valor de la capacidad de compensación añadida y el tiempo de muestreo, sigue la expresión

$$\begin{aligned} \varepsilon_{ST} &= \Delta i e^{-t/\tau} \xrightarrow{t=T_S} \Delta i e^{-T_S/\tau} \\ &\xrightarrow{\tau = \frac{C_{ADD} + C_{GS}}{g_m}} \Delta i e^{-\frac{T_S g_m}{C_{ADD} + C_{GS}}} \end{aligned} \quad (A.18)$$

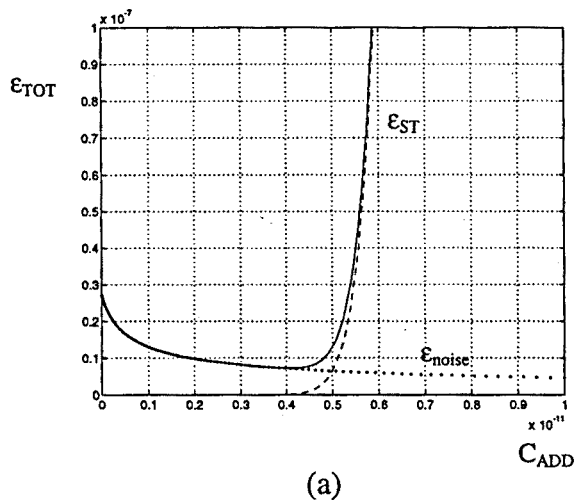
Nótese que, por motivos tecnológicos,  $C_{ADD}$  puede ser, en general, no lineal, y es habitualmente implementada mediante un transistor cortocircuitado entre drenador y fuente, por la elevada densidad capacitiva que esta configuración presenta. Por su parte, el error debido al ruido, suponiendo que éste está decorrelado entre las fases de muestreo y retención, depende sólo del valor total de la capacidad de almacenamiento ( $C_{GS} + C_{ADD}$ ), según

$$\begin{aligned} \varepsilon_{NOISE} &= \sqrt{\overline{i_{NOISE}^2}} = \sqrt{\overline{i_{NOISE}^2}}_{SAMPLE} + \sqrt{\overline{i_{NOISE}^2}}_{HOLD} \\ &= g_m \sqrt{\left( \frac{2}{3} \frac{kT}{C_{ADD} + C_{GS}} \right)} \end{aligned} \quad (A.19)$$

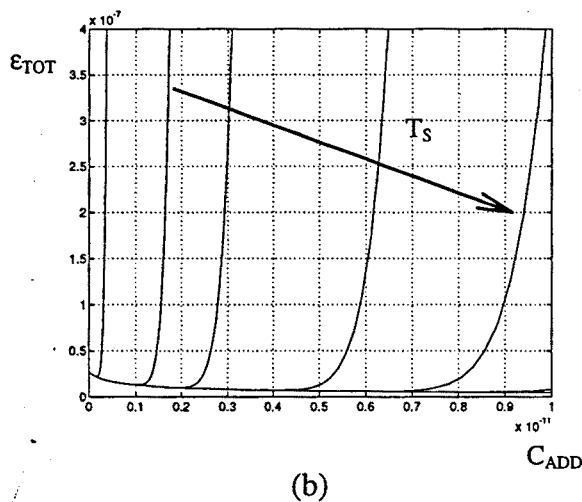
La máxima resolución equivalente en bits definida sobre el margen dinámico en corriente  $I_{MAX}$  se obtiene minimizando el valor de error total aditivo (A.20):

$$\begin{aligned} \varepsilon_{TOTAL}(C_{ADD}, T_S) &= \varepsilon_{ST} + \varepsilon_{NOISE} = \\ &= \Delta i e^{-\frac{T_S g_m}{C_{ADD} + C_{GS}}} + g_m \sqrt{\left( \frac{2}{3} \frac{kT}{C_{ADD} + C_{GS}} \right)} \leq \frac{I_{MAX}}{2^b} \end{aligned} \quad (A.20)$$

La figura A.9a representa las expresiones (A.18), (A.19) y (A.20) considerando la capacidad añadida como parámetro. De la figura A.9b se infiere que el valor de la capacidad de compensación se incrementa al incrementar el tiempo de muestreo  $T_S$ , decrementándose, por su parte, el error total.



(a)



(b)

**Figura A9** Minimización del error para diferentes valores del condensador añadido al copiador de corriente

Como aspecto práctico, debe observarse que la capacidad de compensación real debe ser menor que el valor óptimo obtenido, ya que, asumiendo que se producen variaciones aleatorias en el proceso tecnológico de fabricación de forma que dicha capacidad es mayor que la diseñada, el error crece exponencialmente, empeorando sensiblemente la respuesta de la célula no compensada.

Para finalizar el análisis presentado en este apéndice, se describe una aproximación de carácter más genérico, que consiste en la optimización de un factor de mérito definido, sin considerar capacidades de compensación, como el cociente entre el ancho de banda intrínseco frente al ruido, en función de los parámetros de diseño, a saber:  $W$ ,  $L$  y la corriente de polarización del transistor de copia. Tanto la expresión que modela el ancho de banda como



aquella que modela el efecto del ruido se derivan del análisis previo (A.8) y (A.9), resultando en

$$BW \equiv \frac{1}{\tau} = \frac{g_m}{C_{GS}} \alpha \frac{\sqrt{I_{BIAS}} \sqrt{\frac{W}{L}}}{WL} \rightarrow \alpha \begin{cases} I_{BIAS}^{1/2} \\ W^{-1/2} \\ L^{-1/2} \end{cases} \quad (A.21)$$

$$\sqrt{\bar{i}_s^2} \equiv g_m \sqrt{\frac{2kT}{3C_{GS}}} \alpha \frac{\sqrt{I_{BIAS} \cdot \frac{W}{L}}}{\sqrt{WL}} \rightarrow \alpha \begin{cases} I_{BIAS}^{1/2} \\ L^{-1/2} \end{cases} \quad (A.22)$$

En consecuencia, la expresión del factor de mérito  $\eta$  del copiador de corriente en función de los parámetros de diseño del transistor base deviene:

$$\eta(I_{BIAS}, W, L) = \frac{BW(I_{BIAS}, W, L)}{\sqrt{\bar{i}_s^2}(I_{BIAS}, W, L)} \Rightarrow \alpha \frac{1}{\sqrt{WL}} \quad (A.23)$$

Dicha ecuación pone de manifiesto que el factor de mérito es independiente de la corriente de polarización, y que éste crece al decrementarse el área del transistor de copia. Este resultado analítico se corrobora mediante los resultados de simulación para el proceso de  $0.8\mu\text{m}$  AMS mostrados en la figura A.10, obtenidos para un circuito completo a nivel transistor sin simplificaciones.

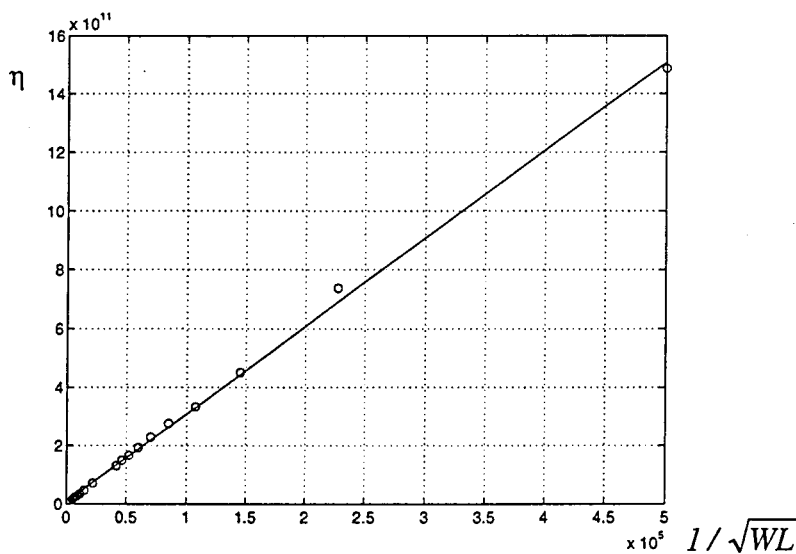


Figura A10 Resultados de simulación para el factor de mérito  $\eta(I_{BIAS}, W, L)$ .

Como discusión final e interpretación del resultado anterior, cabe remarcar que la expresión (A.23), que relaciona el factor de mérito con los parámetros de diseño del transistor base, aplica equivalentemente al caso de considerar espejos de corriente en tiempo continuo. En dichos circuitos, no obstante, el desapareamiento entre los transistores que conforman el espejo de corriente sigue una dependencia inversa equivalente respecto del área de los mismos –véase [PEL89]- de forma que los transistores deben diseñarse con un tamaño suficiente que asegure un cierto grado de apareamiento y por tanto, una cota al error de copia. En copiadore de corriente, por su parte, el apareamiento está garantizado de forma inherente por la propia naturaleza conmutada de la célula de copiado de memoria, en la que un solo transistor comparte sus funciones en el tiempo, y por tanto, éste puede ser diseñado para maximizar el efecto del ancho de banda y minimizar el ruido en concordancia con la expresión (A.23).



## APÉNDICE B

### INFORMACIÓN ADICIONAL SOBRE EL ASIC *NEUROFUZZY*

El presente apéndice incluye una descripción detallada a nivel de *pin-out*, distribución de *PADs*, microfotografías del prototipo fabricado e información relacionada asociada a la implementación del circuito integrado *neurofuzzy* descrito en el capítulo II.

La figura B1 muestra el *layout* completo diseñado para el procesador *neurofuzzy* (si bien que presenta una simetría especular sobre un eje vertical respecto a su implementación física), en el que aparecen los bloques de procesamiento mixto analógico-digital, excluyendo el circuito independiente de control digital. En dicha figura se aprecia la compactidad del diseño final (que auspicia un diseño compacto en área para una versión ulterior de mayor número de reglas difusas y mayor dimensionalidad de entrada), en el que se observa el anillo circuital externo compuesto por transistores MOS cortocircuitados a modo de estructuras capacitivas de regulación *on-chip* de las tensiones de polarización de los distintos subcircuitos mixtos que conforman el procesador.

La distribución de bloques funcionales del procesador, que ocupa un área de  $1000\mu \times 700\mu \approx 0.7\text{mm}^2$ , se muestra en la figura B2, con el fin de establecer una comparación relativa entre los tamaños de los distintos subbloques.

El procesador de control *neurofuzzy* bajo estudio ha sido incluido en un ASIC de encapsulado PGA cerámico de 100 pines, cuyo *floorplan* y distribución de pads se muestra en la figura B3, y que contiene asimismo un procesador secuencial neuronal MLP –véase [MAD99b], [MAD98a] para una descripción de su arquitectura y diseño circuital mixto-, así como distintas células de prueba de memoria analógica EPROM de puerta flotante [MAD98b].

El subcircuito de control digital está formado por un conjunto de registros de desplazamiento que admiten, por medio de una secuencia *bitstream*, la información externa sobre los diferentes pesos de programación y bits de secuencialización, que son a su vez actualizados

sobre los subcircuitos analógicos según la cadencia marcada por la frecuencia de secuencialización de la arquitectura global. Nótese que dado que se pretende aplicar algoritmos de aprendizaje de tipo ANFIS [JAN93b] sobre el procesador *neurofuzzy*, éstos serán programados en un ordenador personal externo, de modo que el aprendizaje será del tipo *chip-on-the-loop* con el fin de que la inclusión por predistorsión de los efectos no ideales de implementación condicionen al proceso de aprendizaje.

Una descripción detallada del circuito de control digital se encuentra en [MAD98a], si bien que la distribución y significado de las señales asociadas se consigna en la tabla B1.

Por su parte, la tabla B2 muestra la posición de cada pin sobre el encapsulado correspondiente al procesador *neurofuzzy*, así como el tipo de *pad* y una descripción sucinta de la señal asociada, mostrando, para los pines correspondientes a los niveles de polarización, el tamaño del transistor en diodo asociado. Nótese que la mayor parte de pines corresponde a niveles de polarización, cuyo ajuste requiere tan sólo de resistencias (potenciómetros) externos, si bien que su elevado número se debe a la flexibilidad que se pretende añadir al prototipo ante la verificación del comportamiento de las distintas células. En una versión definitiva, tan sólo se mantendrían los pines de entrada (tres en este caso) y un pin de salida.

Para concluir el apéndice, se muestran un conjunto de figuras que corresponden a microfotografías del prototipo recibido con el fin de ilustrar y contrastar la estructura de las diversas partes que conforman el ASIC.

En particular, las figuras B4 y B5 muestran la estructura completa del ASIC, en la que se aprecia la distribución relativa de los diferentes subcircuitos. Los *pads* situados en la parte superior derecha corresponden a la estructura de prueba de memoria analógica de puerta flotante, de forma que los elevados niveles de tensión que requiere su programación justifican la falta de circuitos de protección en aquéllos.

La figura B6 muestra el procesador *neurofuzzy* completo, pudiéndose apreciar el *pad* digital de salida de la señal PWM. En la figura B7 se observa el anillo de guarda conectado a alimentación, de ostensible anchura, encargado de aislar la parte digital de la parte analógica, con el objetivo de minimizar el acoplamiento resistivo por sustrato. Por otra parte, el circuito global incorpora pines separados de alimentación para el control digital y la parte analógica.

El resto de figuras corresponde a los distintos subcircuitos analógicos o mixtos que conforman el procesador *neurofuzzy* estudiado en el apartado 2.15, y cuya descripción se incluye en los pies de figura.

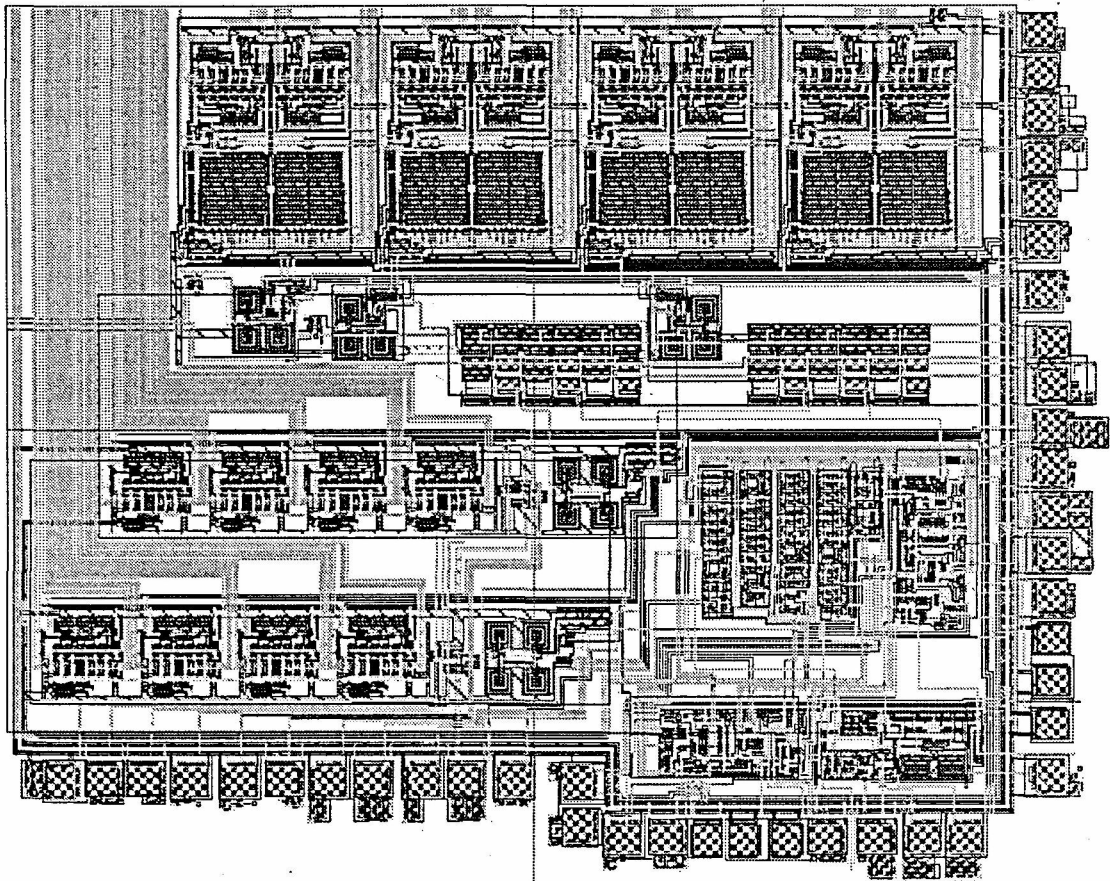


Figura B1 *Layout* del núcleo de procesamiento del procesador *neurofuzzy*

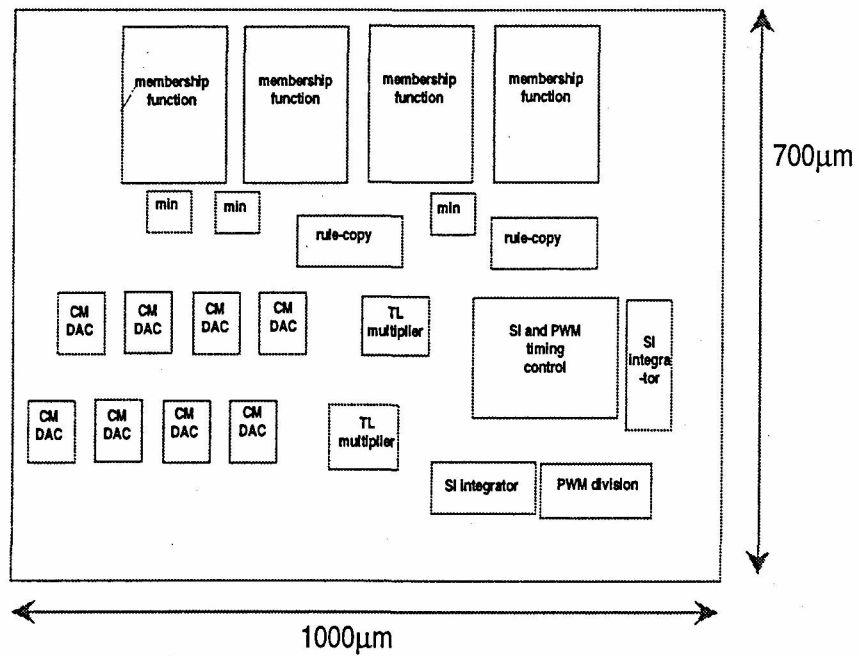


Figura B2 Distribución de bloques del procesador *neurofuzzy*

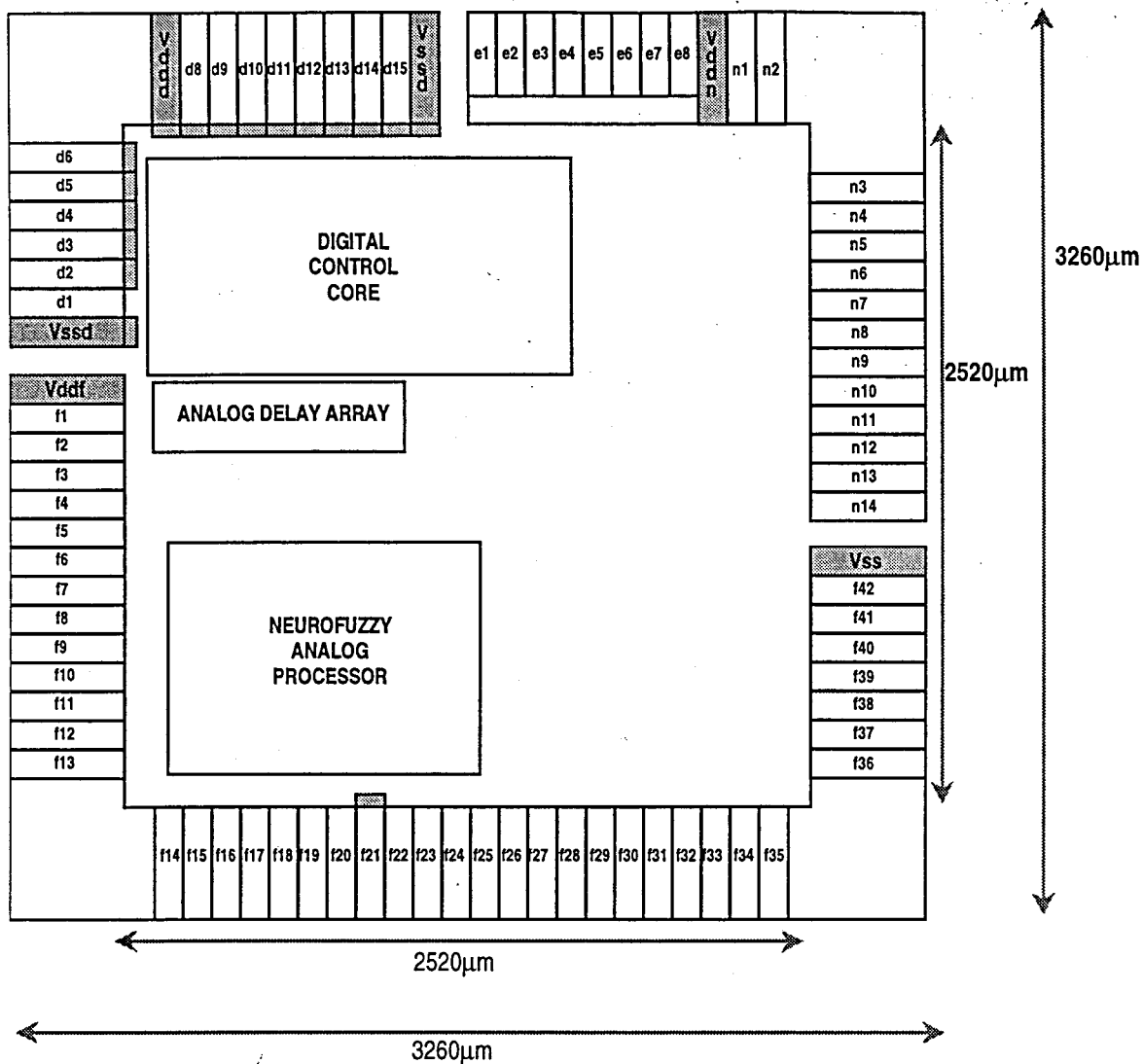


Figura B3 Floorplan y distribución de pads del ASIC completo neurofuzzy.

Encapsulado: PGA 100 pins

Tabla B1 Control digital del ASIC procesador neurofuzzy

code	name	PAD type	description
Vssd	Vssd	power supply digital PAD	digital core low power supply
d1	icontnMUXN/Fdelay	analog PAD	BIAS () – nMOS bias voltage starved inverters @ analog delay array
d2	fs	digital input PAD	clock frequency
d3	e	digital input PAD	enable signal
d4	rst	digital input PAD	reset signal
d5	felk	digital input PAD	clock frequency
d6	d(0)	digital input PAD	input byte
Vddd	Vddd	power supply digital PAD	digital core high power supply
d8	d(1)	digital input PAD	input byte
d9	d(2)	digital input PAD	input byte
d10	d(3)	digital input PAD	input byte
d11	d(4)	digital input PAD	input byte
d12	d(5)	digital input PAD	input byte
d13	d(6)	digital input PAD	input byte
d14	d(7)	digital input PAD	input byte
d15	dout	digital output PAD	output TEST bit
Vssd	Vssd	power supply digital PAD	digital core low power supply

**Tabla B2** Pinout del ASIC procesador neurofuzzy

<i>code</i>	<i>name</i>	<i>PAD type</i>	<i>description</i>
vddf	vddf	power supply PAD	neurofuzzy controller positive power supply
f1	vcascndacMEMBER	analog PAD	diode (2u/4u) – nMOS cascode @ semialgorithmic DAC6 @ membership function
f2	iindacMEMBER	analog PAD	diode (16u/3u) – input current @ semialgorithmic DAC6 @ membership function
f3	vcascpdacMEMBER	analog PAD	diode(2u/3u) – pMOS cascode @ semialgorithmic DAC6 @ membership function
f4	biascnMEMBER	analog PAD	diode(8u/8u) – nMOS cascode @ membership function
f5	biaspertsMEMBER	analog PAD	diode(8u/2u) – nMOS maximum membership degree current @ membership function
f6	biascpMEMBER	analog PAD	diode(8u/8u) – pMOS cascode @ membership function
f7	biasbip	analog PAD	diode(4u/2u) – pMOS bias for bipolar transistors @ minimum function
f8	biasm	analog PAD	diode(8u/2u) – pMOS bias for MOS current mirror @ minimum function
f9	extp	analog PAD	diode(8u/8u) – pMOS cascode bias for MOS current mirror @ minimum function
f10	vbiasnOMEGA	analog PAD	diode(100u/5u) – nMOS bias @ rule replica circuit
f11	extn	analog PAD	diode(2u/8u) – nMOS cascode bias for MOS current mirror @ minimum function
f12	vregnOMEGA	analog PAD	diode(20u/10u) – nMOS bias current for regulated cascode mirrors @ rule replica circuit
f13	viCONoff	analog PAD	diode(2u/18u) – input voltage @ consequent offset DAC
f14	stnDEN	analog PAD	ext. cap connection for LF operation. nMOS current copier @ DEN SI accumulator
f15	stpDEN	analog PAD	ext. cap connection for LF operation. pMOS current copier @ DEN SI accumulator
f16	stprDEN	analog PAD	ext. cap connection for LF operation. pMOS current T&H @ DEN SI accumulator
f17	den	analog PAD	ext. cap connection PWM voltage-mode ramp @ PWM division circuit
f18	vin3	analog PAD	external input voltage 3 @ membership + consequents
f19	vin2	analog PAD	external input voltage 2 @ membership + consequents
f20	vin1	analog PAD	external input voltage 1 @ membership + consequents
f21	OUTq	digital PAD	output pulse-width modulated ON/ OFF voltage signal @ PWM division circuit
f22	stprNUM	analog PAD	ext. cap connection for LF operation. pMOS current T&H @ NUM SI accumulator
f23	stpNUM	analog PAD	ext. cap connection for LF operation. pMOS current copier @ NUM SI accumulator
f24	stnNUM	analog PAD	ext. cap connection for LF operation. nMOS current copier @ NUM SI accumulator
f25	vcascpsevpwm	analog PAD	BIAS (10u/8u) pMOS bias current for wide-range transconductor @ PWM division circuit
f26	biaspwm	analog PAD	BIAS (100u/2u) pMOS cascode for wide-range transconductor @ PWM division circuit
f27	ioffppwm	analog PAD	BIAS (75u/2.5u) pMOS offset compensation @ PWM division circuit
f28	ioffpwm	analog PAD	BIAS (75u/2.5u) nMOS offset compensation @ PWM division circuit
f29	vsstweakpSI	analog PAD	BIAS (2u/20u) vss adjustment for charge-injection compensation @ SI accumulators
f30	vampregnSI	analog PAD	BIAS (10u/5u) bias currents to regulated cascode mirrors @ SI accumulators
f31	bp1SI	analog PAD	BIAS (10u/2u) bias currents @ SI accumulators
f32	vddtweaknSI	analog PAD	BIAS (2u/20u) vdd adjustment for charge-injection compensation @ SI accumulators
f33	icontnpwm	analog PAD	BIAS (40u/2u) starving current for SET pulse widths @ SI+PWM timing circuit
f34	icontnSI	analog PAD	BIAS (40u/2u) starving current for slow switching waveform @ SI+PWM timing circuit
f35	vcmirnMIR41	analog PAD	BIAS (8u/4u) – nMOS low-voltage cascode @ 4:1 reduction mirror @ consequents
f36	vcmirpMIR41	analog PAD	BIAS (8u/4u) – pMOS low-voltage cascode @ 4:1 reduction mirror @ consequents
f37	vdacpDAC6con	analog PAD	BIAS (2.1u/3u) – pMOS low-voltage cascode @ semialgorithmic DACs @ consequents
f38	vdacnDAC6con	analog PAD	BIAS (2u/4u) – nMOS low-voltage cascode @ semialgorithmic DACs @ consequents
f39	biasVI	analog PAD	BIAS (2u/18u) – bias voltage for V/Is @ consequent DACs
f40	biasTL	analog PAD	BIAS (50u/5u) – pMOS current bias @ Translinear multipliers
f41	MUX	analog PAD	output node for TEST
f42	icontnSIpoloff	analog PAD	BIAS (40u/2u) starving current for bias-off control @ SI+PWM timing circuit
vss	vss	power supply PAD	common neurofuzzy and neural controller negative power supply



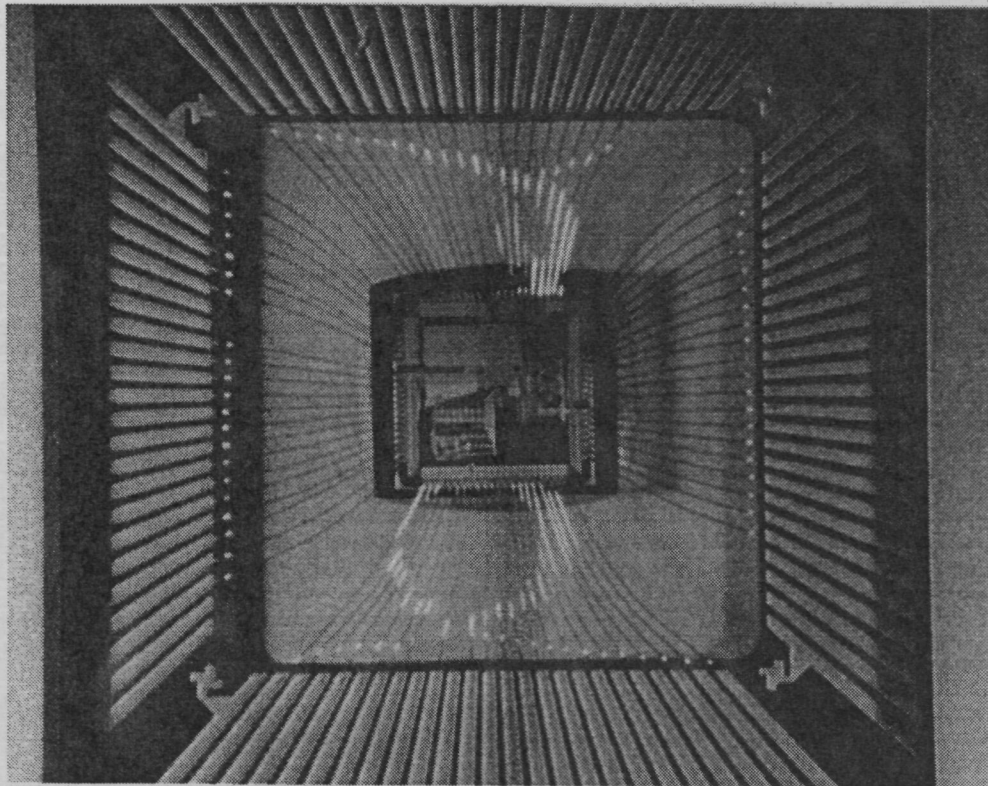


Figura B4 Fotografía detalle del *leadframe* y del diagrama de conexión del ASIC *neurofuzzy*

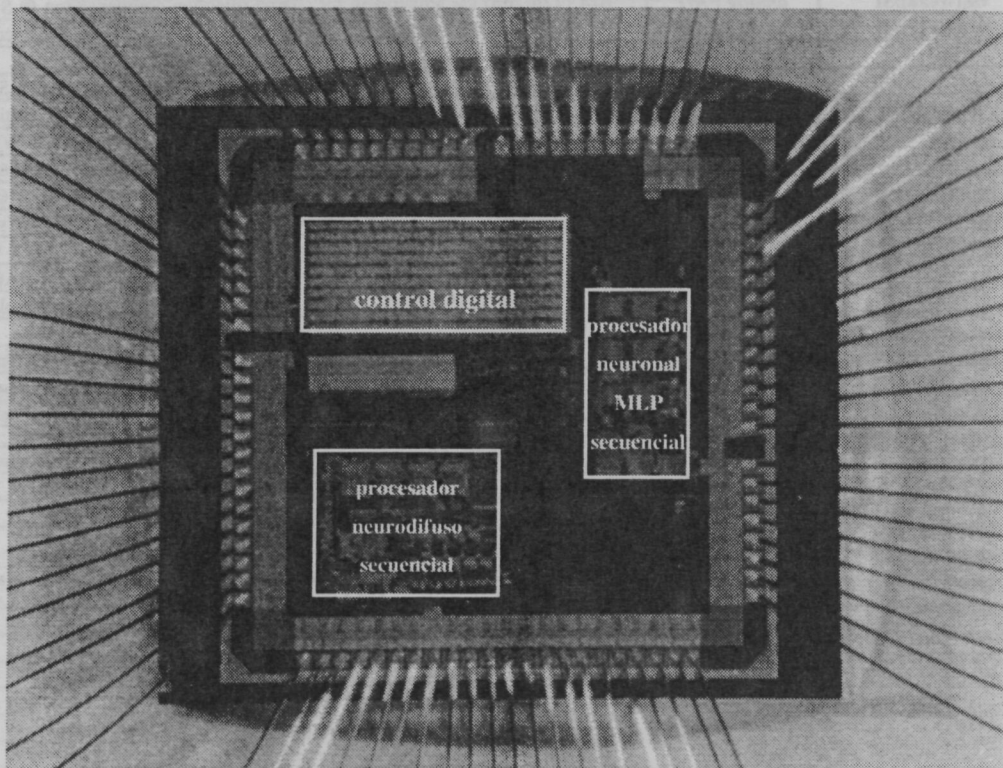


Figura B5 Fotografía del *dice* del ASIC *neurofuzzy*

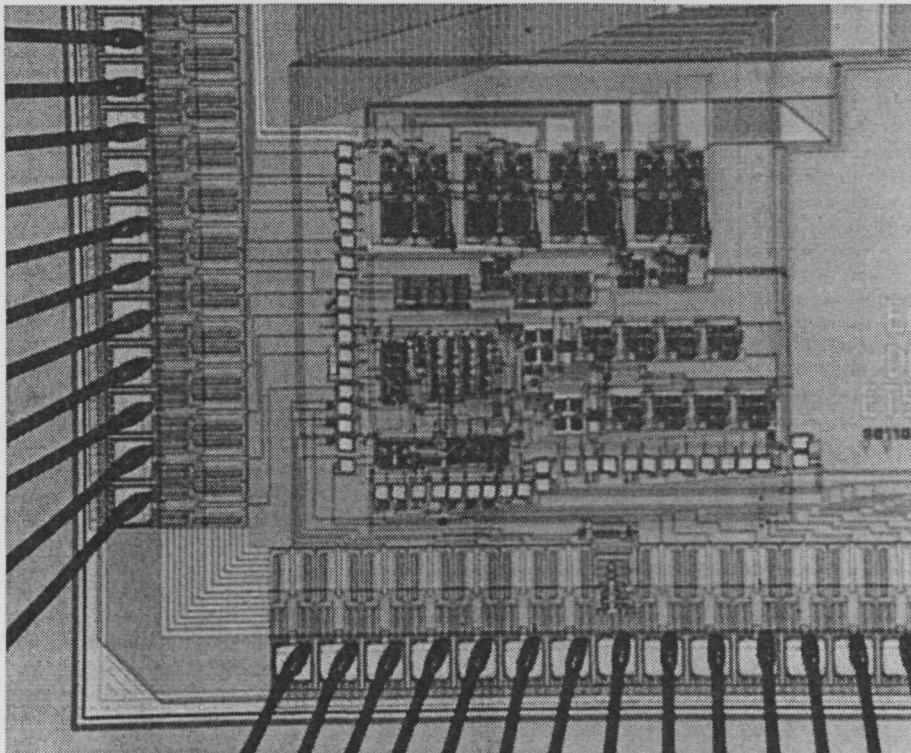


Figura B6 Microfotografía global del *layout* del controlador secuencial mixto *neurofuzzy*

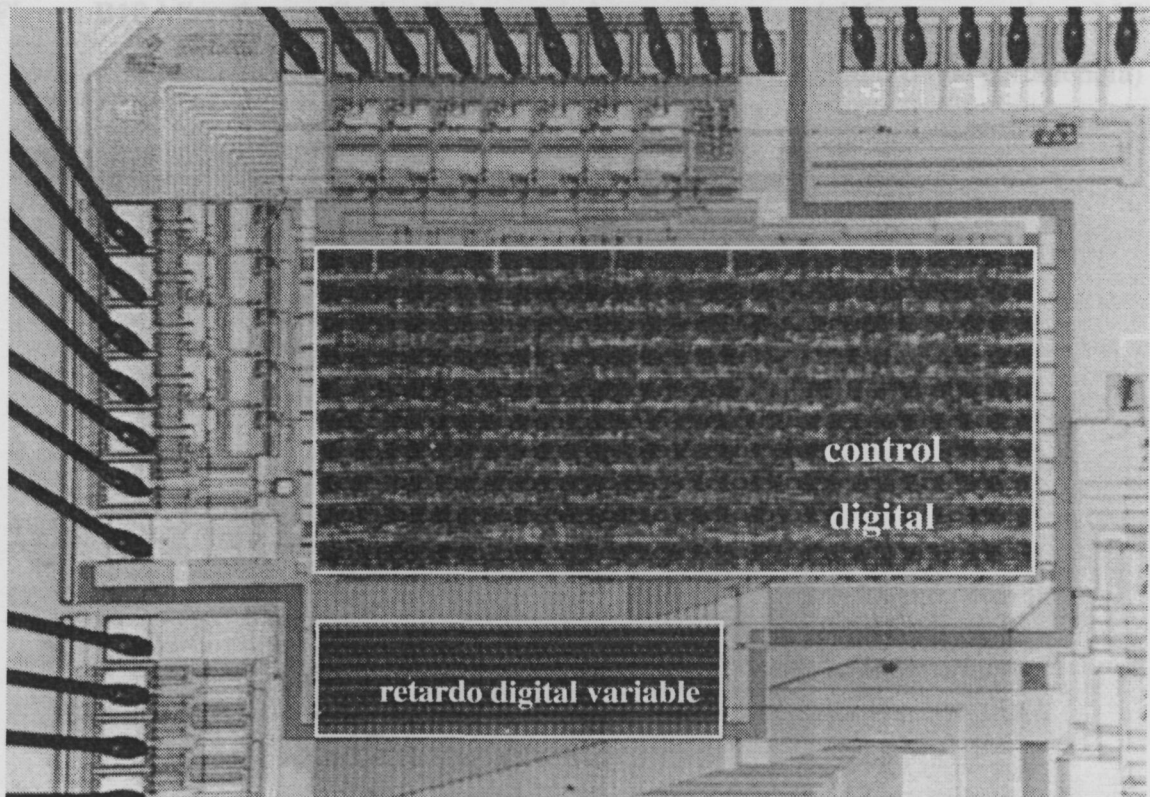
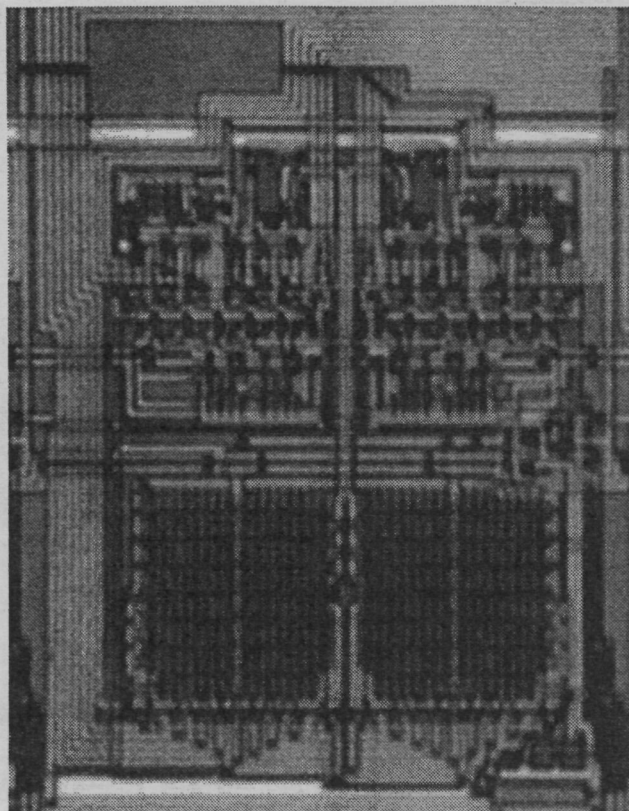
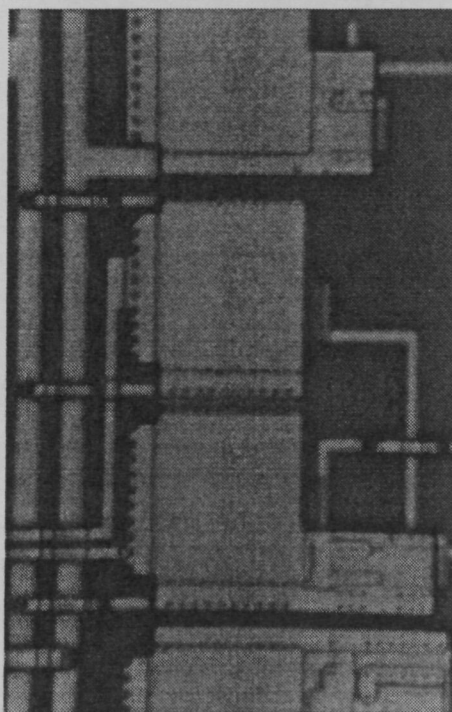


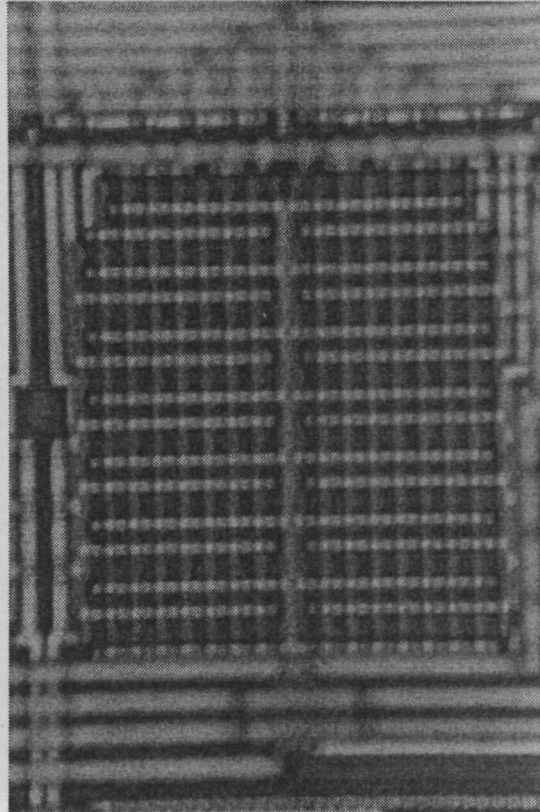
Figura B7 Microfotografía del *layout* del circuito de control digital y el subcircuito de retardo digital ajustable en el ASIC *neurofuzzy*



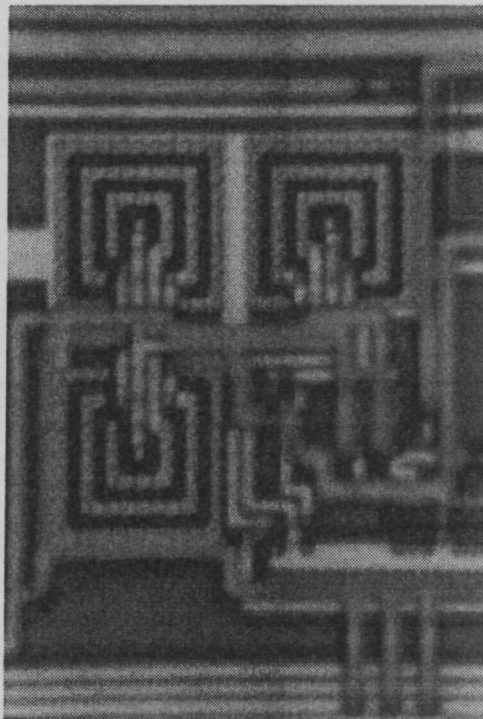
**Figura B8** Microfotografía del *layout* de la célula mixta de función de pertenencia difusa



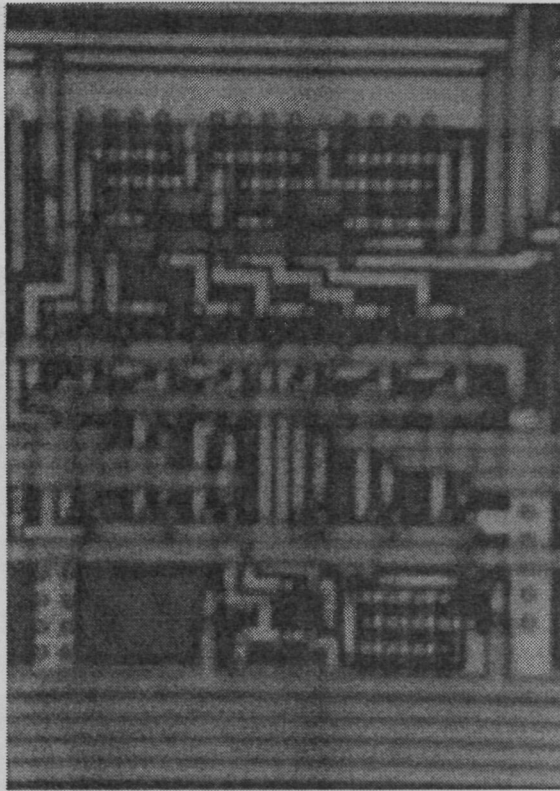
**Figura B9** Microfotografía detalle del *layout* de los circuitos de polarización (diodos MOS + capacidades MOS de estabilización de continua)



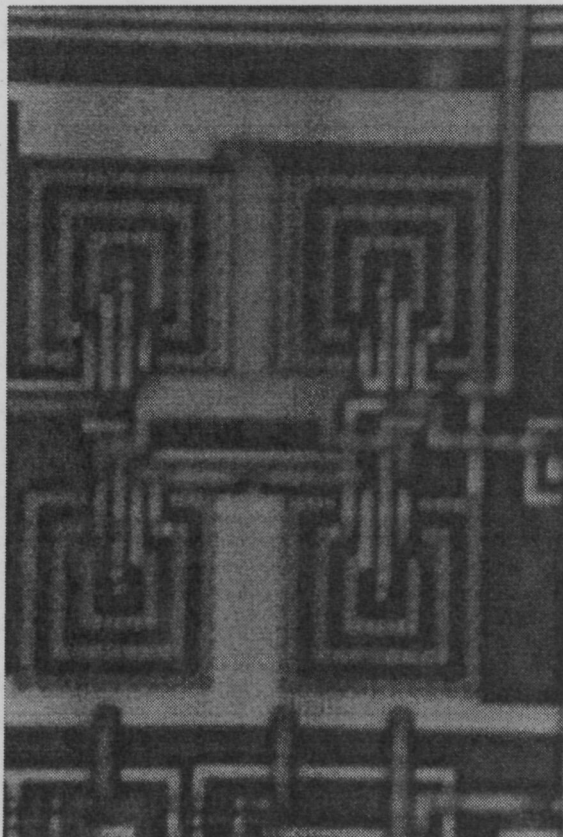
**Figura B10** Microfotografía detalle *layout* de la estructura matricial como transistor MOS *composite* para obtención de variabilidad digital de pendiente (Función de pertenencia)



**Figura B11** Microfotografía del *layout* de la célula analógica para la obtención de la norma- $t$  de mínimo en corriente



**Figura B12** Microfotografía del *layout* del circuito convertidor digital-analógico semialgorítmico en modo corriente de seis bits



**Figura B13** Microfotografía del *layout* del circuito translineal multiplicador analógico de corrientes