

Figura 2.37. Dimensions de la CB i situació dels connectors HM de la *backplane*. A la part superior i inferior es deixa una franja d'uns 2 o 3mm sense traçar pistes ni situar-hi components per tal de poder col·locar la placa en les guies del *rack*. La resta de dimensions indiquen la posició dels connectors HM (esquerra) i la situació dels forats per a la fixació del panell frontal (dreta).

El gruix de la placa haurà de ser de 2,4mm per tal d'assegurar que aquesta no es doblega ni per la tensió de la *backplane* ni pels cables *Ethernet* que penjaran de la seva part frontal. En un principi s'havia plantejat la possibilitat de fixar una barra metàl·lica de forma transversal a la CB per evitar que es doblegués, però amb el gruix de 2,4mm aquesta segona mesura no va ser necessària.

Per minimitzar la impedància dels plans de massa i els diferents senyals d'alimentació s'ha utilitzat un disseny multicapa en el qual les capes interiors es corresponen totes a plans. Així doncs de senyal, tindrem només la capa superior i inferior de la CB.

Els tipus de connectors utilitzats vénen també ja donats pel hardware que hi ha d'haver connectat en ells: *SPECS mezzanine*, *optical mezzanine* i *backplane*. Tan sols els connectors RJ45 pels cables *Ethernet* pels VFE i les plaques LVPS han estat realment escollits pel nostre grup, en aquest cas, es va optar per la comoditat de connexió i facilitat en el muntatge.

En els següents apartats justificarem la distribució de les diferents capes així com algunes particularitats a tenir presents en el traç dels plans de massa i alimentació de la placa (apartat 2.2.3.1), parlarem dels diferents connectors utilitzats per cada part (apartat 2.2.3.2) i finalment del panell frontal que protegeix la CB i la subjecte correctament al *rack* (apartat 2.2.3.3).

### 2.2.3.1. Disseny multicapa.

Donat que per la CB hi trobem connectats components o connectors a 3 nivells d'alimentació diferents, és important establir correctament la decisió del número de capes i l'ordenació d'aquestes. A més, hem de tenir present que un bon retorn dels senyals a través d'un pla de massa de baixa impedància és imprescindible per evitar l'emissió d'interferències. Si els corrents d'alta freqüència no troben un bon camí de retorn el resultat seria un nivell d'EMI intolerable pel correcte funcionament de la placa [39]. Haurem d'evitar també caigudes importants en la distribució dels senyals d'alimentació per tal que aquests arribin a tots els

components amb els nivells adequats. Per aquest motiu i per facilitar la connexió dels components i evitar traçar pistes de massa i alimentació es fa necessària la introducció de capes de plans.

Totes les capes de senyal es va decidir que fossin externes (TOP i BOTTOM) per tal de facilitar l'accés a aquestes pistes en etapes de proves. Tan sols es va procurar que les línies diferencials de rellotge estiguin correctament adaptades amb l'ús de línies *microstrip* per assegurar la integritat del senyal, per tant, caldrà que les dues capes contigües a TOP i BOTTOM (GND1 i GND3) siguin plans de massa (veure figura 2.38). A més a més, tal com hem justificat volíem disposar d'un pla per cadascun dels nivells d'alimentació que transcorren per la CB:

- 5v.
- 3,3v.
- i 2,5v.

Per tal de tenir un número de capes parell ens en queda una la qual es va decidir que fos un pla de massa addicional (GND2) per tal de disminuir al mínim la impedància de la línia de massa i assegurar un bon retorn dels corrents. Cal dir també, que totes les zones no traçades de TOP i BOTTOM han estat també cobertes per pla de massa. En darrer lloc sempre és recomanable que un pla d'alimentació sigui adjacent a un pla de massa en la mesura del possible per tal de millorar-ne el desacoblament.

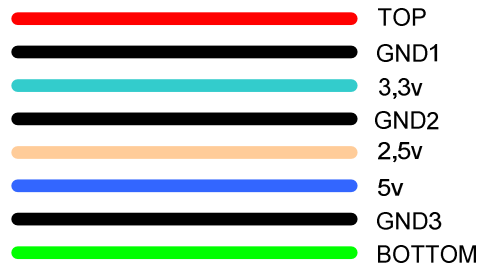


Figura 2.38. Distribució de plans en el disseny multicapa de la CB.

El gruix i separació de les pistes *microstrip* va fer necessària una tecnologia de fabricació subjecte a la normativa de classe 6 la qual limita a 6 mils el gruix mínim i separació mínima entre pistes.

Cal destacar que l'ús de línies *microstrip* en el cas de la CB és per temes d'integritat de senyal més que no pas per eliminar emissions de radio freqüència (RF) generades pels senyals de rellotge. A la figura 2.39 podem veure una imatge del *layout* final de la CB.

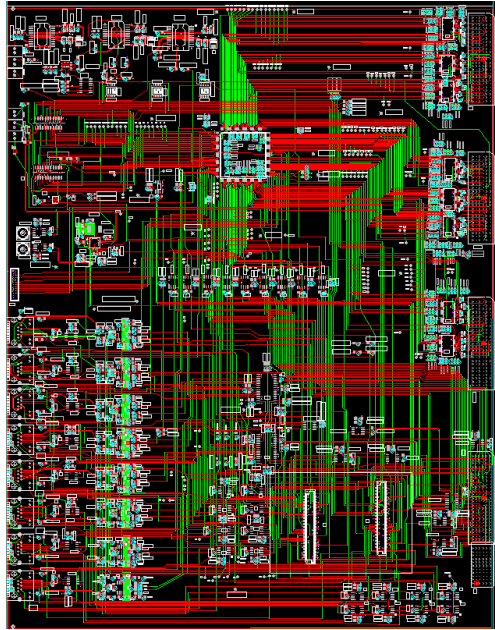


Figura 2.39. *Layout* del PCB de la CB (TOP i BOTTOM) sense visualitzar els plans.

En darrer lloc existeixen un parell de components en la CB que les especificacions del seu dissenyador o fabricant recomanen eliminar els plans de massa i alimentació que puguin haver-hi per sota seu.

Un d'aquests components és el QPLL. El seu dissenyador [33] recomana reduir al màxim la capacitat paràsita del node que uneix el cristall amb les resistències que redueixen la potència subministrada al cristall. Aquesta capacitat paràsita té bàsicament dos efectes que en recomanen la seva minimització:

- Modifica la freqüència ressonant del conjunt.
- Augmenta la potència subministrada al cristall.

Per a reduir aquesta capacitat paràsita, tallarem els plans d'alimentació i massa que es troben per sota d'aquest node (figura 2.40).

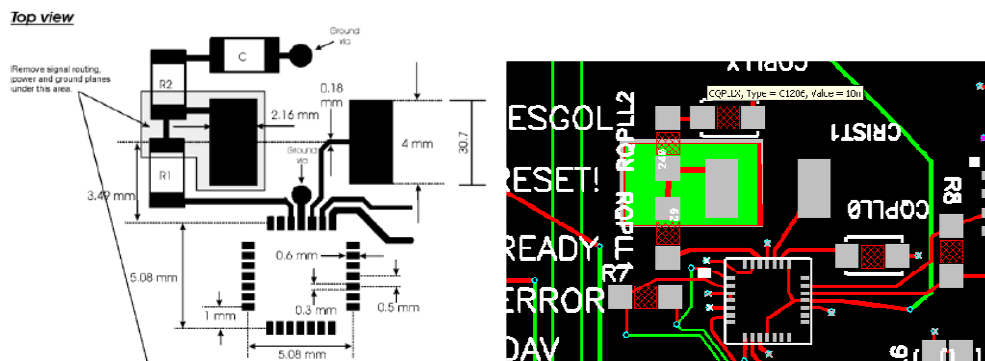


Figura 2.40. Tall dels plans de massa i alimentació en el node que connecta el cristall del QPLL amb la xarxa de reducció de potència del cristall. A la dreta tenim la recomanació del dissenyador i a la dreta, el seu disseny sobre el *layout* de la CB (el tall es pot veure com un rectangle verd).

L'altra part en la que el fabricant recomana tallar plans de massa per a disminuir també capacitats paràsites és en els nodes d'entrada de l'amplificador AD8138 [28] utilitzat en la compensació del senyal de rellotge, d'aquesta manera, s'assegura un comportament més pla del guany de l'amplificador en funció de la freqüència (figura 2.41).

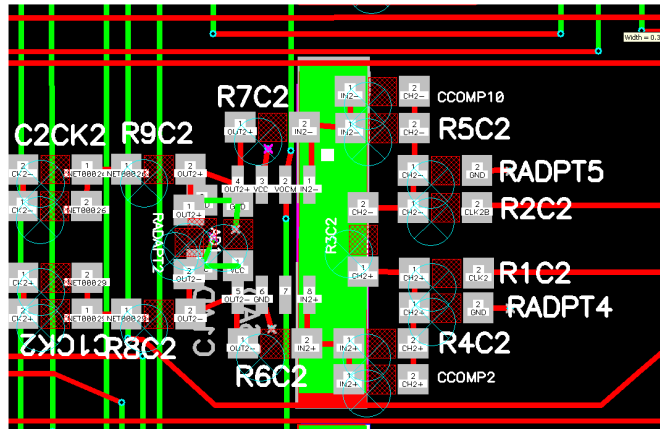


Figura 2.41. *Layout* de la part corresponent a l'amplificador AD8138 en el qual podem veure com sota els nodes d'entrada (pin 1 i 8 de l'integrat) s'han tallat els plans (a la imatge el tall es veu com un rectangle verd).

### 2.2.3.2. Connectors.

Donat que la CB, tal com diu el seu nom, és una interfície de control i comunicació amb d'altres hardwares amb existència prèvia a la CB, és ella la que s'ha hagut d'adaptar a tots els tipus de connexions ja instal·lats en les *crates* o en els diferents hardwares que alberga com l'*SPECS mezzanine* o l'*optical mezzanine*.

Creiem d'interès fer una breu descripció de tots els punts de connexió de la CB ja sigui amb l'exterior o amb els hardwares que resideixen sobre ella (les *mezzanines*) i veure quin és el tipus de connector utilitzat en cada cas, ja que alguns d'ells són d'ús força singular. A la figura 2.42 podem veure representades cadascuna d'aquestes connexions.

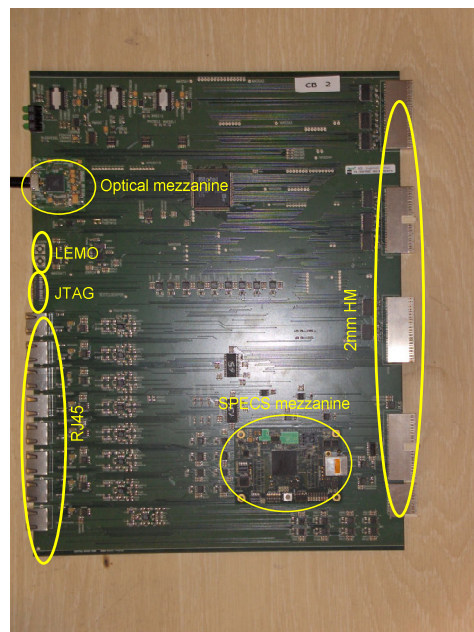


Figura 2.42. Imatge on es ressalten totes les connexions de les que disposa una CB.

### 2.2.3.2.1. Backplane.

La connexió amb la *backplane* es realitza amb connectors HM (*Hard Metric*) femella en angle recta de 2mm de la marca Erni [40], es tracta d'una gamma de connectors dissenyats especialment per a connexions amb *backplanes*. Tal com hem descrit a l'apartat 2.2.1.1, la *backplane* consta de dues parts [21]:

- 6U *backplane*: constituïda per tres connectors de 175 pins.
- 3U *backplane*: constituïda per un connector de 175 pins i un de 77 pins usat exclusivament per senyals d'alimentació i massa.

La situació d'aquests connectors sobre la CB (figura 2.42) es pot veure indicada en l'esquema de la figura 2.37 on s'indica la posició del primer pin de cada connector en referència a les dimensions de la placa. Cal remarcar que aquests connectors han estat premsats a la CB i no pas soldats com la resta de connexions.

Els connectors de 175 pins, dels quals n'hi ha 4 en tota la CB, se'ls anomena de tipus B o tipus AB en funció de si disposen d'una petita pestanyeta la qual assegura una millor subjecció amb el connector mascle (veure figura 2.43). En la *backplane* 6U, és de tipus AB el connector central i en la 3U el superior. El connector de 77 pins s'anomena de tipus C.

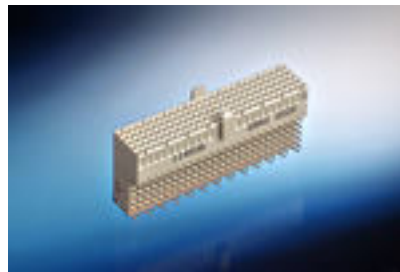


Figura 2.43. Tipus de connectors HM de 2mm de la CB. Detall d'un connector femella de tipus AB.

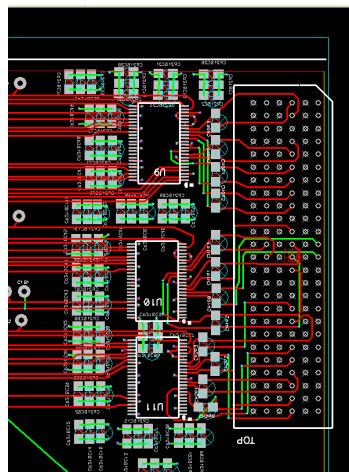


Figura 2.44. *Layout* d'un dels connectors tipus B de la 6U *backplane* on es pot veure també el traç de pistes cap als deserialitzadors DS90CR216.

### 2.2.3.2.2. SPECS mezzanine.

La connexió de l'*SPECS mezzanine* (veure figura 2.45) a la CB es realitza mitjançant dos connectors FX8-120S-SV de la marca Hirose [41]. Es tracta d'un connector força compacta de 120 pins el qual assegura una molt bona subjecció amb una elevada densitat de pins. A la figura 2.46 podem veure una imatge del *layout* d'aquests connectors.



Figura 2.45. *SPECS mezzanine* resident a la CB.

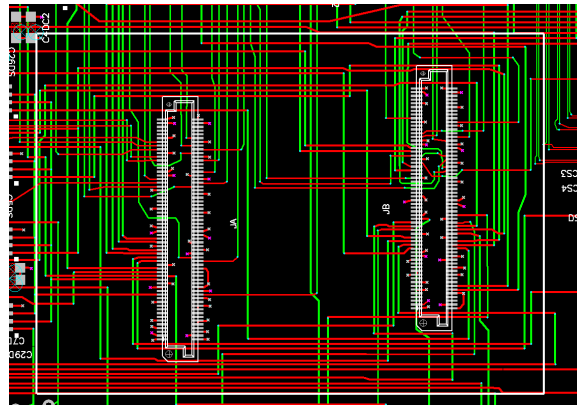


Figura 2.46. *Layout* amb el contorn de l'*SPECS mezzanine* i els connectors FX8 de Hirose.

### 2.2.3.2.3. Optical mezzanine.

Tot i que d'un fabricant diferent i un número de pins diferent, els connectors de la *optical mezzanine* (figura 2.47) mostren unes característiques mecàniques de subjecció molt similars als utilitzats per l'*SPECS mezzanine* i estan especialment pensats per senyals d'alta velocitat. Es tracta de dos connectors QSS-025-01-LDA de la marca Samtec [42].



Figura 2.47. Vista superior i inferior de la *optical mezzanine*.

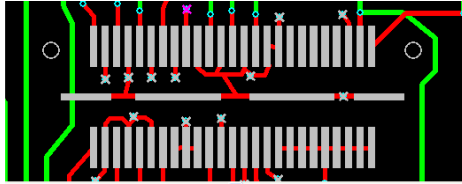


Figura 2.48. Layout de la part dels connectors QSS de l'optical mezzanine.

#### 2.2.3.2.4. Connexió amb VFE i LVPS.

Aquesta connexió tal com ja hem justificat es troba implementada amb cable de tipus *Ethernet* i per tant utilitza connectors RJ45. Aquests connectors s'han escollit per tal que disposin de dos leds els quals ens indiquen l'activitat de les dues línies I<sup>2</sup>C (SDA i SCL). El seu layout i característiques no tenen cap particularitat rellevant.

#### 2.2.3.2.5. ISP de la FPGA.

La FPGA de la CB permet ISP (*In System Programming*) la qual cosa ha flexibilitzat el testeig tant del hardware com del firmware d'aquesta part. La connexió amb la interfície programadora es fa mitjançant un connector JTAG mascle en angle recte. Aquest connector es troba a la part frontal de la CB (figura 2.42).

#### 2.2.3.2.6. Sortides de rellotge.

Per tal de facilitar el testeig de l'enllaç òptic el qual requereix sincronització amb l'emissor, s'han habilitat dues sortides de rellotge a nivells CMOS procedents del QPLL que permeten connectar-hi el receptor i no dependre de generadors externs. En aquest cas s'ha optat per connectors el més petits possible també en angle recte per tal de destorbar el mínim la resta de connexions frontals de la CB les quals impliquen un volum de cablatge considerable. El tipus de connector escollit en aquest cas és per cable mini-coaxial de tipus *Lemo* desenvolupats per la casa que porta el mateix nom per aplicacions d'instrumentació en recerca per física de partícules [43].

#### 2.2.3.3. Panell frontal.

La part frontal de la CB ha de quedar protegida i acabada amb un panell frontal al igual que la resta de plaques connectades a les *crates*. Aquest panell no és de dimensions i característiques aleatòries sinó que ve donat pel fet de tractar-se de *crates* de dimensions 9U. Aquest panell a més assegura amb una pinça superior i una inferior una robusta subjecció de la placa al seu *slot* dins de la *crate*.

A la imatge 2.9 hem pogut veure una fotografia de la CB connectada al seu *slot* però encara sense panell frontal, seguidament, a la figura 2.49 tenim una imatge de la *crate* parcialment cablejada on podem veure el panell frontal.

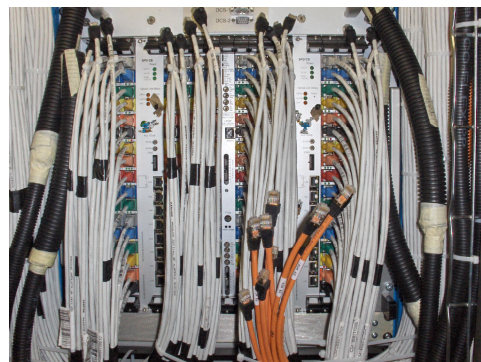


Figura 2.49. Imatges del panell frontal de la CB. Dins la crate es corresponen a les dues posicions a dreta i esquerra encara sense cablejar.

Com a especificacions addicionals a les dimensions 9U cal destacar que l'*slot* contigu a la CB es troba buit en totes les *crates* per aquest motiu el panell té una amplada del doble (8HP) que la resta de plaques de la *crate* del calorímetre.

El fabricant del panell és la casa Schroff [44] als quals se'ls hi passa un plànol realitzat amb AutoCAD amb tots els talls i serigrafiats que ha de tenir el panell. Aquest plànol ha de tenir el perfil adequat per tal de poder-hi cargolar posteriorment les dues pinces de subjecció al *rack*.

El tipus de pinça escollit és el model IEEE IEL ja que era el que menys destorbava a les connexions RJ45 molt properes a la posició de la pinça inferior del panell. A les imatges 2.50 i 2.51 podem veure el plànol del panell així com el model de pinça escollit.

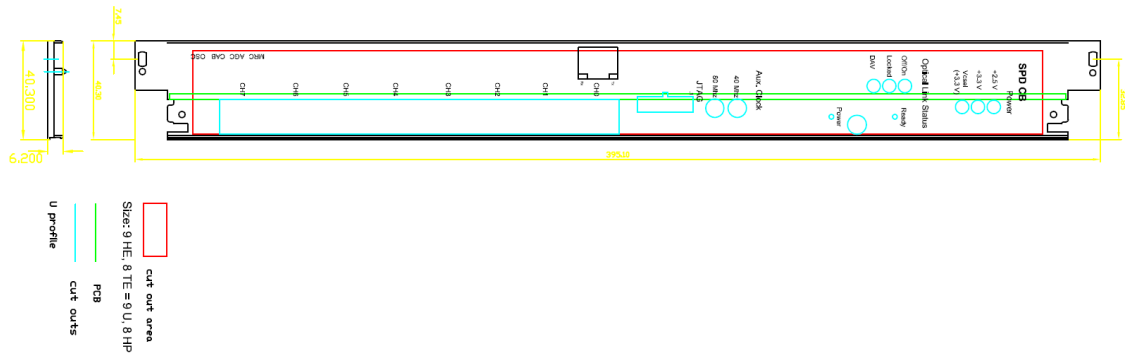


Figura 2.50. Plànol del panell. En verd podem veure la posició on quedarà fixat el PCB una vegada subjectat. En blau tenim els diferents talls necessaris pels connectors i leds de la part frontal. En negre podem veure el serigrafiat del panell.

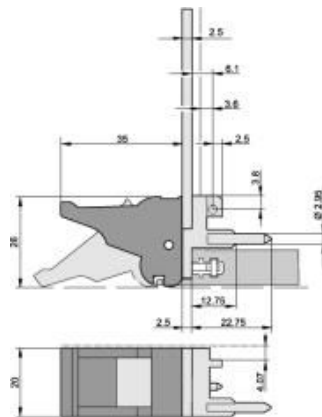


Figura 2.51. Pinça tipus IEEE IEL per a una més bona subjecció del conjunt. La pinça assegura que la pressió sigui suficient per tal que la placa (CB) contacti perfectament amb la *backplane*.

A la imatge 2.52 tenim el detall del muntatge de la pinça i la fixació del PCB al panell. La CB disposa de dos forats a la part superior i inferior per a subjectar el panell (figura 2.37).



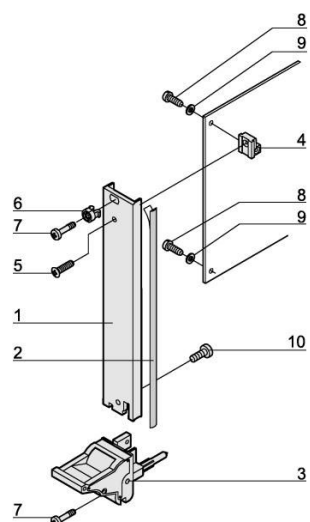


Figura 2.53. Muntatge de la pinça al panell i subjecció del panell al PCB.



**Part 3.**  
**El control de l'SPD**



Una vegada coneixem ja tot el hardware del sistema SPD/PS ens endinsarem en l'anàlisi del seu sistema de control.

L'estudi del sistema de control es desglossa en les següents parts:

- Principis del sistema de control d'LHCb (apartat 3.1).
- Definició del hardware de l'SPD en el sistema de control (apartat 3.2).
- Control jeràrquic i màquines d'estat (apartat 3.3).
- Inicialització del sistema de control de l'SPD (apartat 3.4).
- Definició d'alertes en el subsistema SPD (apartat 3.5).

## 3.1. El sistema de control d'LHCb.

El sistema de control d'LHCb, ECS (*Experiment Control System*), és l'encarregat de monitoritzar, configurar i controlar totes les parts de l'electrònica involucrades en l'experiment. És indispensable doncs dedicar un primer apartat en definir els objectius del sistema així com la seva filosofia de funcionament (apartat 3.1.1).

En segon lloc introduïrem el tipus d'arquitectura en la que es basa el sistema de control així com totes les eines que utilitza per a poder portar a terme les seves missions amb èxit (apartat 3.1.2).

### 3.1.1. Filosofia i objectius del sistema ECS d'LHCb.

L'objectiu principal dels sistemes de control dels diferents experiments involucrats a LHC, era proporcionar una eina que garantís en primer lloc la homogeneïtat i estandardització del sistema per tal de poder compartir un suport comú en el disseny dels sistemes de control dels diferents experiments.

Per aquest motiu, els diferents experiments no podran utilitzar eines diferents pel control de les seves parts sinó que prèviament al disseny es constituí una plataforma comuna als 4 experiments principals (CMS, Atlas, Alice i LHCb) la feina de la qual fou avaluar quina era la millor opció pel software de control del sistema [45].

Aquesta plataforma és coneguda amb el nom de JCOP (*Joint COntrol Project*) i dins del seu marc es va portar a terme al CERN una avaluació dels principals productes SCADA (*Supervisory Control And Data Acquisition*) existents al mercat [46].

A la vegada que JCOP buscava unificar el sistema de control dels diferents experiments, es buscava també un sistema que fos prou robust i sobretot escalable per a poder suportar la gran diversitat de sistemes i hardwares a controlar durant la llarga vida de l'experiment. Avaluats tots els punts forts i febles de cada sistema SCADA, JCOP va decidir que el software adequat era el PVSSII de l'empresa austríaca ETM [47]. PVSS permet el disseny d'un sistema de control distribuït i completament escalable oferint a més a més facilitat d'ús; un dels factors decisius per JCOP a l'hora de fer l'elecció fou el fet que permet treballar tant amb sistema operatiu Windows com Linux.

Per tal d'assegurar encara més l'homogeneïtat en el disseny dels sistemes de control, JCOP ha desenvolupat també una sèrie d'eines i components d'ús comú pels diferents grups de l'experiment. Un exemple d'aquestes eines el tenim en el cas de les llibreries que operaran amb el bus SPECS, aquestes han estat desenvolupades ja dins del marc de JCOP facilitant-ne així el seu ús a tots els grups. Totes aquestes eines i components d'ús comú desenvolupades per JCOP formen un paquet anomenat *Framework* el qual serà de gran utilitat en el desenvolupament dels sistemes de control [48].

L'escalabilitat i robustesa del sistema s'aconseguirà també implementant una estructura jeràrquica en arbre on els nodes representaran els diferents nivells del sistema de control. Els nodes representaran també diferents grups d'activitat dins del detector tal com veurem a l'apartat següent.

És rellevant destacar que el problema en la implementació del sistema de control de l'SPD rau precisament en el fet que ha de ser un sistema distribuït i escalable en contraposició amb el disseny del hardware el qual es centralitzen totes les ordres a través de la CB sense

diferenciar diferents tipus d'activitat. Aquesta filosofia de vetllar per un sistema de control distribuït ens portarà a que el hardware de l'SPD haurà de poder ser accessible des de més d'una unitat de control en funció de quina sigui l'activitat en la que està ocupat l'ECS en cada moment.

El modelat del sistema de control haurà de permetre propagar comandes cap a les capes inferiors de l'estructura en arbre fins arribar als diferents registres que representaran el hardware tal com veurem i a la vegada permetre monitoritzar tot el sistema.

El resultat serà un sistema jeràrquic i escalable que permetrà la integració de noves parts en qualsevol moment però que a la vegada serà també modular i particionable des del punt de vista que ha de permetre també un control individual i independent de les parts.

### 3.1.2. Arquitectura de l'ECS.

L'ECS és un sistema de control jeràrquic implementat en forma d'arbre, aquesta estructura doncs, li dóna la robustesa i escalabilitat desitjable pel sistema.

A l'arbre hi queden representats diferents nivells de control els quals queden a més a més dividits en diferents grups segons el tipus d'activitat que porten a terme. Aquesta estructura permet un alt nivell d'independència durant les etapes de test dels diferents components que la integren, però a la vegada, permet un control integrat de tot el sistema durant els períodes de presa de dades del detector. En aquest cas ens centrarem només en l'estructura del sistema de control del calorímetre i els diferents grups d'activitat que l'integren així com la definició exacta de la part relativa a l'SPD.

L'arquitectura és constituïda bàsicament per dos tipus de nodes:

- Dispositius (DU, *Device Units*).
- Unitats de control (CU, *Control Units*).

Els dispositius (els DU a partir d'ara) es troben situats en el punt més baix de l'arbre i tenen un contacte directe amb el hardware o dispositiu el qual representen. És a dir, són la interfície o punt d'accés del sistema de control al hardware. Veurem més endavant, amb el cas de l'SPD, que no sempre sota un DU hi ha un hardware físic però sí que d'alguna manera és un punt d'accés cap al sistema de control encara que sigui a través d'una aplicació software. A la figura 3.1 podem veure en color taronja les bombolles que representen els DU del sistema de control, tal com es pot apreciar a la figura ocupen la part més baixa de l'arbre.

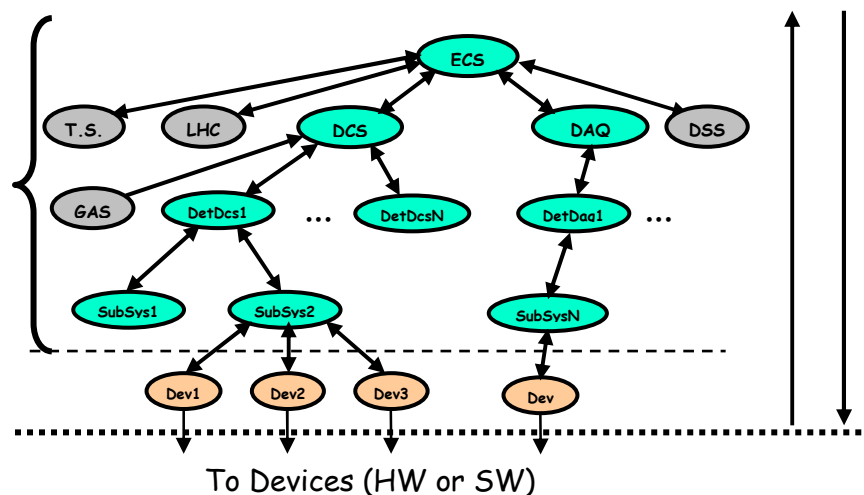


Figura 3.1. Arquitectura del sistema de control (ECS) agrupat en diferents activitats.

Les unitats de control (les CU a partir d'ara) són en canvi les encarregades de monitoritzar i controlar tota l'estructura d'arbre que queda per sota d'elles segons la jerarquia establerta, les podem veure representades a la figura 3.1 amb bombolles de color verd.

Dins de l'arbre podem diferenciar dos fluxos d'informació diferents:

- Un flux descendent: que es correspon a les comandes que es propaguen des de la part superior de l'arbre (CUs superiors) fins a la part inferior (CUs inferiors i DUs).
- I un flux ascendent format per les dades i informacions que les diferents parts controlades (els DUs) fan arribar fins les unitats de control que es troben per sota.

Quan una comanda és rebuda en una CU aquesta executa les accions pertinents o senzillament propaga la comanda cap a les CU inferiors fins arribar als DU, aquests una vegada reben la comanda propagaran en sentit ascendent a l'arbre la informació o dada sol·licitada o senzillament executaran l'acció que se'ls demani. Aquests dos fluxos els podem veure representats a la figura 3.1 amb una fletxa en sentit ascendent i una altra en sentit descendent a la part dreta de la figura.

L'estructura d'un DU representarà en el fons l'estructura del hardware que simbolitza de manera que estarà format per registres que permetran monitoritzar l'estat o escriure o llegir valors de qualsevol part del hardware accessible des del sistema de control. En definitiva un DU serà un reflex de l'estructura del hardware per tal de poder accedir a totes les parts i a la vegada emmagatzemar les dades.

La implementació d'un DU es pot fer directament amb les característiques que ofereix el PVSSII, tot i que el *Framework*, ens oferirà alguna eina que com veurem ens facilitarà la tasca de definició dels diferents DUs. Però les CU s'han de modelar com a màquines d'estats finits (FSM), aquest concepte no existeix en el PVSSII i per aquest motiu el modelatge de les màquines d'estat es fa utilitzant una eina anomenada SMI++. De nou el *Framework* ens facilita aquest modelatge integrant ja l'SMI++ [49].

Anem a veure doncs quins són els diferents grups en els que s'agrupen les unitats de control de l'SPD en funció del tipus d'activitat que porten a terme:

- Unitats de control de tipus DAQ (*Data AcQuisition*): controlen tota la part relacionada amb el *trigger* del sistema o tot el procés d'adquisició de dades durant el funcionament del detector. Des d'aquest tipus d'unitat de control portarem a terme tota la configuració i inicialització de l'SPD així com la lectura o actualització de qualsevol dada en un moment donat.
- Unitats de control de tipus DCS (*Detector Control System*): controlen tota la infraestructura necessària per tal que l'adquisició de dades es pugui portar a terme de forma satisfactòria; s'ocupen bàsicament del control de fonts d'alimentació així com de la monitorització de les diferents temperatures crítiques del sistema. Des d'aquest tipus d'unitat de control podem posar en marxa les fonts que alimenten les crates o també les plaques LVPS que alimenten els VFE. Tota la monitorització de temperatures de l'SPD també quedarà centralitzada des d'aquesta unitat de control.

Aquests dos tipus de CUs les podem veure en verd a la figura 3.1. Tal com podem veure en la mateixa figura hi ha també altres tipus d'unitats de control (representades en gris) les quals no han intervingut en el disseny del sistema de control de l'SPD. Algunes d'aquestes unitats són per exemple les de tipus DSS (*Detector Safety System*) que controlarien sistemes de seguretat del detector o per exemple TS (*Technical System*) [50].

La unitat de control superior la trobaríem implementada en un PC a la cambra de control (*Control Room*) a la superfície del pou. Ara bé, les unitats de control referents als diferents tipus d'activitat es trobarien a les barraques situades a baix al pou relativament a prop dels diferents equips que han de controlar, a una distància d'aproximada d'un centenar de metres (veure figura 3.2).

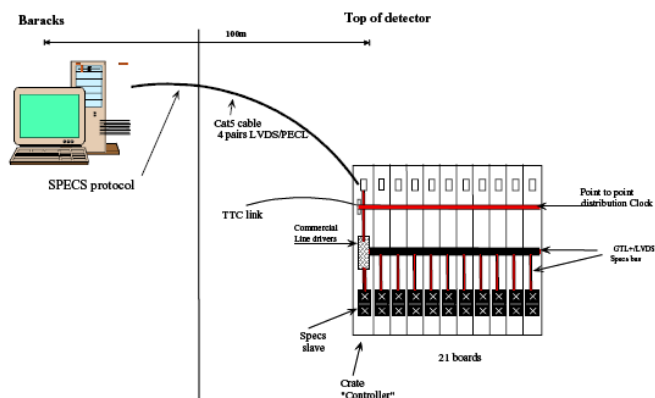


Figura 3.2. Esquema del que podria representar una unitat de control de tipus DAQ connectada a una de les *crates* del calorímetre on es troba la CB.

En el cas de les unitats de control de tipus DAQ de les *crates* de l'SPD, són precisament aquests ordinadors els que tenen instal·lada la placa PCI que actua de mestre del bus SPECS (*master SPECS*), les plaques situades a la *crate* connectades al bus SPECS disposen d'un esclau SPECS, en el cas de la CB de l'SPD, l'esclau SPECS és l'*SPECS mezzanine*.

Així doncs, tenim una comunicació I<sup>2</sup>C entre la CB i els VFE (o les plaques LVPS), una comunicació SPECS entre la CB a través del CROC i l'ordinador que actua d'unitat de control de tipus DAQ (Servidor SPECS on hi ha instal·lada la placa *SPECS master*) i una darrera comunicació entre aquest darrer i els ordinadors principals situats a la cambra de control (veure figura 3.3).

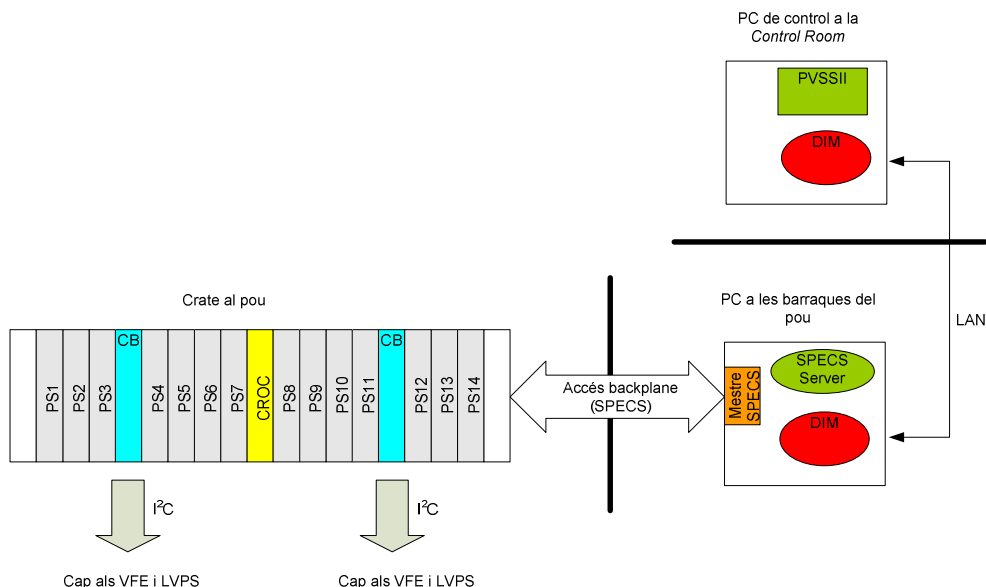


Figura 3.3. Esquema del sistema de control de l'SPD des de la cambra de control fins al hardware de l'SPD.

Les aplicacions necessàries per a poder treballar amb cadascun d'aquests nivells de comunicació queden totes elles integrades amb el paquet de software del *Framework* de tal manera que els diferents programadors dels sistemes de control de l'experiment tan sols han d'utilitzar aquestes aplicacions assegurant així un sistema homogeni tal com es volia.

El protocol SPECS que uneix la unitat de control amb la CB ja l'hem definit a la part 2. Per una altra banda tenim el protocol DIM (*Distributed Information Management system*), integrat en el *Framework*, que comunica les parts instal·lades a baix al pou amb la unitat instal·lada a la cambra de control.



El DIM és un protocol desenvolupat pel CERN orientat a la comunicació en entorns distribuïts. És una simplificació del protocol estàndard OPC (*OLE for Process Control*) àmpliament utilitzat en dispositius comercials [51]. DIM sorgeix per la necessitat d'un intercanvi de serveis en un sistema client-servidor. Permet monitoritzar a través d'un software de control (en el nostre cas el PVSSII) tota l'electrònica de manera remota gràcies a la publicació i subscripció de serveis a la xarxa. El serveis són demanats pels clients (ordinador a la cambra de control) i automàticament són actualitzats pels servidors (ordinador a baix al pou) de forma periòdica o bé quan hi ha un canvi en les condicions. A la figura 3.4 podem veure un esquema de totes les capes de comunicació involucrades en el procés de control.

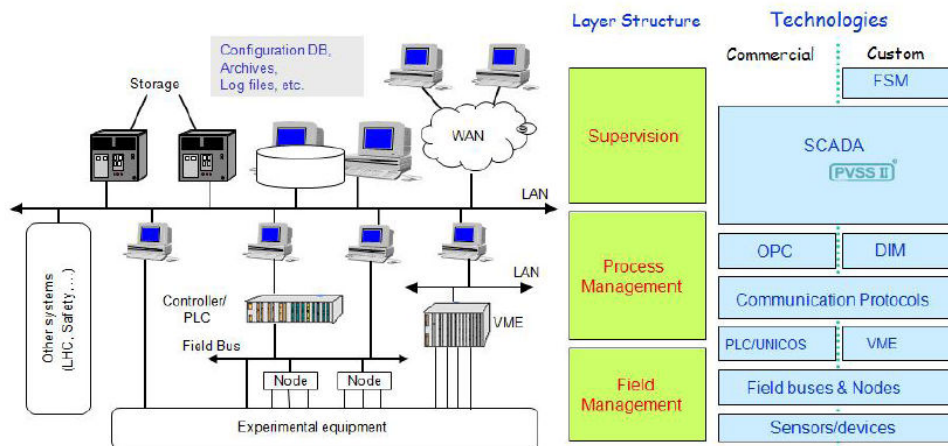


Figura 3.4. Arquitectura del sistema de control d'LHCb i les tecnologies utilitzades en cada capa.

Per tal de dotar de transparència total al sistema, un client no necessita saber on està corrent un servidor. Per això es disposa d'un servidor de noms DNS (*DIM Name Server*) on els servidors publiquen els seus serveis registrant el nom del servidor. Els clients es subscriuen al servei i actualitzen les dades desitjades. A la figura 3.5 podem veure la interacció entre els tres elements que conformen el protocol DIM [51].

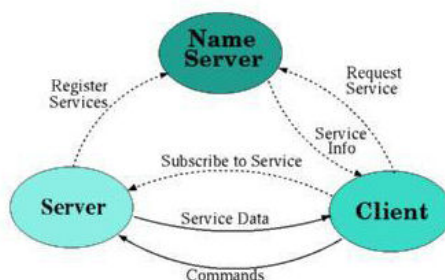


Figura 3.5. Elements que intervenen a DIM. Els servidors registren els serveis que després els clients sol·licitaran. Els clients mitjançant comandes als servidors obtindran les dades sol·licitades.

En darrer lloc abans d'entrar en les definicions dels diferents DU i CU que conformen el control de l'SPD, ens manca només fer una breu introducció del funcionament intern de PVSSII [52].

El sistema ens ha de permetre connectar amb els dispositius hardware per tal de supervisar-los, monitoritzar el seu comportament, inicialitzar-los, configurar-los i operar amb ells. Per poder realitzar totes aquestes accions el PVSSII ens proporciona les següents eines:

- Una base de dades en temps d'execució o *run-time*: lloc on s'emmagatzemen les dades llegides dels dispositius de tal manera que puguin ser accedides per processar-les o visualitzar-les.

- Base de dades a llarg termini (*Archiving*): emmagatzematge de dades a més llarg termini per tal que aquestes puguin ser accedides més tard per altres aplicacions.
- Generació d'alarmes: es podran definir condicions per establir nivells d'alarma per les dades emmagatzemades pel PVSSII.
- Editor Gràfic (GEDI, *Graphic EDItor*): aquest editor permet al programador definir les interfícies o panells d'usuari.
- Llenguatge per definir *scripts*: llenguatge que segueix la sintaxi de C i que permetrà al programador interactuar amb les dades emmagatzemades a la base de dades des de la interfície o panell d'usuari o des d'un procés corrent en *background*.
- Eina de parametrització gràfica (PARA, *PARAmeterization*): aquesta eina permetrà a l'usuari definir l'estructura de la base de dades comentada en el primer punt, definir quines dades i sota quines condicions han de generar alarmes, etc.
- I en darrer lloc els *drivers*: que ens proporcionaran la connexió entre el PVSS i el hardware a controlar. En el nostre cas utilitzarem el protocol DIM ja comentat el qual es troba integrat en el *Framework*.

Una aplicació PVSS es compon de diferents processos anomenats *managers*. El cor del sistema és el que es diu *Event Manager* (EVM a la figura 3.6), és el responsable de totes les comunicacions i rep les dades enviades pels *drivers* (D a la figura 3.6) i s'ocupa de la distribució cap a la resta de *managers* subscriïts a una dada concreta. El *Database Manager* (DBM a la figura 3.6) proporciona la interfície amb la base de dades (DB) durant l'execució o *run-time*. Trobem també els *Control Managers* (Ctrl a la figura 3.6) encarregats d'executar processos programats en *scripts* i a la capa superior trobem finalment els *managers* dedicats a les diferents interfícies amb l'usuari (UIM a la figura 3.6) per tal de poder enviar dades a la base de dades o visualitzar-les pels panells o fins i tot mantenir una connexió fixa amb la base de dades per actualitzar el panell o interfície d'usuari a l'instant. Els UIM poden ser executats també en mode de desenvolupament per tal de poder editar i definir les diferents estructures de dades o els panells (PARA i GEDI).

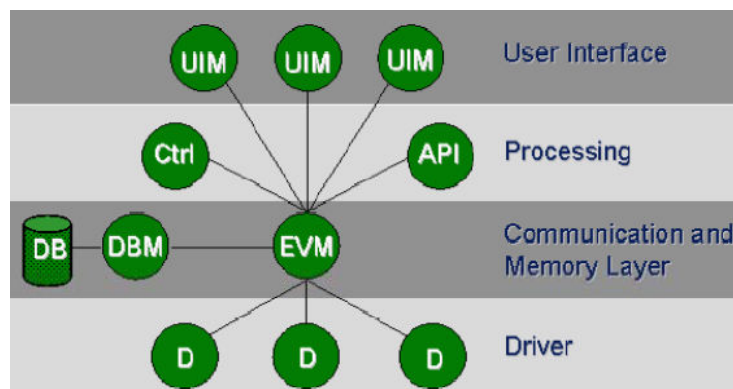


Figura 3.6. Estructura d'un sistema PVSS.

Així doncs, en una aplicació PVSS tindrem com a mínim un EVM, un DBM i un nombre indeterminat de *drivers* i interfícies d'usuari. Per aplicacions grans podem comunicar diferents sistemes PVSS obtenint així un sistema distribuït, en aquests casos tindrem també un *Distribution Manager* (Dist a la figura 3.7).

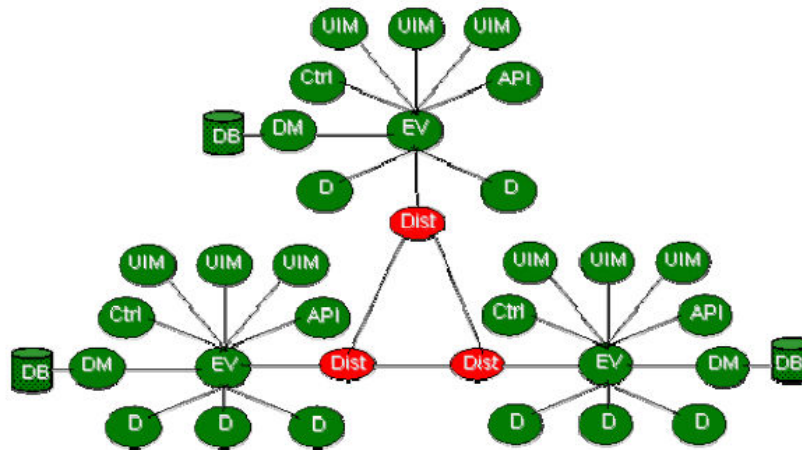


Figura 3.7. Sistema PVSS distribuït.

L'estructura fonamental dins la base de dades del PVSS és el *DataPoint* (DP, *DataPoint*) el qual pertanyerà a un tipus de *DataPoint* (DPT, *DataPoint Type*) prèviament definit. Així doncs tots els dispositius a controlar seran modelats amb *DataPoints* de manera que tipus de dispositius iguals quedaran definits per DP d'un mateix tipus DPT.

El DPT descriu l'estructura de dades d'un tipus de dispositiu determinat (és un concepte similar a la classe en la terminologia orientada a objecte) i el DP contindrà la informació relativa a un dispositiu concret (concepte similar a les diferents instàncies d'una classe en terminologia de programació orientada a objecte). Un DPT pot estar format per altres DPT o directament per tipus simples com ara un camp enter, real, etc. (*DPE*, *DataPoint Element*).

Una vegada definit el DPT podrem definir-ne tantes instàncies o DP com dispositius vulguem controlar d'aquell tipus als quals podrem accedir mitjançant els nostres panells i els *scripts* que haguem definit.

Recordem de nou que a part de les eines pròpies del PVSS disposem també dels components i aplicacions ja integrades en el paquet del *Framework*. El desenvolupament del *Framework* està basat en PVSSII i ens proporciona l'accés a aquelles aplicacions o parts d'ús comú en els diferents grups de l'experiment. Hi tindrem per exemple definit un DPT que representa l'*SPECS mezzanine* així com els servidors DIM. Aquestes parts per tant no caldrà que siguin desenvolupades per nosaltres.

En el següent apartat entrarem ja plenament en la definició del sistema de control de l'SPD utilitzant les diferents eines descrites: el PVSSII i el paquet *Framework*.

## 3.2. Definició del hardware del SPD en el ECS.

Per tal de poder controlar l'SPD utilitzant PVSSII, haurem de definir una estructura de *DataPoint Type* que representi cadascuna d'aquelles parts de l'SPD a les quals s'ha de poder accedir des del sistema de control [20].

Farem primer de tot doncs un breu repàs de totes les parts a accedir del hardware per tal de tenir clar els diferents *DataPoint Elements* que haurem de definir. Podem diferenciar aquelles parts sobre la mateixa CB o aquelles parts connectades a la CB però que també han de ser accessibles des del sistema de control.

Dins del primer grup haurem de poder accedir als següents components (veure figura 3.8):

- L'*SPECS mezzanine*: hem de poder configurar la velocitat, modes de funcionament, configurar pins d'entrada o de sortida dels quals disposa, activar els busos I<sup>2</sup>C, etc. No hem de perdre de vista que l'*SPECS mezzanine* és el punt d'accés a l'ECS des de la CB.

- Els *Delay Chips*: hem de poder configurar el retard de cadascun dels seus canals per tal de poder passar el rellotge correcte als VFEs. Aquests integrats queden connectats a l'*SPECS mezzanine* a través de bus I<sup>2</sup>C.
- L'*optical mezzanine*: es troba connectada al mateix bus I<sup>2</sup>C que els *Delay Chips*. En aquest cas hem de poder commutar des de l'ECS el seu mode de funcionament de normal a mode test des del qual envia un patró fixat.
- La FPGA de la CB: hem de poder accedir als seus registres des del bus paral·lel connectat a l'*SPECS mezzanine*.
- La sonda de temperatura de la CB: s'ha de poder consultar la temperatura de la CB. Es troba també connectada al mateix bus I<sup>2</sup>C que els *Delay Chips* i l'*optical mezzanine*. Aquesta dada formarà part del sistema d'alertes de l'ECS.

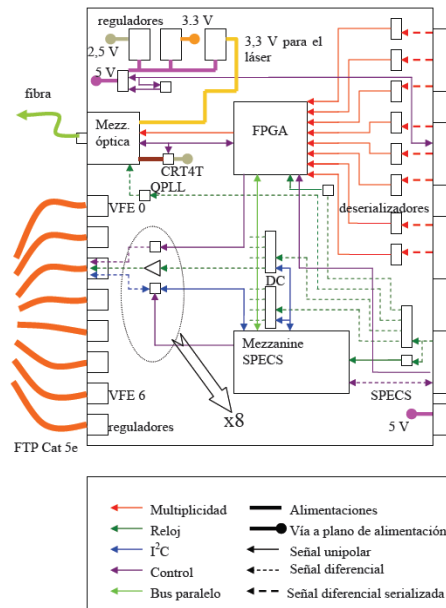


Figura 3.8. Representació de les diferents parts de la CB.

Per una altra banda hem de poder accedir a aquelles parts connectades a la CB i que també formaven part del subsistema SPD (veure figura 3.9):

- Els VFE: haurem de poder consultar-ne el seu estat, fer un reset de la màquina d'estats de la CB, configurar les diferents tensions llindar pel funcionament dels ASICs, etc. Hi accedim a través dels busos I<sup>2</sup>C diferencials disponibles des de l'*SPECS mezzanine* de la CB o també des de la línia de TFC controlada des de la FPGA de la CB en funció de l'operació a realitzar sobre el VFE [53].
- Les plaques LVPS: s'han de poder posar en marxa i parar des del sistema de control, a més des d'aquestes plaques s'ha de poder monitoritzar totes les sondes de temperatura de les pròpies plaques de LVPS, dels VFEs i tots els límits de tensió i corrent dels diferents canals d'alimentació als VFEs. Totes aquestes dades es poden accedir a través de la FPGA de la placa LVPS que es troba connectada, al igual que els VFEs, als busos I<sup>2</sup>C diferencials de la CB.

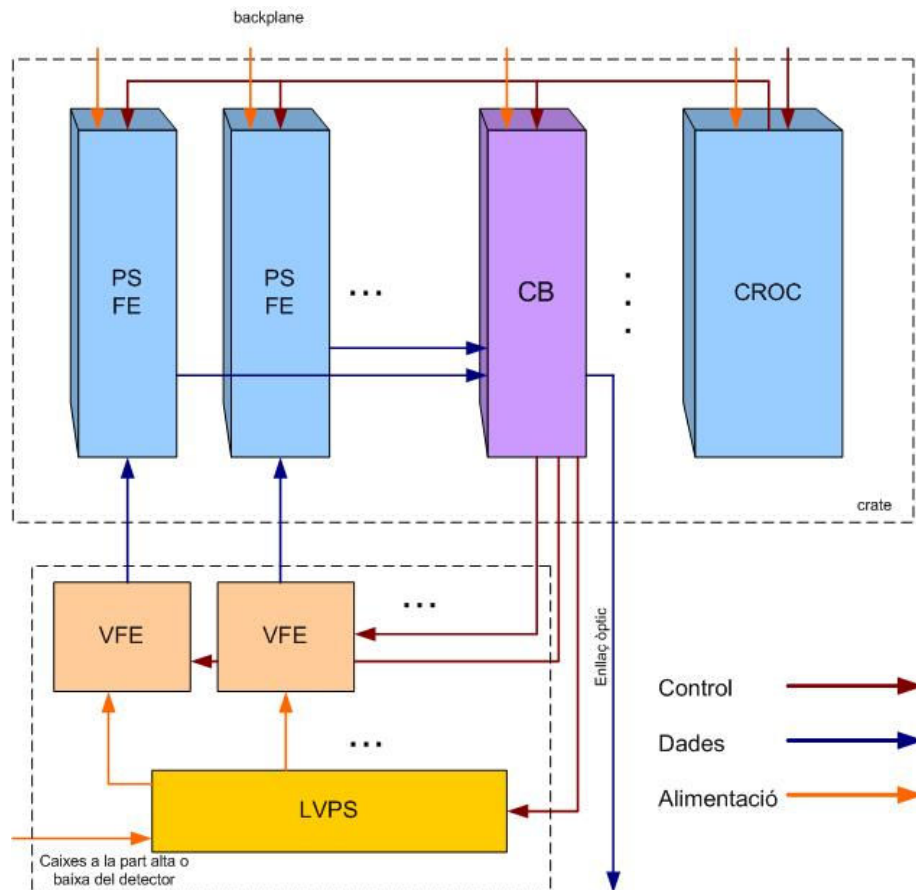


Figura 3.9. Representació del flux d'informació de control (en marró) des de la CB cap a VFEs o plaques de reguladors (LVPS).

Repassades totes les parts, podem intuir que el *DataPoint Type* de la CB serà un tipus compost d'altres *DataPoint Type* més simples. Concretament tindrem definit un *DataPoint Type* per exactament cadascuna de les parts descrites en els punts anteriors. En aquest procés el *Framework* ens facilita ja un component o *DataPoint Type* que representa l'estructura de l'*SPECS mezzanine* ja que al ser un component utilitzat per més d'un grup es va decidir incloure'l dins del paquet del *Framework*. Per la resta de definicions el *Framework* ens facilita també un sèrie de tipus bàsics els quals ens permeten definir per exemple les connexions I<sup>2</sup>C a través de l'*SPECS mezzanine* fixant les diferents adreces de la connexió així com la longitud de les dades a enviar per la connexió. D'igual manera la definició de l'estructura o el tipus es pot fer ja sigui utilitzant l'eina de parametrització del PVSSII o les eines que introdueix el *Framework (FwHw)* per tal de definir components hardware. A part de registres de connexions de comunicació podem definir també *DataPoint Elements* de tipus enter per emmagatzemar per exemple l'estat d'un component o per exemple camps reals per guardar el valor d'una temperatura o d'algun altre tipus de monitorització.

A la figura 3.10 podem veure a la columna de l'esquerra els diferents tipus hardware definits per l'SPD. L'únic prèviament definit en el *Framework* és l'*SPECS mezzanine*. Anem a veure a tall d'exemple la definició del tipus (*DataPoint Type*) de dos d'aquests components:

- En primer lloc analitzem un exemple amb connexió I<sup>2</sup>C i per tant amb un *DataPoint Element* de tipus I<sup>2</sup>C el tenim en el *Delay Chip*, a la figura 3.10 podem veure la seva definició a través de l'eina *FwHw*. Des d'allà podem definir un component amb connexió a SPECS (en el nostre cas a través de l'*SPECS mezzanine*) i per tant podem utilitzar els tipus amb els que treballa l'*SPECS mezzanine*, en aquest cas escollim un camp de tipus I<sup>2</sup>C ja que és la connexió que utilitzem. Aquest tipus ens el proporciona el mateix *Framework* al definir un component SPECS i en el moment de definir una instància d'aquest hardware ens permet introduir directament l'adreça I<sup>2</sup>C del

component així com la longitud de les dades que es llegiran o s'escriuran a través d'aquest registre<sup>14</sup>.

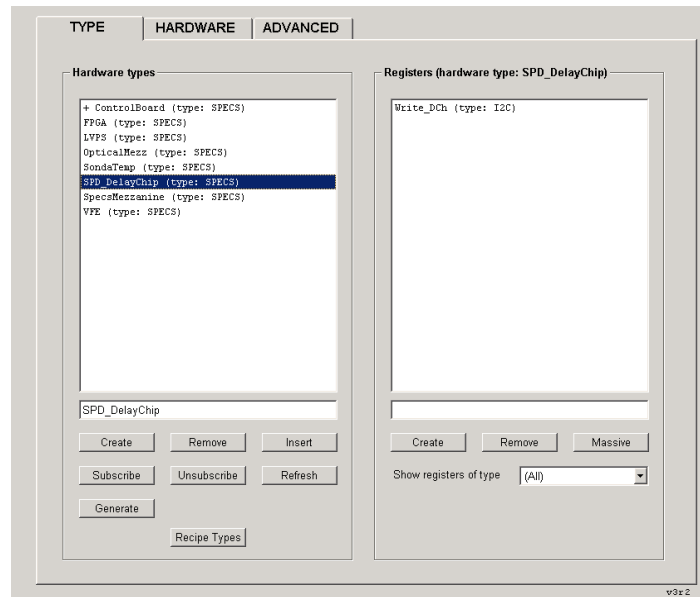


Figura 3.10. Imatge de la definició del *DataPoint Type* per un *Delay Chip*. A la columna de l'esquerra podem veure com li indiquem que es tracta d'un component SPECS, és a dir que ens comunicarem amb ell a través de la *backplane* i connectant amb un esclau SPECS (l'*SPECS mezzanine*). A la columna de la dreta podem veure els camps pels que està compost, en aquest cas tan sols un element de tipus I<sup>2</sup>C.

- En segon lloc anem a veure la definició del tipus CB, en aquest cas és un tipus compost que inclou els tipus hardware visibles a la figura 3.10 en la quantitat necessària per representar per complet una CB. Si anem seguint amb la figura 3.11. veiem que com a tipus simple contindrà tan sols un camp anomenat *status* de tipus enter (columna dreta de la figura 3.11), aquest camp ens servirà per saber la situació o estat en el que es troba la CB i l'utilitzarem en la definició de la màquina d'estats, FSM. Per una altra banda una CB haurà d'incloure tots els tipus hardware necessaris definits prèviament (columna de la dreta):
  - Una SPECS mezzanine.
  - Una FPGA.
  - Dos Delay Chips.
  - Una optical mezzanine.
  - 8 VFEs.
  - 8 plaques LVPS.

Com podem veure, la definició del tipus inclou totes les possibilitats de connexió, és a dir, definim 8 VFEs i també 8 LVPS, ja que prèviament no sabem quins d'aquests tipus de hardware tenim connectats a cadascun dels 8 canals RJ45 d'una CB. En el moment de definir les diferents instàncies tan sols es configurarà la connexió per aquells VFE o LVPS que realment hi hagi connectats en aquell cas concret, la resta, existirà l'estructura però no s'estaran utilitzant ni contindrà dades rellevants.

<sup>14</sup> En la definició del VFE es necessita treballar amb un registre I<sup>2</sup>C de 128 bytes per a configurar les tensions llindars dels convertors. El tipus I<sup>2</sup>C definit al *Framework* quedava limitat a 20 bytes. Per tal de poder enviar els 128 bytes en una sola trama i evitar així l'enviament de capçaleres innecessàries, els responsables de *Framework* redissenyaren aquest tipus per tal que suportés dades de més de 128 bytes.

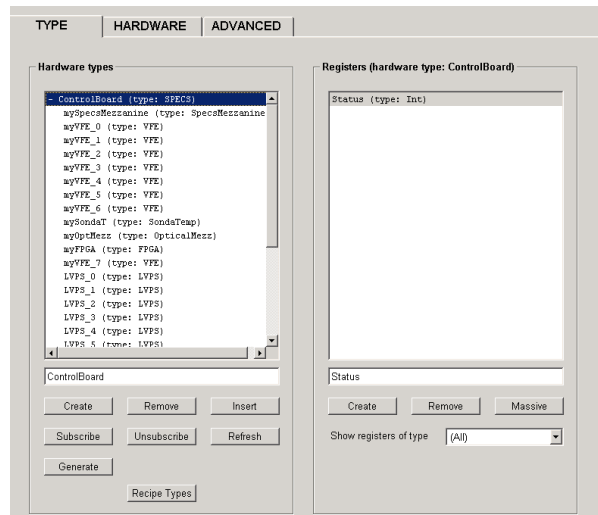


Figura 3.11. Definició del tipus hardware (*DataPoint Type*) de la CB integrat pels altres tipus de hardware (columna esquerra) més un camp d'estat (columna dreta).

Arribats en aquest punt tenim els tipus definits i tan sols ens falta declarar les diferents instàncies del tipus CB. Tal com ja hem dit existeixen 16 CB per tant haurem de definir les 16 instàncies tot i que com que una meitat de detector es controla des d'un ordinador (*side C*) i l'altre des d'un altre (*side A*), definirem 8 instàncies d'aquest mateix tipus CB des de cadascun dels projectes PVSSII que corren en cadascun dels dos ordinadors. Una vegada definida la instància, podrem fixar ja l'adreça de l'esclau SPECS (*SPECS mezzanine*) per a la comunicació SPECS així com configurar la resta de registres I<sup>2</sup>C o altres tipus de connexions com el bus paral·lel indicant la seva adreça dins del bus I<sup>2</sup>C i en el cas d'I<sup>2</sup>C a quin dels busos disponibles de l'*SPECS mezzanine* ens estem dirigint (veure figura 3.12).

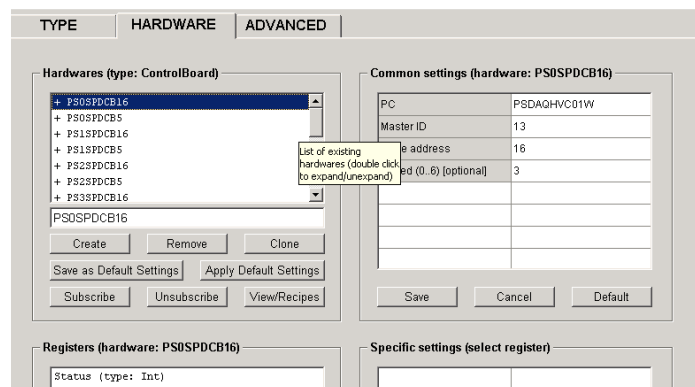


Figura 3.12. Declaració de les 8 instàncies de CB de la *side C* (columna esquerra). El nom segueix el format *PSxSPDCBy*, on *x* indica el número de la *crate* i *y* l'adreça de l'esclau SPECS o l'*slot* que ocupa la CB dins del *rack*. A la dreta podem veure configurat l'identificador del mestre SPECS (en el cas de la figura és el 13) o l'adreça de l'esclau SPECS o *SPECS mezzanine*, en aquest cas la 16.

Al subscriure aquestes instàncies passen a ser executats tots els managers necessaris per garantir totes les connexions DIM i SPECS. Cadascuna d'aquestes instàncies s'anomena *Device Unit* (DU) dins del context del sistema de control (bombolles taronges de la figura 3.1).

El fet de treballar amb connexions diferents de CB complicarà la posterior configuració del hardware ja que tal com hem comentat no totes les plaques de CB tenen connectat el mateix tipus de hardware (VFE o LVPS) en els diferents canals de sortida de tipus RJ45. El tipus de configuració depèn de la situació de les plaques en cada *crate*. A l'apartat 2.2.2.1 hem vist quines eren les 4 combinacions possibles:

- Les *crates* 0, 2, 3, 4, 5 i 7, tenen tan sols 7 VFEs connectats, per tant un canal queda lliure. En funció de si es tracta de la CB situada a l'*slot* número 5 de la *crate* o a l'*slot* 16, aquests 7 VFE queden connectats del canal 1 al 7 o del canal 0 al 6 respectivament (veure de nou figura 2.36 de l'apartat 2.2.2.1). En aquestes *crates* doncs tenim ja dos tipus diferents de connexions i per tant de posteriors configuracions<sup>15</sup>.
- Les *crates* 1 i 6, tenen 4 VFEs i 4 plaques LVPS connectades. Si la CB ocupa l'*slot* 5 dins la *crate*, llavors trobem LVPS del canal 0 al 3 i VFEs del canal 4 al 7. En canvi si la CB ocupa l'*slot* 16 dins la *crate* llavors trobem VFEs del canal 0 al 3 i LVPS del canal 4 al 7. En aquestes *crates* doncs trobem dues configuracions<sup>16</sup> diferents més.

Hem parlat també que el control de les 16 CB no es realitza des del mateix mestre SPECS, concretament, les *crates* 0, 1, 2 i 3 integren l'anomenada *side C* i les *crates* 4, 5, 6 i 7 integren la *side A*.

Així doncs una vegada ja definides totes les instàncies o DU tant de la *side A* com de la *side C* podrem procedir ja a la definició de les unitats de control (CU) situades immediatament per sobre.

### 3.3. Control jeràrquic i màquines d'estat de l'SPD.

La definició d'un sistema jeràrquic seguint un esquema de màquines d'estat per cadascuna de les CU es fa tal com hem comentat utilitzant el llenguatge *SMI++*. *Framework* porta integrat ja aquest llenguatge a través de l'eina DEN (*Device Editor and Navigator*) que ens permetrà definir els diferents estats de la nostra unitat de control així com totes les possibles comandes a executar des d'aquests estats i per tant a ser propagades cap als nodes de l'arbre que es trobin just per sota de la CU que estiguem definint. Per operar a més a més amb els dispositius (DU) que tinguem per sota d'una unitat de control podrem relacionar-hi els panells que siguin necessaris per poder accedir al hardware.

Primer de tot començarem definint les CU de tipus DAQ ja que és en aquests PCs on corren aquestes CU i on hi ha instal·lat el mestre SPECS que fa arribar el bus SPECS cap a les *backplanes* del calorímetre. Així doncs, realment aquest és l'únic tipus de CU capaç de connectar directament amb el nostre hardware.

Des de les CUs de tipus DAQ hem de poder accedir al nostre hardware per tal de poder adquirir qualsevol tipus de dada o poder enviar totes les dades necessàries de configuració al hardware. Cada unitat de control de tipus DAQ controla una *crate* completa, per tant els DU que en depenen són les dues CB, la placa de CROC i els 14 (o 8 PRS en funció de la *crate*). La màquina d'estats que seguiran aquest tipus d'unitats de control la podem veure representada a la figura 3.13.

---

<sup>15</sup> Per identificar d'ara en endavant aquestes dues configuracions, les anomenem L0V7 les CB que tenen 7 VFEs connectats del canal 1 al 7 i V7L0 les CB que tenen 7 VFEs connectats del canal 0 al 6.

<sup>16</sup> Per identificar d'ara en endavant aquestes dues configuracions, les anomenem L4V4 les CB que tenen 4 plaques LVPS connectades del canal 0 al 3 i 4 VFEs connectats del canal 4 al 7 i V4L4 les CB que tenen 4 VFEs connectats dels canals 0 al 3 i 4 plaques LVPS connectades del canal 4 al 7.



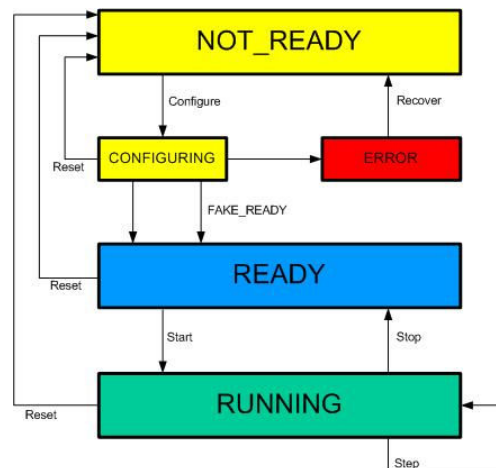


Figura 3.13. Diagrama dels diferents estats i comandes de les CU de tipus DAQ de les quals pegen els DU de les CB. Les comandes que executa des de cada estat implicaran accions sobre les CB o el hardware connectat a elles.

A l'inicialitzar la màquina d'estats de la CU, aquesta sempre es trobarà a l'estat NOT\_READY, això vol dir que tot el hardware que penja d'aquesta unitat de control no podem estar segurs si es troba correctament configurat; per aquest estat hi passarem també sempre que es faci un *Reset* del sistema des de qualsevol altre estat. Per tant, la comanda que es podrà executar des d'aquest estat implica enviar dades de configuració cap al hardware que penja de la unitat de control. Aquestes dades són per exemple els retard que han d'aplicar els *Delay Chips* a cada canal, els nivells de tensió llindar pels DACs dels VFEs, etc. Una vegada llançada la comanda de configurar, *Configure*, la màquina d'estats es queda en un estat transitori de CONFIGURING ja que aquesta acció pot portar un cert temps; hem de tenir present que a part d'enviar les dades de configuració aquestes es llegeixen per comprovar que s'han rebut correctament. La comanda *Configure* portarà associat un paràmetre que fixarà el tipus de *run* que es vol realitzar: calibrar, prendre dades, etc; això provocarà que les dades de configuració siguin unes o unes altres (descriurem aquest procés amb més detall a l'apartat 3.4). Des de l'estat de CONFIGURING se'n pot sortir automàticament per dos motius:

- Perquè la configuració sigui correcta i llavors el sistema salta a l'estat READY.
- Perquè la configuració no hagi estat correcta i llavors es passarà a l'estat d'ERROR.

Dins de CONFIGURING podríem decidir també tornar a inicialitzar el sistema executant la comanda *Reset*, llavors passaria de nou a NOT\_READY. L'altra opció és avortar l'operació de configuració provocant un salt a l'estat READY, aquesta acció es realitza amb la comanda *Fake\_Ready*.

Dins l'estat READY el sistema està configurat i preparat per prendre dades en qualsevol moment. Des d'aquí es pot enviar la comanda *Start* que en el cas de l'SPD implica tan sols un canvi d'estat però no s'executa cap acció concreta sobre el hardware ja que aquest en el fons una vegada configurat sempre està llest per entrar en funcionament. Hem de tenir present a més que l'adquisició de dades del detector realment no es fa des de l'SPD, aquest és tan sols part del *trigger* de nivell més baix. Des de la CB tan sols podríem accedir a dades adquirides pel detector des de la *Spy Function* implementada a la FPGA de la CB i amb accés des de l'ECS pel bus paral·lel de l'*SPECS mezzanine*, és però una opció de test i no una alternativa per adquirir dades en funcionament. La comanda *Start* farà passar el sistema a l'estat RUNNING. Igual que des de qualsevol altre estat tindrem sempre l'opció d'executar la comanda *Reset*.

Una vegada dins l'estat RUNNING el sistema es mantindrà en funcionament. La unitat de control pot enviar una comanda *Stop* que retornaria el sistema a l'estat READY, tal com hem dit abans amb el canvi de READY a RUNNING, ara la CB tampoc no ha de realitzar cap acció en concret. L'única comanda que implica alguna acció és la comanda *Step*, aquesta s'utilitza per enviar progressivament a cada pas (o *step*) dades concretes de configuració al sistema i

d'aquesta manera anar observant els resultats físics pas a pas. És una funcionalitat útil per detectar mals funcionaments de les parts o per calibrar els diferents valors a configurar després durant la presa de dades normal.

Els DU de la CB doncs queden penjats sota d'aquest tipus d'unitat de control. En forma d'*script* figuren definides les diferents accions a emprendre en funció de la comanda executada per la unitat de control. Per sota la unitat de control trobarem penjats els diferents DU als quals es podrà associar un panell per actuar d'interfície amb ells i no només poder actuar quan s'executa una comanda de la unitat de control (veure figura 3.14, en aquest cas la unitat de control i els 10 DU que controla es troben en estat RUNNING). Totes les funcions cridades en l'execució de les diferents comandes, al igual que les funcions utilitzades en la definició del panell associat al DU, es troben degudament ordenades en una llibreria d'ús comú tant per la *side A* com per la *side C*.

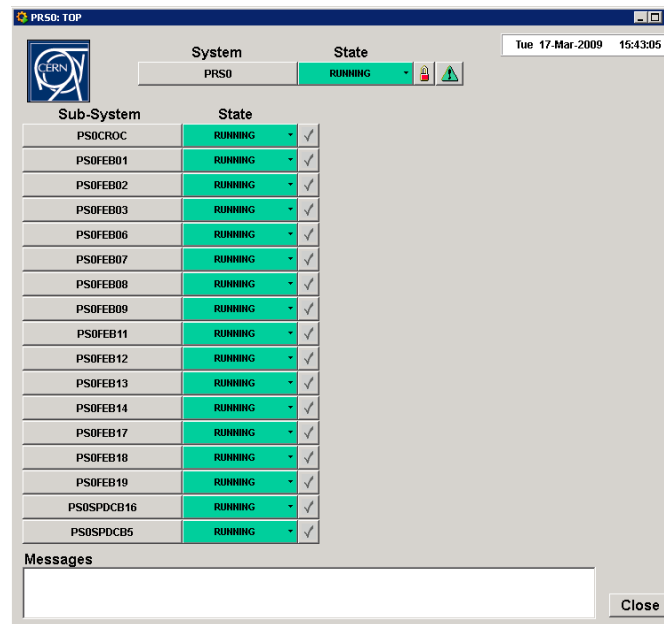


Figura 3.14. Unitat de control de la *crate 0*. Podem veure tots els DU que controla (dues CB: 'PS0SPDCB16' i 'PS0SPDCB5', 7 PRS i 1 CROC situats tots a la *crate 0*). Clicant sobre el nom del DU podem accedir al seu panell. La CU enviarà les comandes a tots els DU tot i que es poden excloure si per algun motiu aquests no es trobessin operatius.

Clicant sobre el nom de les CB de la unitat de control, se'ns desplega un panell format per dos subpanells. Un subpanell (el de la figura 3.15), està orientat a testejar el valor de configuració de qualsevol part del hardware o actualitzar-lo a un valor diferent. Des del mateix panell podem comprovar l'estat de l'enllaç òptic, l'estat de qualsevol VFE, llegir els diferents registres de la FPGA, actualitzar el retard dels diferents canals dels *Delay Chips*; el panell permet enviar també un número configurable d'operacions de lectura i escriptura a les diferents parts permeten així la realització de testos de BER dels quals parlarem a la part 4 d'aquest document.

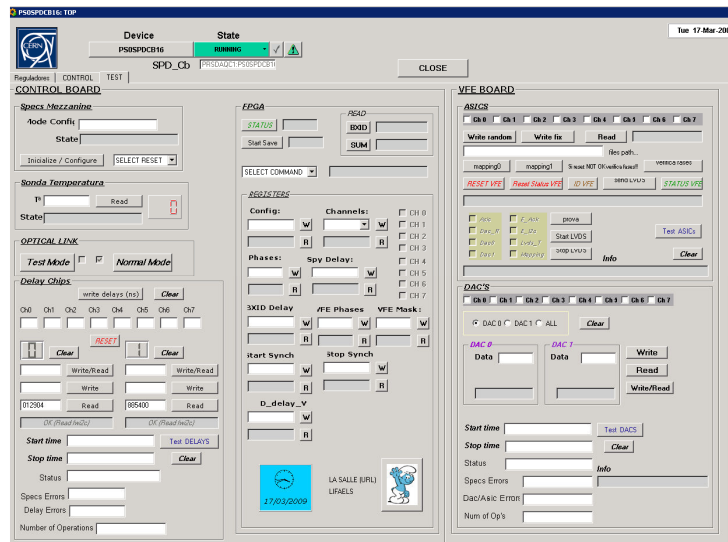


Figura 3.15. Part del panell associat als DU corresponents a CB. Des d'aquí podem monitoritzar qualsevol part del hardware de l'SPD i comprovar-ne el seu estat.

L'altre subpanell (figura 3.16) s'utilitza per operacions de control i monitoritza l'estat general del sistema. Visualitza l'estat dels canals de sortida RJ45 on hi ha VFEs connectats de la CB en qüestió; en cas que el VFE es trobi correctament configurat el visualitza en verd, en cas contrari, en vermell; el fet que un VFE es trobi en vermell implica que la unitat de control es trobarà en l'estat ERROR. Tot i així, si prèviament ja sabem que un VFE no funciona però en canvi volem que la resta del sistema continuï funcionant el podem emmascarar i llavors no el testearà tan si funciona com si no. El panell ens serveix també per saber el tipus de connexionat exacta d'aquella CB ja que en gris apareixen els canals no connectats o els connectats a una placa LVPS. Des d'aquest panell podem també actualitzar tal com veurem més endavant la base de dades on s'emmagatzemen les dades a enviar a tot el hardware quan configurem.

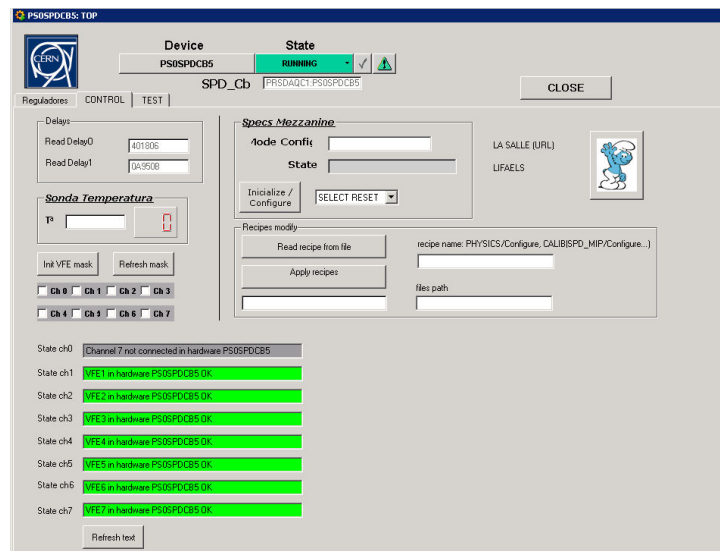


Figura 3.16. Subpanell associat a operacions de control de la CB en qüestió. Podem monitoritzar l'estat de VFE, Delay Chips i de la pròpia CB. En aquest cas podem veure que els 7 VFE connectats a la CB es troben correctament configurats. Al canal 0 de la CB no hi hauria connectada cap placa en aquesta combinació donada (L0V7).

L'altre tipus d'unitats de control que intervenen en el SPD són les etiquetades amb el nom de DCS (*Detector Control System*) controlen tota la infraestructura necessària per tal que l'electrònica pugui funcionar correctament; per exemple, des d'aquest tipus d'unitat de control hem de poder posar en marxa les plaques LVPS ja que aquestes alimenten els VFE i també poder monitoritzar tots els nivells de temperatures, tensions o corrents susceptibles a generar una alarma del sistema. El problema però, és que des del PC on corren aquestes unitats de control no tenim comunicació amb el nostre hardware que es troba tan sols connectats als PCs de les unitats de control de tipus DAQ tant de la *side* C com de la *side* A. L'alimentació de les CBs es posa també en marxa des d'aquest tipus d'unitats de control, aquestes fonts però alimenten tota la *crate* i no controlen únicament l'SPD.

L'esquema de màquina d'estats que segueixen les unitats de control de tipus DCS i en conseqüència els DU que penjen dels seus nodes el podem veure a la figura 3.17.

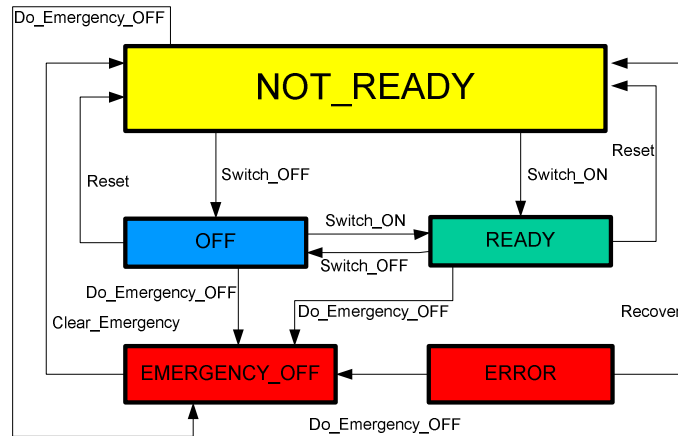


Figura 3.17. Diagrama dels diferents estats i comandes de les CU de tipus DCS. De les CU de tipus DCS no penja cap hardware físic en el cas de l'SPD sinó DU sense cap comunicació directa amb el hardware.

El fet de disposar d'unitats de control diferents dona robustesa al sistema ECS en general però en el cas de l'SPD ens dificulta la seva implementació ja que el hardware físicament es troba tot connectat de manera centralitzada a una únic punt. Per aquest motiu, els projectes de les unitats de control de monitorització de temperatura de l'SPD i de control de la posada en marxa i parada de les plaques LVPS (és a dir les unitats de control de tipus DCS de l'SPD) es troben connectades a DU que realment no disposen de cap comunicació amb el hardware sinó que senzillament són capaces de veure l'estructura de dades dels projectes de les unitats de control DAQ. D'aquesta manera podrem fer el control des de la part que per definició pertoca de l'ECS i per una altra banda el nostre hardware pot romandre tot comunicat només des del punt d'accés SPECS de les unitats de control DAQ.

Per treballar des de la part DCS del sistema de control hem definit dos tipus diferents de hardware o DU. Un d'ells és per treballar des de la unitat de control que senzillament monitoritza temperatures i l'altre és per poder posar en marxa i parar les plaques LVPS.

El primer tipus (SPD\_temp a la figura 3.18) disposa d'elements de tipus enter i real per tal de poder emmagatzemar les diferents dades de temperatura llegides des de l'estructura de dades de la unitat de control DAQ, les dades s'actualitzen cada vegada que hi ha un canvi al DU de tipus DAQ. Aquestes dades les emmagatzemem per tal de posteriorment poder definir els diferents nivells d'alerta del sistema. L'altre tipus hardware (SPD\_LVPS a la imatge 3.18) tan sols disposarà de la variable comú a qualsevol DU per poder determinar l'estat en el que es troba però no disposa de cap *DataPoint Element* característic d'ell mateix ja que treballarà per complet amb l'estructura de dades de les unitats DAQ i no necessitarà emmagatzemar cap variable.

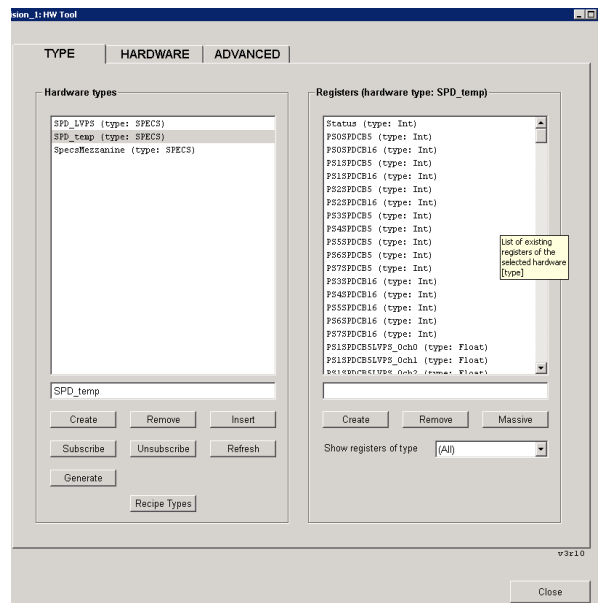


Figura 3.18. Imatge dels dos DU definides pel cas del DCS. A l'esquerra podem veure els diferents elements que integren la de tipus SPD\_temp, tal com comentàvem disposa de camps enters i reals per emmagatzemar totes les temperatures de les diferents CBs i VFEs.

De instàncies del hardware SPD\_temp tan sols en crearem una (veure figura 3.19) a través de la qual emmagatzemarem les informacions sobre temperatures, les podrem visualitzar en gràfiques i taules des dels panells associats i a més, tal com ja hem comentat, sobre aquests *DataPoint Elements* definirem les alarmes.

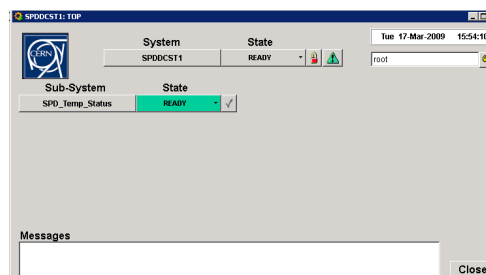


Figura 3.19. Imatge del DU de tipus SPD\_temp. Si cliquem al seu nom se'ns obrirà el seu panell d'on podrem veure registrades les temperatures de les diferents parts de l'SPD.

Per defecte al inicialitzar aquest hardware 'virtual' el seu estat serà sempre de READY i cap comanda no implica portar a terme cap tipus d'acció, ja que el DU es limita a anar actualitzant senzillament els valors que visualitza.

De l'altre tipus de DU definit, SPD\_LVPS, en generem dues instàncies per tal de poder controlar per separat la posada en marxa de les plaques LVPS de la *side A* o de la *side C* mitjançant l'exclusió d'una d'elles i així alimentar independentment una *side* de l'altra. La unitat de control dels hardwares tipus SPD\_LVPS segueix l'esquema de la figura 3.17. En el control de les plaques LVPS només tres comandes són rellevants: *Switch\_ON*, *Switch\_OFF* i *Do\_Emergency\_OFF*. La comanda *Switch\_ON* posarà en marxa les plaques LVPS de la *side* en qüestió i *Switch\_OFF* i *Do\_Emergency\_OFF* les apagaran. Cal recordar però que aquests DU no porten associada cap comunicació amb el hardware, per tant, el que realment estaran fent les comandes és actuar sobre els *DataPoints* dels DU que hem definit sota les unitats de control de tipus DAQ. D'aquesta manera el hardware es manté connectat a un únic punt però el control es pot portar a terme de forma distribuïda.

A la figura 3.20 podem veure una imatge del panell associat als DU de les plaques LVPS (tindran connexió amb els *DataPoints* de les CBs de tipus de connexionat L4V4 i V4L4). Indicadors de tipus led marquen si la placa LVPS en qüestió es troba en marxa o no. A part d'executant la comanda corresponent des de la unitat de control, hom pot també engegar o

parar els reguladors de les plaques LVPS prement un botó del panell. El panell permet també visualitzar totes les dades de temperatures de VFE o límits de tensió i corrent que monitoritza cada placa LVPS (figura 3.21); recordem però de nou que totes aquestes operacions es fan realment des dels DU definits sota les unitats de control de tipus DAQ.

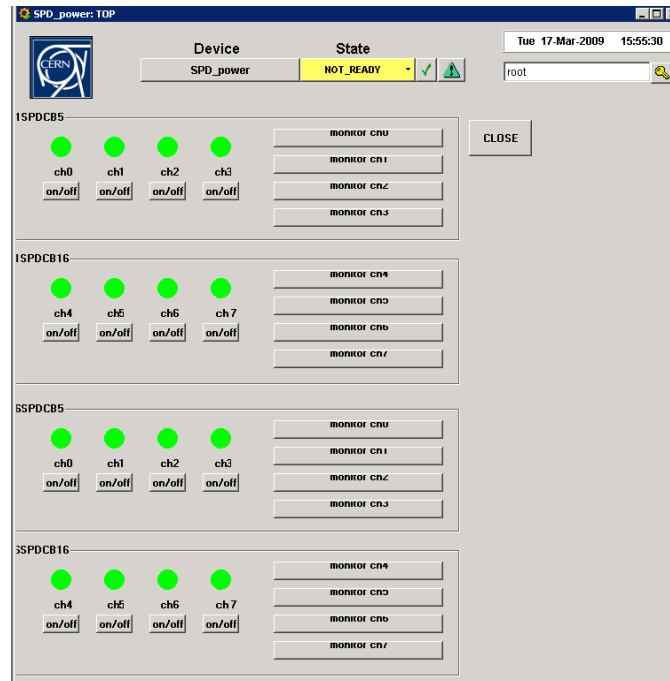


Figura 3.20. Panell principal dels DU de tipus SPD\_LVPS. Els indicadors verds indiquen que la placa en qüestió es troba en marxa. Prement els botons de l'esquerra s'obren taules com les de la figura 3.21 per veure totes les monitoritzacions de cada placa.

Monitoring Temperatures, voltage and currents							
46.56	Onboard 1 ch0	1332.63	VFE6 AC ch16	608.58	All VFE DC ch32	1413.195	VFE7 AC ch48
47.488	Onboard 2 ch1	1762.95	VFE6 AV ch17	970.287	All VFE DV ch33	1774.953	VFE7 AV ch49
30.254	Onboard 3 ch2	1317.242	VFE7 AC ch18	735.828	VFE1/2 DC ch34	705	VFE3/4 DC ch50
-271.22	Duter ch3	1757.372	VFE7 AV ch19	1675.872	VFE1/2 DVI ch35	1670.765	VFE3/4 DVI ch51
81.904	VFE1 temp1 ch4	92.092	VFE1/2 DC ch20	1506.64	VFE1 AC ch36	1089.087	VFE5/6/7 DC ch52
12.561	VFE1 temp2 ch5	1647.467	VFE1/2 DV ch21	1780.002	VFE1 AV1 ch37	1650.796	VFE5/6/7 DVI ch53
1371.384	VFE1 AC ch6	105.196	VFE3/4 DC ch22	1495.395	VFE2 AC ch38	3.16	VFE3 temp1 ch54
1754.97	VFE1 AV ch7	1650.596	VFE3/4 DV ch23	1780.002	VFE2 AV1 ch39	5.846	VFE3 temp2 ch55
1385.559	VFE2 AC ch8	166.382	VFE5/6/7 DC ch24	1490.346	VFE3 AC ch40	11.812	VFE4 temp1 ch56
1744.7	VFE2 AV ch9	1662.906	VFE5/6/7 DV ch25	1757.998	VFE3 AV1 ch41	11.502	VFE4 temp2 ch57
1374.882	VFE3 AC ch10	569.744	All VFE AC ch26	1497.675	VFE4 AC ch42	-278.852	VFE5 temp1 ch58
1752.204	VFE3 AV ch11	3422.295	All VFE AV/2 ch27	1784.865	VFE4 AV1 ch43	-285.78	VFE5 temp2 ch59
1356.486	VFE4 AC ch12	3446.546	All VFE DC ch28	1483.162	VFE5 AC ch44	11.352	VFE6 temp1 ch60
1752.864	VFE4 AV ch13	3323.808	All VFE DV/2 ch29	1810.809	VFE5 AV1 ch45	12.975	VFE6 temp2 ch61
1348.848	VFE5 AC ch14	7.977	VFE2 temp1 ch30	1448.775	VFE6 AC ch46	13.016	VFE7 temp1 ch62
1771.22	VFE5 AV ch15	7.788	VFE2 temp2 ch31	1755.36	VFE6 AV1 ch47	-269.081	VFE7 temp2 ch63

Temp: °C Current: mA Voltage: mV Ch6-ch25: +1.65V Ch26-ch29: +3.3V Ch32-ch33: +0.85V Ch34-ch53: -1.65V

AC: Analog Current  
AV: Analog Voltage  
DC: Digital Current  
DV: Digital Voltage  
I: Inverted

REFRESH CLOSE

Figura 3.21. Taula on es visualitzen totes les monitoritzacions d'una placa LVPS. És tan sols una taula informativa, les alertes es troben definides des del DU de tipus SPD\_temp (figures 3.18 i 3.19).

### 3.4. Inicialització del subsistema SPD.

La inicialització del sistema afecta només en el nostre cas a aquells DU de tipus DAQ, és a dir, les que pegen d'unitats de control d'adquisició de dades.

La inicialització dels sistemes connectats a l'ECS està pensada per fer-se a través del que anomenarem un *recipe*. Un *recipe* (o recepta) no és res més que un conjunt de registres emmagatzemats a la base de dades sota un nom donat de manera que al configurar el sistema el que fem és enviar cap al hardware el contingut d'aquest *recipe* sense la necessitat d'haver d'inicialitzar cada part del hardware que ho requereixi per separat. Així doncs és convenient que cada part del hardware que requereixi configuració (com per exemple un Delay Chip o els nivells llindars d'un ASIC determinat, etc.) estigui definida la seva estructura hardware amb registres que permetin enviar directament les dades on ja estiguin definides totes les adreces tal com hem explicat anteriorment. La inicialització del sistema afecta només en el nostre cas a aquells DU de tipus DAQ, és a dir, els que pegen d'unitats de control d'adquisició de dades (DAQ) les quals tal com hem vist prèviament tenen definida una comanda *Configure*.

Al definir un *recipe*, el primer que fem és definir-ne el tipus. Definir el tipus implica fixar quins seran els registres que formaran part d'un *recipe* concret. En segon lloc dins de cada DU definirem les instàncies del tipus assignant a cadascuna un nom diferent. En les instàncies podrem carregar ja les dades de configuració desitjades (el *Framework* disposa de llibreries amb funcions ja predefinides per facilitar aquesta tasca [54]). Així doncs, el fet de poder disposar de varies instàncies d'un mateix tipus, ens permetrà tenir guardades diferents dades de configuració segons les condicions en les que es vulgui fer funcionar el detector. Si tot això ho ajuntem amb l'elecció d'un nom adequat per la instància del *recipe*, el resultat és un procés de configuració completament automatitzat. Els diferents tipus i les instàncies es poden definir fàcilment des de la mateixa eina del *Framework* des de la qual prèviament ja hem definit l'estructura del hardware.

La inicialització de l'SPD és crítica des del punt de vista que tenim 4 configuracions diferents del subsistema SPD en funció del número de VFEs connectats o de plaques LVPS. Això ens porta a que els registres a enviar a cadascun dels 4 tipus de placa no són els mateixos.

En una primera aproximació es definiren varis tipus de *recipes* en funció de les diferents parts: teníem per exemple un tipus per cada VFE en funció del canal que ocupava a la CB, un tipus per cada LVPS en funció també del canal que podia ocupar i un tipus que incloïa tots els registres de la CB (es definiren doncs un total de 17 *recipes*). D'aquesta manera en cada DU definíem una instància o *recipe* per a configurar la CB i tantes instàncies dels tipus VFE i LVPS adequades en funció dels VFEs o LVPS que tenia connectats al DU en qüestió. A l'hora de configurar s'enviaven doncs varis *recipes*: la de configurar registres de CB, una per cada VFE connectat i una per cada placa LVPS connectada al DU.

Ben aviat però es va detectar una manera que facilitava molt més la configuració. Consisteix en la definició de 4 tipus de *recipes* corresponent cadascun a les 4 configuracions diferents de CB. Cadascun d'aquests tipus conté tots els registres a configurar tenint present quin tipus de hardware hi ha connectat a cada CB. D'igual manera definim des de cada DU les instàncies del tipus que es corresponen amb el seu connexionat. D'aquesta manera al configurar tan sols hem d'enviar un sol *recipe* que ja configura tot el hardware. Mentre s'està enviant el *recipe*, recordem que existeix l'estat CONFIGURING el qual és l'estat al que passa el sistema en aquesta situació (figura 3.13).

En cada DU hi ha definits més d'una instància de *recipe* per cadscun dels diferents modes de funcionament del detector que esperen dades diferents de configuració. Tal com enunciàvem, l'elecció correcta del nom, ha facilitat molt la configuració: el nom de cada instància es correspon amb el nom del tipus de *run type* (*run type*, identifica el mode de funcionament del detector) més la paraula clau '*Configure*'; d'aquesta manera quan es rep l'ordre *Configure* al DU com que aquesta comanda porta com a paràmetre el nom del *run type* podem 'construir' automàticament el nom del *recipe* a enviar i enviar-lo ja que, sempre i quan prèviament hagi estat definit i tingui dades carregades, es trobarà llest a la base de dades.

Cal destacar també que una vegada enviat el *recipe*, totes les parts de hardware implicades són llegides i comprovada mitjançant una lectura que es compara amb el contingut del *recipe*, si alguna dada no coincideix, el DU passaria a l'estat ERROR. Tan sols els canals que hagin estat emmascarats des del panell de control (veure figura 3.16) no es tindran en

compte en aquesta comprovació. Si la comprovació de dades és satisfactòria es passarà a l'estat de READY.

En conclusió doncs obtenim una configuració ràpida i segura de l'SPD mitjançant la definició de 4 tipus de *recipes* (V4L4, L4V4, L0V7 i V7L0) més el fet d'escollir adequadament el nom de les instàncies de cada *recipie*. És important destacar que seguint aquesta filosofia els diferents DU tindran *recipes* definits amb el mateix nom i seran del tipus que correspongui segons el connexionat de cada cas.

### 3.5. Definició d'alertes a l'SPD.

Per poder parlar d'un sistema de control complet ens faltaria només definir els diferents nivells d'alerta del sistema. Així com la configuració afectava als DU controlats des d'unitats de control DAQ, la definició d'alertes per contra està feta sobre el DU del sistema DCS la qual emmagatzemava totes les configuracions de temperatura del sistema.

Les alertes a definir des de l'SPD consisteixen en controlar els diferents nivells de temperatura monitoritzats des de les pròpies sondes de la CB, des de les sondes dels VFE (dades centralitzades des de les plaques LVPS) i des de les sondes de les mateixes plaques LVPS.

Tot i que hi ha diferents maneres de definir les alertes des del sistema de control [55], quan el paràmetre a controlar està directament lligat al valor d'un *DataPoint* la millor manera és definir una nova característica de configuració en el propi *DataPoint* des de l'eina de parametrització del PVSSII (PARA) que permet establir nivells d'alerta segons el marge de valors que pren el *DataPoint* (veure figura 3.22). Aquest procés però seria lent ja que s'hauria de repetir per cadascun dels *DataPoints* de temperatura, per aquest motiu, s'ha definit un *script* que permet configurar a la vegada tots els *DataPoints* de temperatura extraient els valors dels diferents marges de temperatura d'una llibreria de constants prèviament definida; el *Framework* a més a més proporciona ja uns determinats tipus d'alerta que fixen el nivell de prioritat de l'alarma.

Range texts	Limiting values	Alert classes
5		
4		
3 alarma2	< 40.000	060_fwErrorNack
2 alarma1	< 30.000	
1 alarma0		060_fwErrorNack

Handling active for:  \_online\_value

3 Ranges [OK] [Cancel] [Apply] [Help]

Figura 3.22. Visualització des del mòdul PARA del PVSSII les característiques de configuració de les alertes d'un *DataPoint* que emmagatzema temperatures. Aquestes temperatures s'actualitzen sempre que hi ha un canvi en el *DataPoint* amb el que estan relacionats en el DU de tipus DAQ.



En el moment que es genera una alerta aquesta és visualitzada en el panell d'alertes inclòs en les mateixes eines de diagnòstic del propi PVSSII (veure figura 3.23). Una vegada la temperatura tornés al seu valor normal i per tant no es donés ja l'alerta, aquesta desapareixeria automàticament del panell tot i que se'n pot mantenir un registre de valors en una base de dades (*archiving*) de tots aquells *DataPoints* que es desitgi<sup>17</sup>.

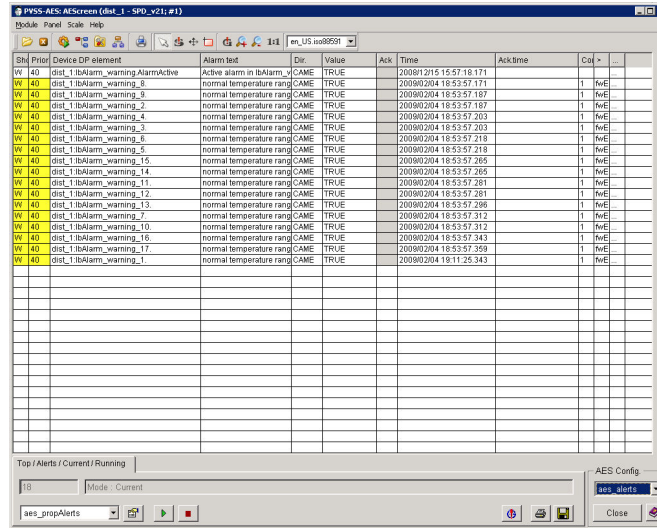


Figura 3.23. Panell d'alertes de l'eina de diagnòstic del PVSSII. El color de la primera columna indica el nivell de severitat de l'alerta.

Adicionalment el panell associat al DU del DCS ens permet visualitzar taules i gràfiques per tal de veure l'evolució del paràmetre en les darreres hores. En aquests panells podem veure a part de les temperatures, dades referents a les tensions i límits de corrent dels diferents canals de les plaques LVPS (figura 3.24).

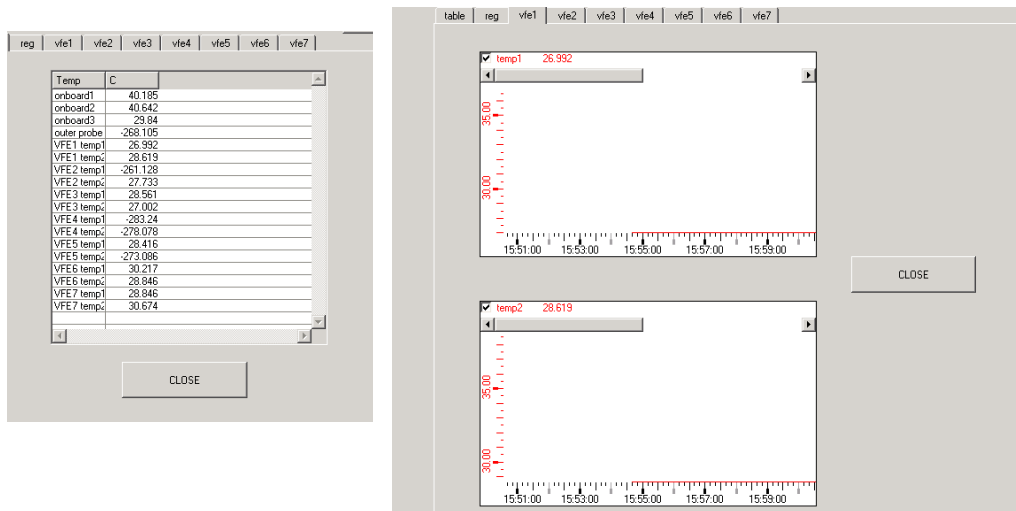


Figura 3.24. Imatge dels panells de diagnòstic de temperatures definit pel DU de tipus DCS de l'SPD.

<sup>17</sup> Per tal d'activar l'*archiving* d'un *DataPoint*, s'ha d'editar les seves característiques de configuració i afegir aquesta nova característica. Al igual que en la definició d'alarmes, podem escriure un *script* per afegir aquesta configuració a tots els *DataPoints* que interressi a la vegada i no haver de fer l'operació un a un.

En cas de que vulguem definir una alerta que no estigui relacionada amb un *DataPoint* existeix una llibreria del *Framework* que permet definir-les i que aquestes es visualitzin també al panell d'alertes. Aquestes alertes però han de ser reconegudes per l'usuari si no, no desapareixeran del panell encara que es deixin de produir. Aquest tipus d'alerta ens pot ser útil en situacions en les que per exemple un dels DU passés a l'estat d'ERROR, podríem donar-ne l'alerta però aquesta hauria de ser reconeguda per l'operari del panell.

Tot plegat, el sistema ha resultat ser un sistema de control robust i completament escalable que ha permès configurar i controlar totes les parts accedint sempre des de la unitat de control adequada sense violar en cap moment la filosofia de sistema distribuït de l'ECS. Durant etapes de test hem pogut fer un control independent de les parts i en canvi fer un control distribuït durant el funcionament. L'únic inconvenient ha estat la lentitud del sistema degut a l'elevat volum de dades que circulen pel sistema. En qualsevol cas la taxa de transferència (molt variable segons l'activitat i el trànsit del moment) és suficient per assegurar un adequat control del sistema.

Part 4.  
Testos i resultats



Tot i que la prova més evident del funcionament del control de l'SPD és el dia a dia, en aquesta penúltima part comentarem quins han estat tots els testos realitzats sobre la CB i el conjunt de l'SPD en general.

Les diferents proves realitzades així com l'exposició dels resultats els classificarem en els següents apartats:

- En un primer apartat (4.1) farem una breu descripció dels diferents prototips creats per la CB i el control de qualitat seguit.
- A l'apartat 4.2 parlarem del sistema de test de la CB en les diferents etapes de desenvolupament del sistema.
- A l'apartat 4.3 tractarem les mesures realitzades sobre el senyal de rellotge.
- A l'apartat 4.4 parlarem dels diferents testos de BER (*Bit Error Rate*) realitzats sobre les diferents comunicacions de la CB.
- I finalment a l'apartat 4.5 donarem una prova del funcionament del SPD en el dia a dia feta en els testos realitzats el 6 i 7 de juny de 2009 durant el testeig de la circulació del feix a través de la cadena d'acceleradors d'LHC.

## 4.1. Prototips previs al disseny definitiu de la CB.

El primer disseny de placa destinat a testear algunes de les funcionalitats de la CB fou realitzat el gener de l'any 2005. No podem considerar ni tan sols que es tractés d'un prototip ja que no complia amb cap de les especificacions ni mecàniques ni físiques dels prototips posteriors de la CB. Era un disseny no connectable a cap *backplane* i que tan sols albergava una *SPECS mezzanine*, un *delay chip* i 4 connexions RJ45 cap a VFE. Fou un prototip útil per a començar a treballar amb les comunicacions SPECS i les connexions I<sup>2</sup>C amb els VFE. Va permetre també les primeres proves de rellotge configurant retards als delay chips.

Aquest primer disseny va permetre obtenir ja el que podem considerar un primer prototip el setembre de 2005. Aquest és el primer disseny que podem considerar ja un prototip complet ja que englobava ja totes les funcionalitats de la CB. A nivell físic tenia totes les dimensions que pertocava per endollar la placa a una *crate* tot i que el gruix del PCB era de 1.6mm i per tant inferior al recomanat de 2.4mm per tal que la placa no es pogués doblegar per la tensió de cables. En aquest disseny apareixeran problemes en l'arrencada de l'*optical mezzanine* i el seu control a través del CRT4T, per aquest motiu es decideix fer un segon prototip el juliol del 2006 amb més punts de test i la possibilitat de neutralitzar alguns components.

Amb el segon prototip es va poder testear plenament l'enllaç òptic i descobrirem algunes mancances en el disseny del *layout* de les xarxes compensadores de les línies de rellotge, el *layout* al voltant de l'amplificador no era prou compacte ni simètric. En aquest disseny es va optar també per substituir els connectors RJ45 dels canals de sortida de la CB per connectors RJ45 amb leds que ens donaven indicis d'activitat en la comunicació dels diferents canals.

El gener de 2007 es finalitza un tercer prototip amb el qual es va poder comprovar ja la correcta funcionalitat de totes les parts. Amb aquest prototip es feu el disseny del panell frontal que havia d'assegurar la subjecció de la placa al *rack* i finalment el juliol de 2007 s'obté el quart prototip i disseny final de la CB amb els ajustos mecànics necessaris de la posició dels connectors de la part frontal per un correcte ajust amb el panell. D'aquest disseny és del que finalment es va fer una producció de 25 plaques a les quals s'han realitzats tots els testos necessaris que es descriuran en els següents apartats per tal d'assegurar-ne el correcte funcionament una vegada instal·lades al detector.

De tots els prototips es conserven els esquemàtics, llistes de components, *layouts* i *gerbers* per qualsevol futura consulta o modificació.

## 4.2. El sistema de test de la CB de l'SPD.

Tot i que tal com dèiem la prova més evident del bon funcionament de la CB és el propi dia a dia del detector, sí que en les primeres etapes de desenvolupament es va fer necessària

l'existència d'un sistema de test robust que permetés comprovar i a la vegada millorar les diferents funcionalitats de la CB. D'aquesta manera va néixer la placa de test des de l'existència del primer prototip de CB.

La placa de test ha subministrat a la CB un punt de connexió emulant en certa manera la connexió a la *backplane* de la *crate* la qual no era possible en el laboratori.

La placa de test disposa dels mateixos connectors HM de la *backplane* oferint així una connexió amb iguals característiques mecàniques que la *backplane* des de la qual podem rebre i enviar els mateixos senyals que després circularan per la *backplane* real.

Les diferents possibilitats de la placa de test les tenim resumides en els següents punts:

- Subministra a la CB el senyal d'alimentació de 5V, el qual posteriorment la CB regula per obtenir la resta de senyals d'alimentació necessaris.
- Subministra a la CB els senyals de connexió amb el bus SPECS en nivells LVDS (en els dos sentits de la comunicació).
- Subministra a la CB el rellotge de 40,0786MHz a nivells LVDS.
- Subministra a la CB els diferents canals amb dades de *trigger* provinents en teoria dels PS per tal de poder emular el càlcul de la multiplicitat de l'SPD.

Com podem veure doncs, la placa de test fa una fidel reproducció de la situació elèctrica i mecànica en la que es trobarà la CB una vegada instal·lada en el detector (veure figures 4.1 i 4.2). Aquesta placa ha estat crucial per detectar totes les mancances de la CB i així poder-la millorar des del primer prototip creat el setembre de 2005 fins al quart prototip finalitzat el juny de 2007.

La placa de test haurà de disposar també d'una connexió amb un mestre SPECS per tal de poder passar els senyals del bus SPECS en un sentit i l'altre de la comunicació. En aquest cas la placa de test fa tan sols de pont per convertir la connexió *Ethernet* amb el mestre SPECS en una connexió a través dels connectors de la *backplane*<sup>18</sup> a nivells LVDS. D'igual manera al senyal de rellotge provinent d'un generador de funcions ajustat a 40,0786MHz el transforma senzillament en nivells LVDS utilitzant els mateixos transceptors que a la CB.

El nucli de la placa de test és una FPGA d'Altera integrada en una petita placa de desenvolupament de la marca Parallax (*Parallax Smart Pack* [56]). Per a la reprogramació d'aquesta FPGA es disposa d'una connexió USB (*QuickUSB* [57]) amb el PC. En quan a hardware l'altra part rellevant són serialitzadors LVDS que conduiran els senyals de *trigger* cap als connectors HM de la *backplane* en aquest cas de tipus mascle per a poder-hi connectar la CB.

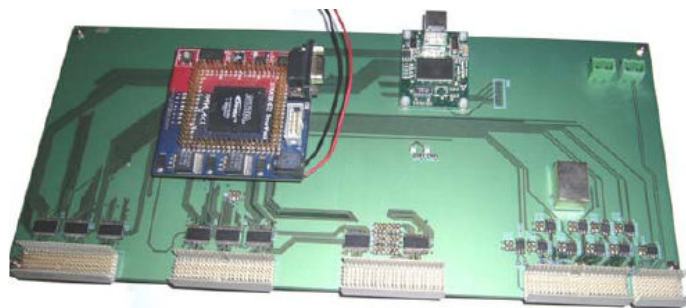


Figura 4.1. Imatge de la placa de test.

<sup>18</sup> La comunicació SPECS es podria testejar també utilitzant una connexió a través d'un RJ45 del qual disposa la SPECS *mezzanine* per a connectar-hi directament el cable *Ethernet* provinent del mestre. Es va preferir però traçar aquests senyals a través de la placa de test cap als connectors de la *backplane* per tal de tenir una situació de test més similar a la final.



Figura 4.2. Imatge de la CB connectada a la placa de test del sistema.

De moment hem vist com la placa de test soluciona la part de la connexió de la CB a la *backplane* i tots els senyals que es gestionen a través d'ella. Falta però encara testejar la resta de connexions de la CB, concretament: l'enllaç òptic i les connexions a través dels 8 connectors RJ45 frontals amb els senyals I<sup>2</sup>C diferencials pels VFEs i les plaques LVPS així com el senyal de rellotge i el senyal de TFC. Per a la segona part no hem de dissenyar cap sistema en particular ja que disposem d'aquests dos hardwares pel fet que han estat dissenyats també per membres del nostre grup i per tant els podem testejar amb les mateixes condicions de connexió amb les que després es trobaran instal·lats en el detector. Ara bé, era necessari testejar també l'enllaç òptic i més encara tenint present que ha estat una de les parts més complicades d'ajustar a la CB degut al fet que l'*optical mezzanine* tal com hem comentat a la part 2 no incorporava tots els elements necessaris pel seu correcte funcionament.

Per a poder testejar l'enllaç òptic es va sol·licitar al grup que el va dissenyar el receptor òptic complementari<sup>19</sup> per tal de poder testejar l'enllaç com si es tractés realment d'una connexió amb la *Selection Board*. Les dades del receptor però havien de poder ser rebudes d'alguna manera per tal de poder comprovar la correcta comunicació, per això es va utilitzar una altra placa de test de la CB (amb una de sola la FPGA no disposava de prou capacitat) adaptada en aquesta ocasió per rebre les dades de l'enllaç òptic i comprovar-ne el valor (veure la figura 4.3).

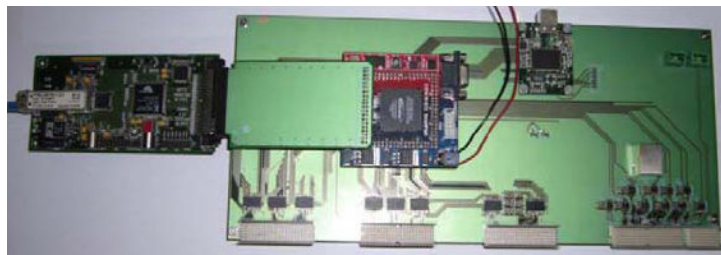


Figura 4.3. Imatge d'una de les plaques de test acoblada al receptor òptic.

Tot i així el receptor òptic necessita el rellotge de 40,0786MHz i un en fase d'una freqüència doble els quals es podran obtenir de les sortides de rellotge habilitades a la mateixa CB.

A la figura 4.4. podem veure un petit esquema del sistema de test complet format per les dues plaques de test, una emulant la *backplane* i l'altre utilitzada per a la recepció de les dades de l'enllaç òptic. Ambdues plaques de test disposen de connexions USB amb el PC que centralitza el procés de test complet.

<sup>19</sup> Dissenyat pel grup de INFN (*Istituto Nazionale di Fisica Nucleare*) de Bolonya.

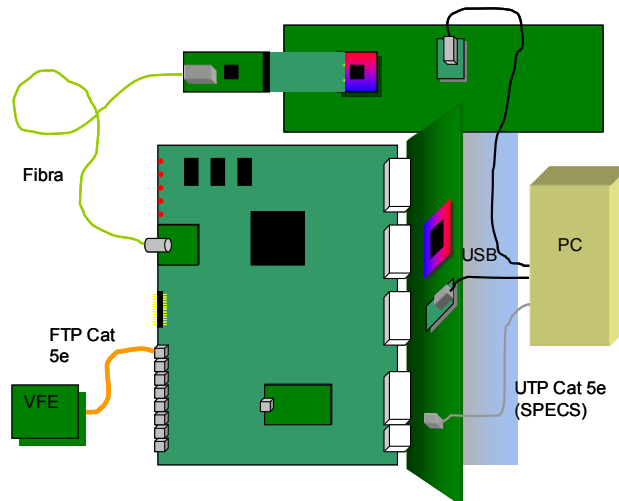


Figura 4.4. Sistema de test de les comunicacions de la CB.

Tot i que el descrit és el sistema de test utilitzat en el desenvolupament de l'SPD, en els darrers mesos s'ha estat desenvolupant dins del grup un nou sistema de test més integrat i compacta el qual inclou també el test de l'enllaç LVDS entre els SPD VFE i les plaques de FE del PS [58]. Aquest nou sistema de test està orientat al diagnòstic de possibles averies que puguin sorgir al SPD durant el pas del anys.

### 4.3. Integritat del senyal de rellotge.

El senyal de rellotge de l'experiment de 40,0786MHz ha d'arribar a tota els punts necessaris de la CB (FPGA, *Delay Chips*, *optical mezzanine*, etc.) i després ser distribuït des dels *Delay Chips* cap als 8 connectors frontals RJ45 que conduiran el senyal fins als VFE. És important assegurar la integritat d'aquest senyal ja que hem de tenir sempre present que el conjunt de l'electrònica de FE ha d'anar sincronitzada amb aquest rellotge.

Per a la distribució del senyal de rellotge sobre la CB ja hem parlat prèviament que aquest es troba correctament adaptat a  $100\Omega$  amb línies *microstrip* diferencials. Tot i així recordem que l'*optical mezzanine* necessitava treballar amb un *jitter* el més petit possible i que per aquest motiu aquest es filtrava prèviament amb el QPLL. A la pràctica el senyal de rellotge del sistema TFC ja estava també filtrat per un QPLL per tant en l'electrònica muntada en el detector podem assegurar que el *jitter* no serà en cap moment un problema. Tot i així el QPLL de la CB ha estat útil per a testejar l'enllaç òptic en el laboratori, ja que allà el rellotge provinent del generador de funcions no tenia la qualitat del rellotge del sistema TFC del detector.

El QPLL assegura a la seva sortida un *jitter* inferior a 50ps r.m.s. sempre que l'entrada tingui un valor inferior a 120ps r.m.s. Com que el nostre senyal d'entrada té ja habitualment un *jitter* inferior a aquest valor, les millores observables no són substancials tot i que si que es detecta una millora considerable del temps de pujada i baixada del rellotge tal com podem veure a la figura 4.5.



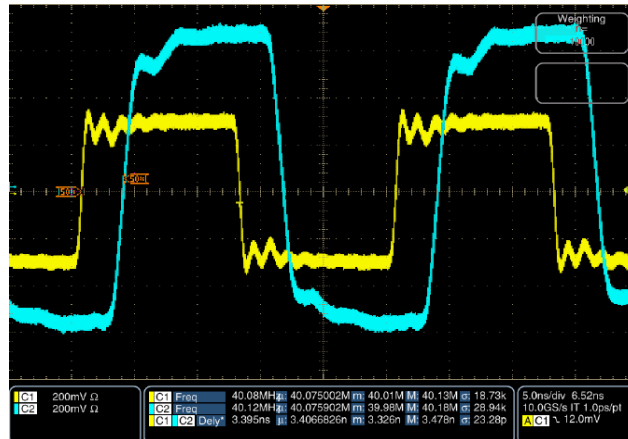


Figura 4.5. Captura del senyal de relotge d'entrada (senyal blau) i sortida (senyal groc) del QPLL. El QPLL introdueix però en el senyal de relotge un petit retard de 3,4ns [59].

Si quantifiquem la millora en el temps de pujada del senyal de relotge veiem que si utilitzem un generador amb un temps de pujada de 5,75ns aquest millora en 2ns a la sortida del QPLL<sup>20</sup>.

A la següent taula podem observar algunes de les mesures preses amb el relotge que s'especifica a la primera fila de la taula:

	Jitter pic a pic	Jitter RMS
Generador de relotge (entrada de la CB)	37ps	4,6ps
CB QPLL output (entrada de l' <i>optical mezzanine</i> )	33ps	3,6ps
VFE (després de 22m de cable) Part alta del detector	57ps	7,9ps
VFE (després de 29m de cable) Part baixa del detector	61ps	9ps

Taula 4.1. Mesures de *jitter* en diferents punts del sistema SPD.

Si tenim present que l'*optical mezzanine* assegura el seu funcionament sempre que el *jitter* pic a pic sigui inferior a 100ps, el correcte funcionament està garantit.

Tot i així si utilitzem un generador de relotge amb un *jitter* pic a pic de 200ps (veure figura 4.6) podem observar a la sortida del QPLL un *jitter* màxim inferior a 100ps (veure figura 4.7), suficient per tant per treballar amb l'enllaç òptic.

Tot i que aquestes mesures són prou bones per assegurar el funcionament del sistema, no hem de perdre de vista però que el relotge que arriba a la CB té un *jitter* inicial inferior al que es mostra en aquests tests (de l'ordre d'uns 25ns) i per tant la integritat del senyal de relotge en tots els punts de la CB està assegurada.

<sup>20</sup> Totes aquestes mesures han de ser interpretades sempre de forma relativa a la qualitat del senyal de relotge utilitzat en el test. No es poden prendre en cap cas com una mesura absoluta dels valors que es tindran en funcionament en el detector.

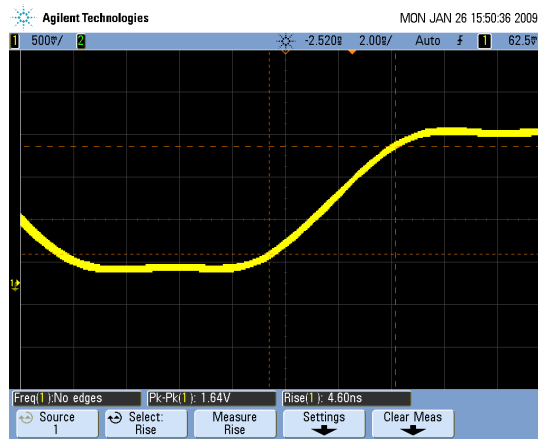


Figura 4.6. Rellotge de test amb *jitter* màxim de 200ps.

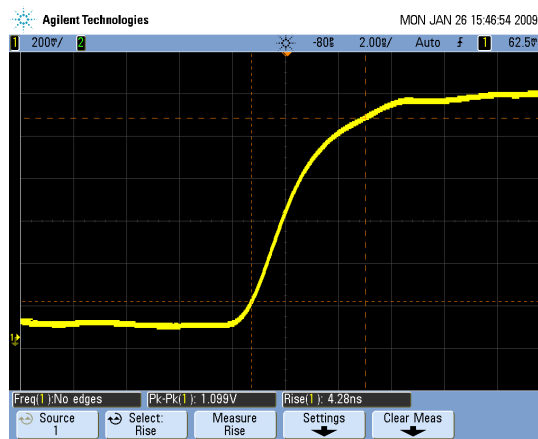


Figura 4.7. Resultat a la sortida del QPLL al filtrar el senyal de la figura 4.6. El *jitter* queda reduït a la meitat.

En quant al rellotge transmès als VFE recordem que aquest és filtrat a través d'una xarxa equalitzadora per tal de compensar la resposta del cable d'entre 20 i 30m de longitud en funció de si el VFE es troba instal·lat a les caixes de la part alta o baixa del detector. Anem a veure a continuació els resultats obtinguts després d'aquesta xarxa compensatòria.

En primer lloc, per a poder apreciar les millores en el senyal de rellotge una vegada implementada la xarxa equalitzadora, anem a veure quines característiques tenia aquest en la seva recepció als VFEs quan la xarxa equalitzadora no era encara implementada. En el cas d'un cable de 22m es podia observar un temps de pujada<sup>21</sup> de 5,16ns (figura 4.8) i en el cas del cable de 29 el temps de pujada era de més de 6ns (figura 4.10)<sup>22</sup>. A les figures 4.9 i 4.11 podem veure també un detall del *jitter* dels senyals per acabar-los de caracteritzar.

Aquests valors de temps de pujada tot i que són acceptables queden molt al límit dels valors màxims acceptables pels components amb tecnologia LVDS utilitzats, per aquest motiu doncs es fa encara més evident la necessitat de la presència d'una xarxa de compensació o equalització de la resposta del cable. Per contra pel que fa al nivell de *jitter* del rellotge no es veu problema per a funcionar correctament ja que la FPGA APA300 dels VFE admet *jitters* de fins el 5% del període del senyal; això, sobre un rellotge de 40MHz seria doncs 1,25ns, valor molt superior a les mesures *jitter* que podem veure a les figures 4.9 i 4.11.

<sup>21</sup> Mesurat com el temps que triga en fer un salt del 10% al 90% de la transició total.

<sup>22</sup> Els efectes de la resposta del cable sobre el senyal de rellotge són més importants com més llarg sigui el cable. Observem com les transicions d'alta freqüència es veuen encara més deteriorades en el cable de 29m que en el de 22m.

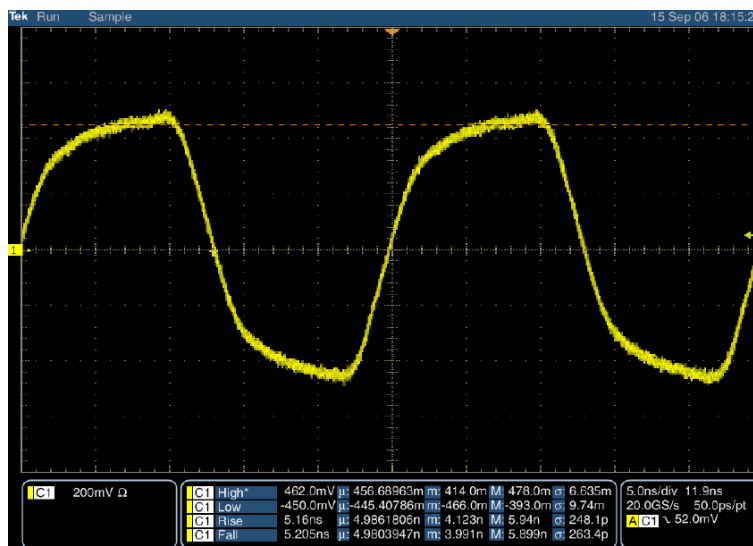


Figura 4.8. Forma del senyal de rellotge al VFE després d'un cable de 22m sense compensar.

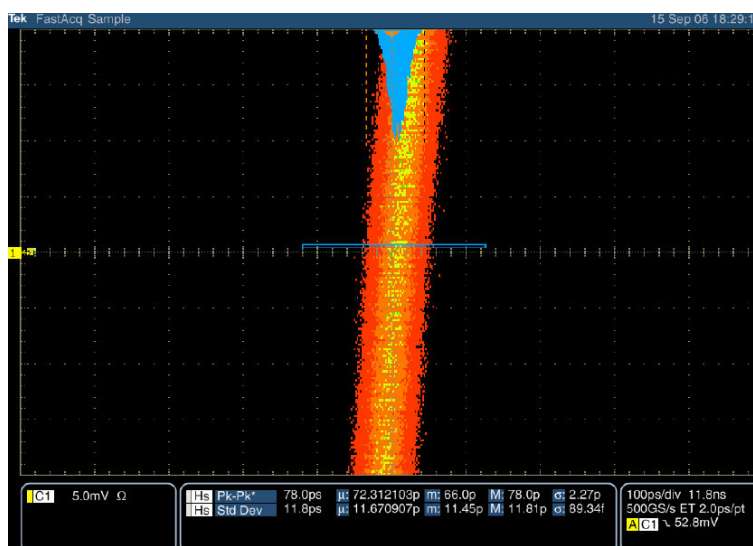


Figura 4.9. Detall del jitter en el cable de 22m sense compensar (78ps pic a pic i 11.8ps r.m.s).

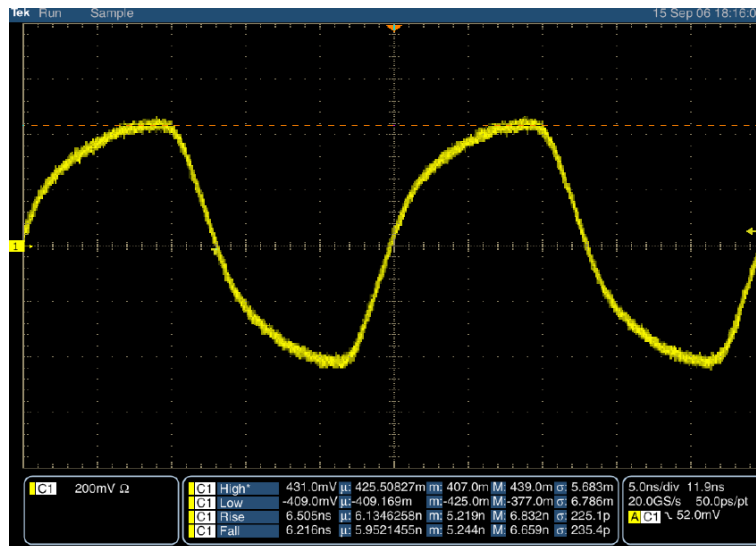


Figura 4.10. Forma del senyal de rellotge al VFE després d'un cable de 29m sense compensar.

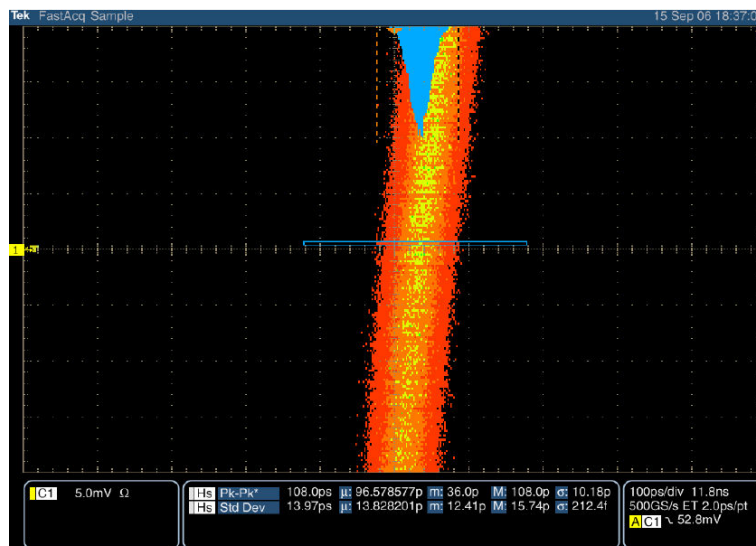


Figura 4.11. Detall del *jitter* en el cable de 29m sense compensar (108ps pic a pic i 14ps r.m.s).

Una vegada implementada la xarxa equalitzadora (per uns valors mitjos dels components passius dels valors necessaris pel cable de 29m i el de 22m, ja que no sabem prèviament a quin canal aniran connectats cadascun), els temps de pujada tenen una millora de l'ordre del 20% [59] com podem veure a les figures 4.12 i 4.13.

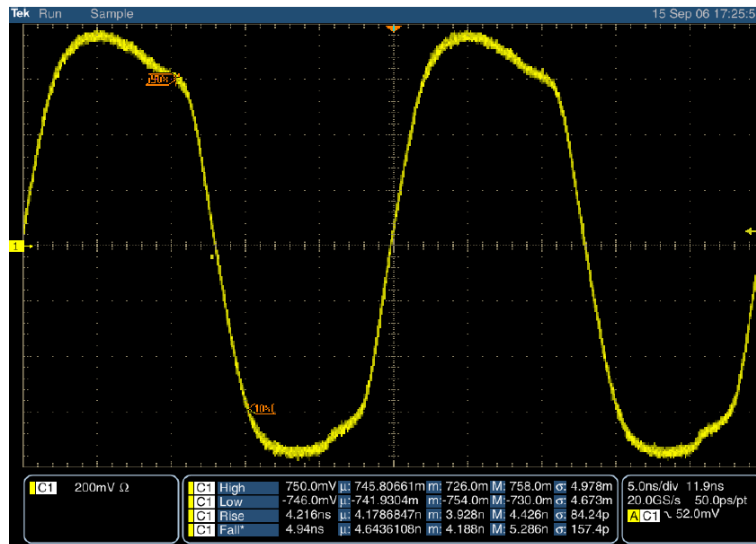


Figura 4.12. Resposta del cable de 22m compensat (temps de pujada de 4,2ns).

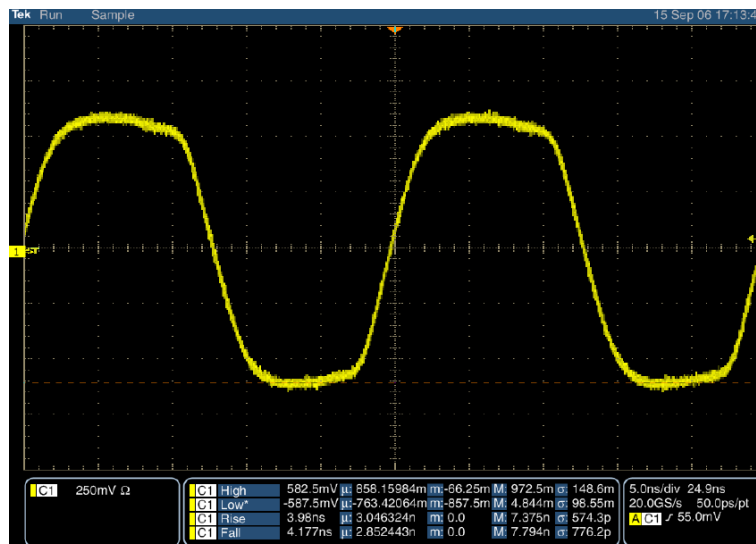


Figura 4.13. Resposta del cable de 29m compensat (temps de pujada de 4ns).

De nou hem de tenir present que es tracta de proves al laboratori amb un rellotge de qualitat molt inferior al del TFC el qual està filtrat prèviament amb un QPLL que millora sensiblement el temps de pujada de partida del senyal original. Els tests doncs serveixen per veure que si es donés una situació adversa sense el QPLL del TFC el sistema continuaria probablement funcionant sense problema sempre hi quan no es desviés massa la freqüència del rellotge respecte els 40,0786MHz ja que el marge en el que el QPLL pot treballar correctament al voltant d'aquesta freqüència és inferior a  $\pm 5\text{KHz}$ .

#### 4.4. Testos de les comunicacions de l'SPD.

Assegurada ja la integritat del senyal de rellotge, el següent pas és comprovar que els enllaços digitals tenen suficient qualitat per assegurar el bon funcionament del sistema. Recordem que les comunicacions que depenen de l'electrònica de la CB són únicament l'enllaç òptic i els enllaços I<sup>2</sup>C diferencials amb els VFEs o les plaques LVPS.

En quan a la comunicació SPECS per la *backplane* assumim que és ja un sistema plenament testejat ja que ni el mestre (mestre SPECS) ni els esclaus del sistema (SPECS *mezzanine*) no han estat dissenyats per nosaltres i són utilitzats per tots els grups del calorímetre. Tot i així, a la vegada que es testejarà l'enllaç I<sup>2</sup>C estarem testejant també totes les comunicacions anteriors a aquesta i per tant el bus SPECS.

Tot i que l'enllaç òptic tampoc no és un disseny plenament nostre, en aquest cas sí que s'ha considerat convenient fer si més no les comprovacions bàsiques requerides per qualsevol enllaç òptic del calorímetre, donada la seva singularitat<sup>23</sup> i els components externs<sup>24</sup> a l'*optical mezzanine* que es van haver d'incloure pel correcte funcionament del GOL.

#### 4.4.1. Test de l'enllaç òptic.

Tot i que l'enllaç òptic havia estat prèviament testejat als nostres laboratoris amb un petit receptor, aquesta prova tan sols ens permetia verificar que la qualitat del nostre rellotge era suficient (*jitter* prou baix) per tal de portar a terme la comunicació, les proves però es feien amb una fibra òptica molt curta i a més era recomanable fer-les amb el receptor real de la *Selection Board*.

Així doncs prèviament a la instal·lació al detector es va voler portar a terme un test amb la *Selection Board* als laboratoris de l'INFN de Bolonya (figura 4.14), dissenyadors de la *Selection Board* i a la vegada de l'*optical mezzanine*.

El procediment de test a seguir a LHCb per tal de garantir la qualitat dels enllaços òptics es troba detalladament definit a [60].

Cada paraula de 8 bits (1 byte) enviada per l'enllaç òptic queda codificada en un patró de 10 bits (codificació 8B/10B), a més a més el deserialitzador utilitzat en els receptors (TLK250 [61]), dona a la seva sortida directament 16 bits, és a dir, dos dels bytes enviats. Per tant no podem fer directament una comprovació del BER (*Bit Error Rate*) sinó que l'única cosa que podem comprovar és errors en paraules rebudes de 16 bits. Per aquest motiu es reformula el BER en un WER (*Word Error Rate*) que mesuraria el número rebut de paraules corruptes de 16 bits en relació al número total de paraules de 16 bits que s'haguessin enviat:

$$WER = \frac{\text{número paraules corruptes (16 bits)}}{\text{número paraules enviades (16 bits)}} \quad \text{Eq.4.1.}$$

El WER aproximaria correctament el BER en la mesura que els errors es produïssin en un sol bit de la trama, si no és així però el WER ens estaria donant una mesura massa optimista del BER. Per aquest motiu donat que cada paraula de 16 bits implica la transmissió de 20 bits per la línia es va decidir aproximar el BER real de l'enllaç per:

$$BER \cong \frac{WER}{20} \quad \text{Eq.4.2}$$

El qual ara sí que és un reflex real del BER de l'enllaç òptic. LHCb vol assegurar un BER màxim de  $10^{-12}$ , la qual cosa si tenim present que l'enllaç funciona a 1,6Gbits/s implica transmetre dades durant 625 segons (uns 10 minuts).

El procés de test seguit va consistir en els següents passos obtenint en tots ells resultats satisfactoris sense cap error detectat:

- Transmissió de dades durant 30 minuts amb la longitud final de la fibra.
- Transmissió de dades durant 30 minuts amb una atenuador òptic de 6dB al receptor.
- Transmissió de dades durant 5 minuts amb una atenuador òptic de 9dB al receptor.
- Transmissió de dades durant 5 minuts amb una atenuador òptic de 12dB al receptor.

L'enllaç es considera acceptable sempre que no es detectin errors en els dos primers testos de 30 minuts, que amb un atenuador de 9dB es vegin pocs errors ([60] no defineix valor)

<sup>23</sup> Recordem que la majoria de grups utilitzen un enllaç multicanal a diferència de l'SPD.

<sup>24</sup> El CRT4T pels problemes d'inicialització i el QPLL pel filtratge del *jitter* del rellotge.

i que en el darrer cas l'enllaç senzillament sigui capaç de sincronitzar. El fet que els dos primers testos es deixin el triple de temps del calculat dóna un marge de confiança del 95% a la mesura [60]. Així doncs, donats els resultats podem considerar que l'enllaç òptic entre l'SPD i la *selection crate* compleix en escriu els requeriments establerts.



Figura 4.14. Imatge del test realitzat a l'INFN sobre l'enllaç òptic amb la *selection crate*.

#### 4.4.2. Testos dels enllaços I<sup>2</sup>C.

Dins del testeig dels enllaços I<sup>2</sup>C podem diferenciar entre les comunicacions I<sup>2</sup>C dins la mateixa placa CB (per exemple amb els *Delay Chips* i la sonda de temperatura) els quals no són diferencials, i per una altra banda els enllaços I<sup>2</sup>C diferencials amb els VFEs o les plaques LVPS. En aquest cas el càlcul de BER s'ha fet tenint només present la mida de les trames (capçalera més dades) i assumint que els errors trobats en cada byte de dades es corresponien només a errors en un bit, podríem pensar que es tracta d'una mesura massa optimista però com que en tots els testos fets no s'ha detectat cap error de transmissió, el resultat seria igualment satisfactori si formulem el BER d'una altra manera. Tot i així a l'hora de treure conclusions no és la dada de BER en si la que ens portarà a qualificar l'enllaç com a apte sinó el fet de poder transmetre una quantitat de bytes de dades determinat sense cap error.

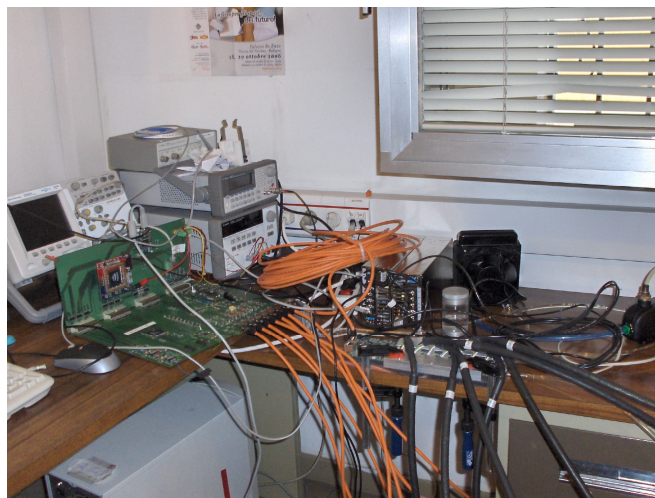


Figura 4.15. Imatge de la CB testeig a la vegada 7 VFEs amb cables de 29m.

Els testos dels enllaços I<sup>2</sup>C s'han realitzant tant en el laboratori (figura 4.15) com una vegada feta la instal·lació en el detector. Hem de pensar però que el test d'un d'aquests enllaços I<sup>2</sup>C no involucra tan sols l'enllaç en qüestió sinó que també la resta de comunicacions del sistema ECS. Per aquest motiu encara pren més rellevància el fet de fixar-nos bàsicament en el volum de dades transmiseses sense errors i no pas en la taxa de BER mesurada.

Si calculem la longitud de la trama de configuració més llarga cap als VFEs, aquesta és d'aproximadament 500 bits, i tenim present que cada configuració una vegada feta es torna a llegir per a comprovar-la, tindríem que en total implica la transmissió de 1000bits. Aquesta configuració en un dia de testos en el detector es podria haver de repetir de l'ordre d'unes 10 vegades en el pitjor dels casos i mai seguides donat que es tracta de dades de configuració i que per tant entre configuració i configuració hi haurà sempre un interval de funcionament i presa de dades del detector. Tot i així si ens fixem amb els resultats plasmats a la taula 4.2 veurem que la taxa de transferència de dades assegurada sense errors és molt més alta que els mínims necessaris que estàvem exposant.

En els testos es va voler comprovar també com podria afectar a la transmissió un augment desmesurat de *jitter* del rellotge. Per a fer aquestes proves es va deteriorar en el laboratori el rellotge de 40,0786MHz de sortida del generador de funcions utilitzat per atacar el sistema de test, modulant-lo mitjançant una FM al voltant d'aquesta freqüència central. Com que les transmissions són completament síncrones i amés la FPGA del VFE també filtra el rellotge amb un PLL, no es van detectar problemes rellevants al augmentar el *jitter* del rellotge dins d'uns límits normals per un senyal de 40MHz (se li aplicaren desviacions de fins 150KHz respecte la freqüència central obtenint *jitters* pic a pic de fins 4ns)<sup>25</sup>.

Tots aquests testos de BER descrits inclouen en el fons un test de l'enllaç SPECS entre el mestre i l'esclau, en cas d'error en la transmissió però és perfectament diferenciable si es tracta d'un error en la comunicació SPECS o un error en la transmissió I<sup>2</sup>C. En cap cas s'han detectat errors en la comunicació SPECS.

A la taula 4.2 tenim un resum de totes les mesures preses:

	Tipus d'I <sup>2</sup> C	Jitter pic a pic del rellotge de 40Mhz	BER garantit <	Temps de transmissió	Vegades que s'ha repetit el test
Delay Chip (a la CB)	100KHz unipolar	80ps	$\approx \frac{1}{15200000}$	8h 32 minuts	5
Delay Chip (a la CB)	100KHz unipolar	2ns	$\approx \frac{1}{7600000}$	4h 15 minuts	10
Delay Chip (a la CB)	100KHz unipolar	4ns	$\approx \frac{1}{7600000}$	4h 15 minuts	10
VFE (29m)	100KHz LVDS	80ps	$\approx \frac{1}{1000000}$	80 minuts	15
VFE (29m)	100KHz LVDS	2ns	$\approx \frac{1}{1000000}$	80 minuts	10
VFE (29m)	100KHz LVDS	4ns	$\approx \frac{1}{1000000}$	80 minuts	5

Taula 4.2. BER mesurats en els diferents testos al laboratori.

El *jitter* de 80ps es correspon al *jitter* que per defecte ens dona ja el generador utilitzat (Agilent 33250A [62]) al laboratori quan treballa amb una ona quadrada de 40MHz.

Els testos de transmissió de dades als Delay Chips i als VFEs s'han realitzat també una vegada instal·lades les CBs i els VFEs en el detector. En ambdós casos es van enviar

<sup>25</sup> Hem de tenir present que amb una situació com la descrita l'enllaç òptic no funcionaria, no només pel nivell de *jitter*, sinó que també per la desviació respecte la freqüència de treball del QPLL.



quantitats de dades suficients per assegurar un BER de  $10^{-6}$ . En el cas dels *Delay Chips* s'han arribat fins i tot a fer testos enviant 200000 cicles<sup>26</sup> de lectura i escriptura (cada cicle implica la transmissió i retransmissió d'un total de 72 bits) la qual cosa ens portaria a un BER inferior a  $10^{-7}$ .

Amb totes aquestes mesures podem concloure tranquil·lament que les comunicacions a l'SPD podran complir amb tots els requeriments necessaris per a garantir les comunicacions durant el funcionament del detector.

#### 4.5. Test de la cadena d'acceleradors d'LHC.

Durant el 6 i 7 de juny de 2009 es va realitzar a LHC un test que a priori no té una relació directa amb el funcionament de l'SPD. Consistia en testejar la cadena d'acceleradors secundaris d'LHC (figura 1.1). Des de l'accelerador secundari SPS (veure figura 1.1) s'injectaven partícules cap a l'accelerador principal LHC, aquests dos acceleradors interseccionen molt a prop de la caverna d'LHCb tal com es pot veure a la mateixa figura 1.1. El feix s'interceptava just abans d'arribar a LHC amb el que s'anomena un *beam stopper* (aturador del feix), el qual evita que el feix emprengui el seu darrer viatge a través d'LHC.

L'ocasió fou aprofitada per posar en marxa part de l'accelerador LHCb el qual fou capaç de triggeritzar a través de l'SPD part de les partícules generades en la col·lisió del feix amb el *beam stopper*.

Aquesta prova recent de funcionament in situ és la mostra més evident del bon funcionament de la placa de control de l'SPD, la qual a partir del càlcul de la multiplicitat fou capaç de donar la informació necessària de trigger o dispar al sistema LHCb per a la detecció d'aquestes partícules.

---

<sup>26</sup> Aquest test implica una durada de gairebé 9h ja que en el detector el trànsit de dades pel bus SPECS és molt superior que en els testos de laboratori on sols hi havia l'SPD.



## Part 5. Conclusions



I finalment per acabar anem a veure quins han estat els objectius assolits amb la col·laboració amb l'experiment i quines són les línies de futur de l'experiment.

## 5.1. I tot plegat...

El resultat del treball de tot el grup conflueix en un SPD plenament operatiu i amb tots els objectius i requeriments de disseny assolits.

La CB es troba instal·lada, testejada i funcionant amb normalitat igual que la resta de l'electrònica de l'SPD. El sistema ha estat capaç de triggeritzar les primeres partícules en els diferents assajos que s'han realitzat amb rajos còsmics i ha mostrat funcionar tot correctament.

El sistema de control implementat amb PVSSII es troba també en funcionament i en perfecte consistència amb el hardware que representa. A través del sistema de control s'han pogut realitzar els diferents testos per a la calibració de l'electrònica i poder determinar els diferents nivells de llindar a programar en els conversors de senyal del VFE així com els retard programables dels *Delay Chips*.

És rellevant destacar que tot i tenir una electrònica centralitzada amb una única comunicació amb l'ECS, s'ha aconseguit seguir la filosofia del sistema general de control de l'experiment i implementar-lo de forma distribuïda treballant amb les diferents unitats de control definides per l'ECS: DAQ, DCS, etc.

Des del sistema de control es troben monitoritzades totes les temperatures del sistema i definits els diferents nivells d'alerta, per tant, la seguretat de l'SPD queda també garantida amb el sistema de control.

L'SPD es comunica també correctament amb la resta d'elements de la *crate* (PS FE) i és capaç de rebre totes les dades necessàries de sincronització del sistema TFC (canal B i senyal de rellotge) mantenint-ne la seva integritat i fent-les arribar a totes les parts de l'SPD que les requereixen.

Cal destacar a nivell de comunicacions I<sup>2</sup>C de la CB amb la resta de plaques del sistema SPD (comunicacions I<sup>2</sup>C a llarga distància) que amb la utilització de nivells LVDS amb les plaques VFE i LVPS podem assegurar un BER inferior a 10<sup>-6</sup> en els diferents testos realitzats tal com hem pogut analitzar al capítol 4. Hem de tenir sempre present que tot i que aquests testos s'han realitzat fent enviaments massius de dades i la conseqüent lectura de comprovació a través del sistema de control, aquesta no és ni molt menys la forma habitual de funcionament del sistema en el qual les dades s'enviaran una vegada per a configurar tots els components i no es repetirà l'operació fins que el detector passi a funcionar amb unes condicions diferents. Tota configuració del sistema va seguida sempre de la corresponent lectura i per tant el sistema de control és capaç de detectar qualsevol anomalia en les comunicacions I<sup>2</sup>C.

Pel que fa a les comunicacions I<sup>2</sup>C de curta distància (amb components de la mateixa CB com per exemple *Delay Chips* lectures de temperatura o configuracions del mode de funcionament de la mezzanine òptica) podem assegurar que tot i utilitzar una comunicació unipolar el BER es manté inferior a 10<sup>-7</sup> com hem pogut veure a l'apartat 4.4.2.

A la taula 5.1 tenim un resum de totes les mesures preses (taula vista ja l'apartat 4.4.2):

	Tipus d'I <sup>2</sup> C	Jitter pic a pic del rellotge de 40Mhz	BER garantit <	Temps de transmissió	Vegades que s'ha repetit el test
<b>Delay Chip (a la CB)</b>	100KHz unipolar	80ps	$\approx \frac{1}{15200000}$	8h 32 minuts	5
<b>Delay Chip (a la CB)</b>	100KHz unipolar	2ns	$\approx \frac{1}{7600000}$	4h 15 minuts	10
<b>Delay Chip (a la CB)</b>	100KHz unipolar	4ns	$\approx \frac{1}{7600000}$	4h 15 minuts	10
<b>VFE (29m)</b>	100KHz LVDS	80ps	$\approx \frac{1}{1000000}$	80 minuts	15

VFE (29m)	100KHz LVDS	2ns	$\approx \frac{1}{1000000}$	80 minuts	10
VFE (29m)	100KHz LVDS	4ns	$\approx \frac{1}{1000000}$	80 minuts	5

Taula 5.1. BER mesurats en els diferents testos al laboratori.

Els VFEs es configuren i comuniquen correctament amb la CB des de la qual som capaços de tancar el llaç d'adquisició de dades pel càlcul de la multiplicitat de l'SPD que a part de ser enviada a través de l'enllaç òptic pot ésser comprovada des del sistema ECS de controla través de l'anomenada *Spy Function*.

L'enllaç òptic ha estat exhaustivament testejat seguint les recomanacions de [60] concluent que podem garantir l'enllaç durant més de 5 minuts i amb atenuacions de 12dBs. En condicions normals de funcionament (utilitzant la longitud final de la fibra) queda assegurat un BER inferior a  $10^{-12}$  com hem vist a l'apartat 4.4.1.

És important tenir present també que l'objectiu de mantenir el jitter pic a pic per sota de 100ns ha estat assolit sense dificultats tal com es pot extreure de la taula 5.2 (vista a l'apartat 4.3):

	Jitter pic a pic	Jitter RMS
Generador de rellotge (entrada de la CB)	37ps	4,6ps
CB QPLL output (entrada de l' <i>optical mezzanine</i> )	33ps	3,6ps
VFE (després de 22m de cable) Part alta del detector	57ps	7,9ps
VFE (després de 29m de cable) Part baixa del detector	61ps	9ps

Taula 4.1. Mesures de *jitter* en diferents punts del sistema SPD.

Així doncs els objectius fonamentals de la CB d'establir un pont entre el sistema de control de l'experiment i l'electrònica de VFE de l'SPD queden complerts a la vegada que es compleix correctament també l'altra especificació bàsica de la placa: el càlcul de la multiplicitat de l'SPD.

La placa CB disposa de suficients unitats de recanvi per tal d'assegurar la possible substitució de plaques espatllades durant la vida útil de l'experiment; el nombre recomanat d'unitats sobrants és d'un 20% en respecte al número de plaques instal·lades.

## 5.2. I d'ara en endavant?

Potser és prematur parlar encara de línies de futur quan encara gairebé el detector no ha entrat en ple funcionament. Tot i així com que es tracta de grans experiments aquest s'han de projectar amb molt de temps d'antelació. Així doncs en els darrers mesos ja s'ha estat parlant de les motivacions i les millores que convertiran l'actual LHCb en LHCb *Upgrade*.

Es calcula que una vegada LHCb hagi pres una quantitat elevada de dades en els següents 5 anys, els físics ja disposaran de suficient informació per desenvolupar una sèrie de teories preliminars però per tal d'augmentar la precisió i l'estadística de les mesures preses amb LHCb serà necessari augmentar-ne la lluminositat en un factor 10.

Aquest fet implica treballar amb volums de dades més grans i per tant redissenyar l'electrònica de *Front End* i tot el sistema DAQ d'adquisició de dades per tal de poder treballar amb un ampli de banda molt més elevat. El disseny actual del *trigger* d'LHCb consistia en un primer trigger de nivell 0 per hardware (L0) que reduïa la taxa de presa de dades de 40MHz fins a 1MHz; la idea per LHCb *Upgrade* és que tot el sistema prengui dades directament a

40MHz i aquest es processin prescindint del *trigger* de nivell 0 i confiant amb l'augment progressiu de la capacitat de càlcul i de memòria dels sistemes digitals.

L'augment del nivell de lluminositat implica també revisar la tolerància a radiació dels components utilitzats fins al moment així com estudis de l'envelliment de certs components com per exemple el fotomultiplicadors.

Per una altra banda s'investiguen també noves tècniques pels detectors amb l'ús de sensors de silici els quals permetrien un nivell d'integració molt més elevat de l'electrònica que nosaltres hem anomenat VFE en contacte amb el detector. Fins i tot s'està treballant amb la possibilitat de fabricar leds amb tecnologia CMOS la qual cosa permetria connectar directament l'electrònica de VFE a enllaços òptics. Així doncs la idea és tendir a una integració màxima de tota l'electrònica de VFE.

Més informació sobre els estudis preliminars del disseny d'LHCb Upgrade així com les motivacions físiques que en justifiquen el disseny les podem trobar en les següents referències: [63], [64] i [65].





## Referències

- [1] [www.cern.ch](http://www.cern.ch) (darrera consulta setembre 2009)
- [2] "LHC the guide". CERN.
- [3] "LHCb, reoptimized detector design and performance". LHCb TDR 9.
- [4] "The LHCb Detector at the LHC". The LHCb collaboration. JINST.
- [5] "Connections in the L0 calorimeter trigger". EDMS 525625.
- [6] <http://lhcb-elec.web.cern.ch> "Front-end electronics architecture". (darrera consulta setembre 2009)
- [7] "LHCb on-line system". LHCb TDR.
- [8] "LHCb calorimeters". LHCb TDR.
- [9] "Scintillator Pad Detector: Very Front End Electronics". S. Luengo. Thesis 2008.
- [10] "Microelectronic Design of Pulse Discriminator Circuits for the LHCb Detector". D. Gascón. Thesis 2008.
- [11] "The readout of the LHCb Calorimeters". EDMS 527942
- [12] [http://lhcb-elec.web.cern.ch/lhcb-elec/html/radiation\\_hardness.htm](http://lhcb-elec.web.cern.ch/lhcb-elec/html/radiation_hardness.htm) (darrera consulta setembre 2009)
- [13] "Test of multi-anode photomultiplier tubes for the LHCb scintillator pad detector" E. Aguiló et al. Nuclear Instruments and Methods Section A 538, 2005.
- [14] "A BiCMOS pulse discriminator interface for the LHCb Calorimeter". A. Diéguez, D. Gascón, M. Roselló, S. Bota, J. Samitier. DCIS2000.
- [15] "Disseny d'un integrador commutat BiCMOS pel processament de senyals de fotomultiplicadors". D. Gascón, DEA 2000.
- [16] "Very Front End Electronics". S. Luengo. DEA 2006.
- [17] <http://lhc-voltage-regulator.web.cern.ch> (darrera consulta setembre 2009)
- [18] [www.actel.com](http://www.actel.com) (darrera consulta setembre 2009)
- [19] [www.national.com](http://www.national.com) AN-971 i "LVDS owner's manual". (darrera consulta setembre 2009)
- [20] "The Control Board of the Scintillator Pad Detector of LHCb". Mar Roselló et al. JINST.
- [21] "The LHCb calorimeter front-end crate". LHCb 2003-068
- [22] "LHCb calorimeter front-end electronics radiation dose and single event effects" F.Machefert et al. LHCb note CALO 2002-021, 2002.
- [23] "SPECS: The Serial Protocol for the Experiment Control System of LHCb." D. Breton, D. Charlet. LHCb note 2003-004, 2004.
- [24] "Using the SPECS in LHCb." D. Breton, D. Charlet. LHCb note 2003-005.
- [25] [www.national.com](http://www.national.com) DS92LV010 (darrera consulta setembre 2009)
- [26] "Requirements to the L0 front-end electronics." J. Christiansen. LHCb note 2001-014.
- [27] "A programmable clock distribution chip for the LHCb calorimeter". LHCb Orsay Group, EDMS 709938.
- [28] [www.analog.com](http://www.analog.com) (darrera consulta setembre 2009)
- [29] "Time Domain reflectometry". [www.lecroy.com](http://www.lecroy.com) (darrera consulta setembre 2009)
- [30] National Semiconductors AN-905 National Semiconductors.
- [31] Agilent Technologies AN-1178
- [32] <http://proj-gol.web.cern.ch/proj-gol/> (darrera consulta setembre 2009)
- [33] <http://proj-qpll.web.cern.ch/proj-qpll> (darrera consulta setembre 2009)
- [34] "The optical transmitter for the LHCb calorimeter". EDMS 528243.
- [35] LHCb Electronics Meeting. Paulo Moreira. CERN, 7 de març del 2005.
- [36] [www.maxim-ic.com](http://www.maxim-ic.com) (darrera consulta setembre 2009)
- [37] <http://www.actel.com/products/solutions/ser/default.aspx> (darrera consulta setembre 2009)
- [38] "Programación de la FPGA, puesta en marcha y comprobación de la placa de control del SPD para el experimento LHCb". A. Gaspar. Projecte final de carrera.
- [39] "Printed Circuit Board Design Techniques for EMC Compliance". M.I.Montrose. IEEE Press Series on Electronics Technology.
- [40] [www.erni.com](http://www.erni.com) (darrera consulta setembre 2009)
- [41] [www.hirose.com](http://www.hirose.com) (darrera consulta setembre 2009)
- [42] [www.samtec.com](http://www.samtec.com) (darrera consulta setembre 2009)
- [43] [www.lemo.com](http://www.lemo.com) (darrera consulta setembre 2009)
- [44] [www.schroff.biz](http://www.schroff.biz) (darrera consulta setembre 2009)
- [45] "The LHC experiments Joint Control Project". A. Daneels, W. Salter. International Conference on Accelerators and large Experimental Physics Control Systems. Trieste, Italy 1999.

- [46] "JCOP experience with a commercial SCADA product, PVSS". P. C .Burkimsher. CERN.
- [47] [www.pvss.com](http://www.pvss.com) (darrera consulta setembre 2009)
- [48] <http://lhcb-online.web.cern.ch/lhcb-online/ecs/lhcb-fw/default.htm>.
- [49] "The Joint CONtrols Project Framewok". CERN, Març 2003.
- [50] "Integrated Experiment Control System, Architecture and Benefits: the LHCb Approach". C.Gaspar, B. Franek, R. Jacobsson, B. Jost, S. Morlini, N. Neufeld I P. Vannerem.
- [51] "DIM, Distributed Information Management System". C. Gaspar, 1999.
- [52] "PVSS Introduction for Newcomers". Version 1.0. CERN.
- [53] "VFE Commands" Description v1.01 J.Riera.
- [54] <http://lhcb-online.web.cern.ch/lhcb-online/ecs/FWHW/default.html>
- [55] "LHCb ECS Error Reporting Guidelines". LHCb Technical note. C. Gaspar.
- [56] [http://boson.fizik.um.edu.my/sumber/ROC/SmartPack\\_FastPack\\_Documentation\\_v1.3.pdf](http://boson.fizik.um.edu.my/sumber/ROC/SmartPack_FastPack_Documentation_v1.3.pdf)
- [57] [www.quickusb.com](http://www.quickusb.com)
- [58] "Entorno de test integrado para la CB del SPD del experimento LHCb". C. Abellán. Projecte final de carrera.
- [59] "Arranque i comunicacions de la CB del SPD". C. Abellán. Projecte final de carrera.
- [60] "Qualification of the optical links for the data readout in LHCb". EDMS 680438.
- [61] "Synchronization of optical links using the GOL with the TLK2501 or StratixGX buffers". LHCb note 2004-012.
- [62] <http://cp.literature.agilent.com/litweb/pdf/33250-90002.pdf>
- [63] "The LHCb Upgrade". H. Dijkstra. CERN, 2007.
- [64] "Expression of Interest for an LHCb Upgrade". LHCb 2008-019.
- [65] "Timing and Fast Control and Readout Electronics Aspects of the LHCb Upgrade". LHCb note 2008-072.







**Universitat Ramon Llull**

Aquesta Tesi Doctoral ha estat defensada el dia \_\_\_\_ d \_\_\_\_\_ de \_\_\_\_

al Centre \_\_\_\_\_

de la Universitat Ramon Llull

davant el Tribunal format pels Doctors sotasignants, havent obtingut la qualificació:

President/a

\_\_\_\_\_

Vocal

\_\_\_\_\_

Vocal

\_\_\_\_\_

Vocal

\_\_\_\_\_

Secretari/ària

\_\_\_\_\_

Doctorand/a

\_\_\_\_\_





